

12 スイッチ簡易型三相 5 レベル PWM 整流器の基礎検証

安達 健人* 伊東 淳一（長岡技術科学大学）

Basic verification of twelve-switches simplify three-phase five-level PWM rectifier

Taketo Adachi*, Jun-ichi Itoh, (Nagaoka University of Technology)

This paper proposes a new circuit topology for a multilevel PWM rectifier. The proposed circuit combines a diode clump topology with flying capacitor topology. As a result, the proposed concept uses only twelve switches for a five-level three-phase system. However, the proposed circuit can obtain a good performance as well as conventional method.

This paper describes the feature of topology and the control strategy. In addition, the basic operation of the proposed method was confirmed with simulations and experiments.

キーワード：PWM 整流器，マルチレベル，フライングキャパシタ，空間ベクトル変調
(PWM rectifier, Multilevel, Flying capacitor, Space vector modulation)

1. はじめに

近年，電子機器の入力電流に対する様々な高調波規制が行われている。入力に高調波電流が含まれる場合，電源系統を介して他の電子機器へ流入し故障や動作不良の原因となる。また，高調波電流が過大となると，進相コンデンサなど送配電設備の焼損を招くこともある。

このような様々な問題を引き起こす高調波電流の主な発生源としてインバータの整流回路がある。最も簡単な整流回路としてダイオード整流回路が広く普及しているが，その入力電流は多くの高調波を含む。高調波には IEC61000-3-2 等の国際規格があり，電力機器を使用するためには機器の仕様をこれらの規格に適合させる必要がある。そのため，高調波電流抑制の観点から，機器の入力電流波形改善は重要な課題となっている。

入力電流波形改善を目的とした整流回路として，PFC(Power Factor Correction)整流器があり，盛んに研究されている⁽¹⁾⁻⁽⁵⁾。現在，波形改善型整流器として普及しつつある PWM 整流器も PFC 整流器の 1 つである。PWM 整流器はスイッチ素子により構成されるため電流波形の制御性が高く，入力電流波形改善に最も有効である。

一方，電源電圧が高圧の場合，1 つのスイッチ素子で分担する電圧を下げるため，マルチレベル PWM 整流器が有力である⁽⁶⁾。n レベル PWM 整流器は，スイッチ素子に印加される電圧を $1/(n-1)$ にすることができる。また，マルチレベルにすることにより，変換器を構成するスイッチ素子の低

耐压化，等価的にスイッチング周波数を高くできるため入力リアクトルの小型化が可能である。マルチレベル PWM 整流器を実現する方法には，ダイオードクランプ方式⁽⁷⁾⁽⁸⁾，フライングキャパシタ方式⁽⁹⁾⁽¹⁰⁾，カスケード接続方式⁽¹¹⁾⁽¹²⁾ 等があるが，いずれもマルチレベル PWM 整流器ではスイッチ素子が増加するためコスト高になり，また制御系も複雑になる。例えば，従来の 5 レベル PWM 整流器では，1 レグあたりのスイッチ素子数 8 個，三相に適用すると 24 個ものスイッチ素子が必要である⁽¹³⁾。また，ダイオードクランプ方式のマルチレベル PWM 整流器のもう 1 つの課題として，クランプコンデンサの電圧制御があげられる。4 レベル以上の構成では補助回路なしに各コンデンサの電圧を均等に制御できない。

そこで本論文では，従来の 5 レベル PWM に比べてスイッチ素子数を半分にした新しい 5 レベル整流回路方式を提案する。提案回路はフライングキャパシタ方式とダイオードクランプ方式のハイブリッド構成となっており，低速ダイオードに直流出力電圧の 1/2 の電圧が印加されるが，各スイッチ素子に必要な素子耐压が従来と同様に直流出力電圧の 1/4 でよい。

本論文では提案回路について，シミュレーションと実験により検討を行ったので報告する。

2. 回路構成

2.1 従回路

図 1 に従来の 5 レベル PWM 整流器 1 レグ分の回路構成

を示す。図 1(a)はダイオードクランプ形、図 1(b)はフライングキャパシタ形であり、全て同耐圧の素子を用いた場合の構成としている。どちらの方式でもスイッチ素子に必要な耐圧は直流出力電圧の 1/4 となるが、1 レグあたり 8 個のスイッチ素子が必要であるため高コスト、また制御系が複雑化する。例えば、フライングキャパシタ形のスイッチングパターンにおいて、各電圧レベル V_{conv} は次のスイッチングパターンにより得られる。

- 1) $V_{conv} = V_{dc}$: S_1, S_2, S_3, S_4 全てオン
- 2) $V_{conv} = 3V_{dc}/4$:
 - a) S_1, S_2, S_3, S_4' ($V_{conv} = V_{dc} - V_{dc}/4$)
 - b) S_2, S_3, S_4, S_1' ($V_{conv} = 3V_{dc}/4$)
 - c) S_1, S_3, S_4, S_2' ($V_{conv} = V_{dc} - 3V_{dc}/4 + V_{dc}/2$)
 - d) S_1, S_2, S_4, S_3' ($V_{conv} = V_{dc} - V_{dc}/2 + V_{dc}/4$)
- 3) $V_{conv} = V_{dc}/2$:
 - a) S_1, S_2, S_3', S_4' ($V_{conv} = V_{dc} - V_{dc}/2$)
 - b) S_3, S_4, S_1', S_2' ($V_{conv} = V_{dc}/2$)
 - c) S_1, S_3, S_2', S_4' ($V_{conv} = V_{dc} - 3V_{dc}/4 + V_{dc}/2 - V_{dc}/4$)
 - d) S_1, S_4, S_2', S_3' ($V_{conv} = V_{dc} - 3V_{dc}/4 + V_{dc}/4$)
 - e) S_2, S_4, S_1', S_3' ($V_{conv} = 3V_{dc}/4 - V_{dc}/2 + V_{dc}/4$)
 - f) S_2, S_3, S_1', S_4' ($V_{conv} = 3V_{dc}/4 - V_{dc}/4$)
- 4) $V_{conv} = V_{dc}/4$:
 - a) S_1, S_2', S_3', S_4' ($V_{conv} = V_{dc} - 3V_{dc}/4$)
 - b) S_4, S_1', S_2', S_3' ($V_{conv} = V_{dc}/4$)
 - c) S_3, S_1', S_2', S_4' ($V_{conv} = V_{dc}/2 - V_{dc}/4$)
 - d) S_2, S_1', S_3', S_4' ($V_{conv} = 3V_{dc}/4 - V_{dc}/2$)
- 5) $V_{conv} = 0$: S_1', S_2', S_3', S_4' 全てオン

このように同電圧レベルを出力するパターンが複数存在するので、各フライングキャパシタの充放電モードを考慮しながら、フライングキャパシタの電圧を一定に保つようこれら 16 パターンを切り替えて制御しなくてはならない。

2.2 提案回路

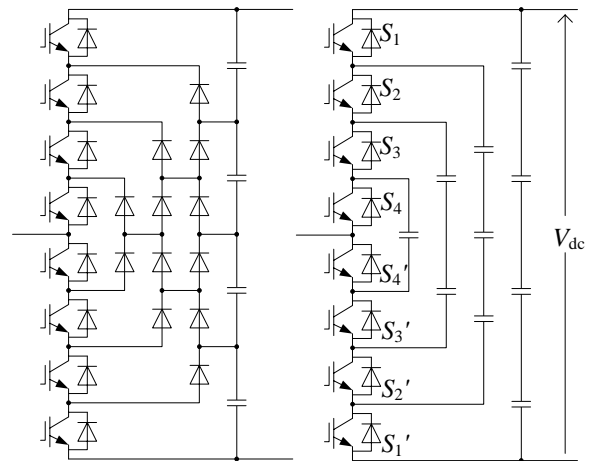
図 2 に提案回路を示す。高耐圧ダイオードとフライングキャパシタを組み合わせることにより、従来の 5 レベル PWM 整流器と比較してスイッチ素子数を半分に削減する。図 2 中、 C_1 はフライングキャパシタであり、スイッチングによりコンデンサ電圧を制御する。また、 C_2 は電圧クランプ用のコンデンサ、ダイオード D_{R2}, D_{S2}, D_{T2} は C_2 の充電経路用である。通常運転時、 C_2 電圧は平滑コンデンサ C_3 の電圧、つまり直流出力電圧 V_{out} の 1/2 にクランプされるため、 C_1 電圧をスイッチングにより $V_{out}/4$ に制御する。これによりスイッチ数が少ないながらも従来回路と同様に各スイッチ電圧を $V_{out}/4$ に低減できる。また、残りの $V_{out}/2$ はダイオード D_{R1}, D_{S1}, D_{T1} にかかるが、このダイオードはリカバリしないため低速の整流用ダイオードでよく、高耐圧の素子が比較的容易に得られる。

表 1 に従来回路と提案回路の素子数の比較を示す。特に、スイッチ数が半分でよいいため、ゲートドライバ等が削減でき、コスト減となる。また、提案回路はダイオードクランプ形よりも少ないダイオード数で、フライングキャパシタ

形よりも少ないコンデンサ数で三相 5 レベル PWM 整流器を構成することができる。

図 3 に提案回路の電流経路を示す。提案回路は主電流経路にダイオードを用いているため、入力電圧電流極性により出力可能な電圧レベルが変化する。スイッチングパターンと出力電圧レベルの対応は次の通り 5 レベルの出力が可能であることがわかる。

- ・入力電圧：正の期間
 - 1) $V_{conv} = +V_{out}/2$: S_1, S_2 (図 3(a))
 - 2) $V_{conv} = -V_C + V_{out}/2$: S_3 (図 3(b))
 - 3) $V_{conv} = +V_C$: S_4 (図 3(c))
 - 4) $V_{conv} = +0$: S_3, S_4 (図 3(d))
- ・入力電圧：負の期間
 - 5) $V_{conv} = -0$: S_1, S_2
 - 6) $V_{conv} = -V_C$: S_1
 - 7) $V_{conv} = +V_C - V_{out}/2$: S_2
 - 8) $V_{conv} = -V_{out}/2$: S_3, S_4



(a) Diode clamp (b) Flying capacitor
図 1 従来回路

Fig. 1. Conventional circuits.

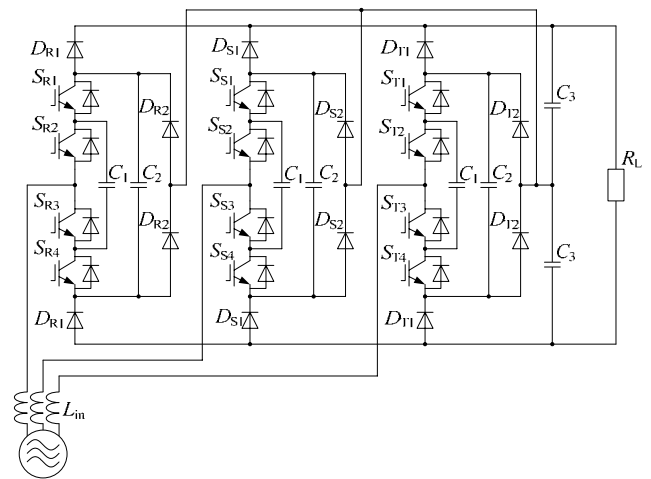


図 2 提案回路

Fig. 2. Proposed circuit.

表 1 同耐圧の素子を用いた場合の素子数比較
Table 1. Comparing of device number using same withstand voltage device.

	Diode clamp	Flying capacitor	Proposed circuit
Switch	24	24	12
Diode	60	24	36
Capacitor	4	30	13

including FWD

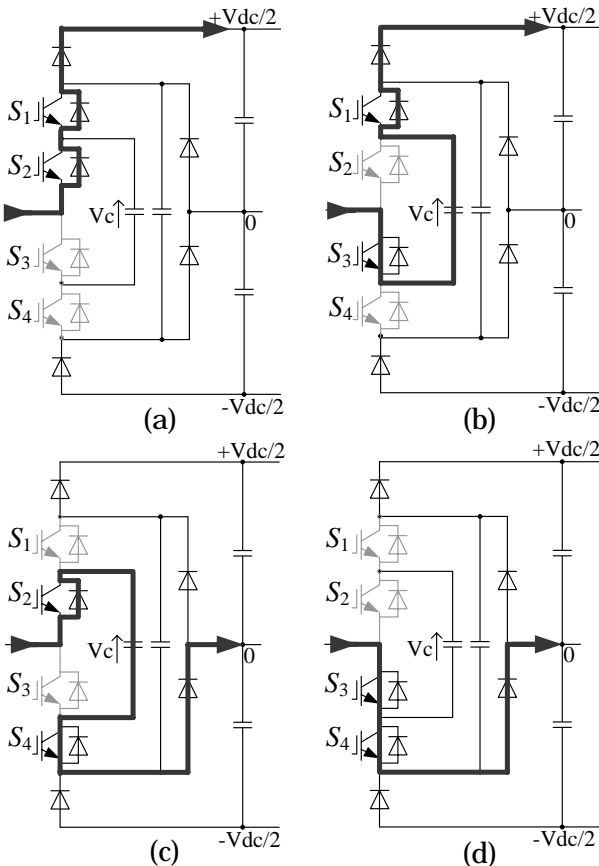


図 3 提案回路の電流経路(入力電圧正の期間)
Fig. 3. Current distance of proposed circuit.

提案回路は原理上 7 レベル動作が可能であるが、本論文では $V_c = V_{out}/4$ とし、2)と 3)、6)と 7)で同レベルを出力する。これにより、 $\pm V_{out}/4$ を出力する場合、フライングキャパシタ C_1 の充放電モードを選択できることになり、 C_1 の電圧制御が可能となる。さらに、従来回路と比較してスイッチングパターンが 8 種類と少ないため、制御が簡単である。また、提案回路では同様の回路構成で多段化が可能である。この場合も、ダイオード D_{R1} 、 D_{S1} 、 D_{T1} に $V_{out}/2$ がかかるため、従来の半分のスイッチ素子数で PWM 整流器を構成できる。

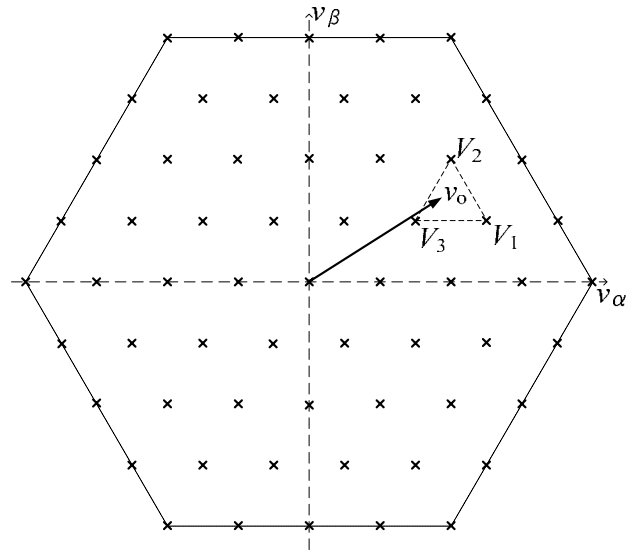


図 4 提案回路のベクトル図

Fig. 4. Vector diagram of proposed circuit.

3. 制御方法

3.1 空間ベクトル変調

提案回路の制御法としていくつかの方法が考えられるが、本論文では、提案回路を空間ベクトル変調により制御する。図 4 に提案回路のベクトル図を示す。フライングキャパシタの充放電モードで重なるベクトルを除き、5 レベルインバータと同様に 61 種類のベクトルが存在する。これらのベクトルを用いて、指令値 v_o 応じて、出力する電圧ベクトルの選択、および出力時間の計算を行なう。

まず、出力するベクトル v_o の三方を囲む近傍指の 3 本のベクトルを選択する。選択した 3 本のベクトルの α 軸成分、 β 軸成分をそれぞれ次式で表す。

$$\begin{cases} V_1 = V_{1\alpha} + V_{1\beta} \\ V_2 = V_{2\alpha} + V_{2\beta} \\ V_3 = V_{3\alpha} + V_{3\beta} \end{cases} \quad (1)$$

(1)式と出力時間との関係を表すと次式となる。

$$\begin{cases} v_{o\alpha} = V_{1\alpha}T_1 + V_{2\alpha}T_2 + V_{3\alpha}T_3 \\ v_{o\beta} = V_{1\beta}T_1 + V_{2\beta}T_2 + V_{3\beta}T_3 \\ 1 = T_1 + T_2 + T_3 \end{cases} \quad (2)$$

ここで、 T_1 、 T_2 、 T_3 は選択ベクトルの出力時間の比である。従って、(2)式より各出力時間比は次式で求められる。

$$\begin{aligned} T_1 &= \frac{1}{|A|} \{ (V_{2\beta} - V_{3\beta})(v_{o\alpha} - V_{3\alpha}) + (V_{3\alpha} - V_{2\alpha})(v_{o\beta} - V_{3\beta}) \} \\ T_2 &= \frac{1}{|A|} \{ (V_{3\beta} - V_{1\beta})(v_{o\alpha} - V_{3\alpha}) + (V_{1\alpha} - V_{3\alpha})(v_{o\beta} - V_{3\beta}) \} \\ T_3 &= \frac{1}{|A|} \{ (V_{2\beta} - V_{1\beta})(v_{o\alpha} - V_{3\alpha}) + (V_{1\alpha} - V_{2\alpha})(v_{o\beta} - V_{3\beta}) \} \end{aligned} \quad (3)$$

ただし,

$$|A| = (V_{1\alpha} - V_{3\alpha})(V_{2\beta} - V_{3\beta}) - (V_{1\beta} - V_{3\beta})(V_{2\alpha} - V_{3\alpha})$$

このように求めた各ベクトルの出力時間比を三角波キャリアと比較することによって、PWM パルスを生成する。

3-2 制御ブロック図

図 5 に提案回路の制御ブロックを示す。直流出力電圧 V_{out} 、入力電流 i_{in} は PI 制御を行っており、その出力より空間ベクトル変調によって PWM パルスを生成し、スイッチングテーブルを読み出す。スイッチングテーブルでは、空間ベクトル変調により判定される出力ベクトル情報の他に、フライングキャパシタの充放電モード判定結果、入力電流極性判定結果を用いて適切なスイッチングパターンを選択する。入力電流極性は 2 種類の 0 レベル出力の判定に必要であり、整流器への電流方向によりスイッチングパターンを変化させる。

また、スイッチングテーブルは 60° 分のみ作成し、 60° 毎に基準ベクトルを回転させ、ゲートパルスを入れ替える。例えば、R 相のプラス側ピーク値を本来の 0° とすると、 $0 \sim 60^\circ$ の期間は R 相を基準とし、続いて $60 \sim 120^\circ$ では T 相のマイナス側ピーク値が基準となるよう座標変換する。このとき、本来の基準である R 相は座標変換後の -S 相にあたるため、-S 相に R 相のゲートパルスを出力するようゲートパルスの入れ替えを行なう。これにより全領域分のスイッチングテーブル作成が不要になる。表 2 にゲートパルス入れ替えの詳細を示す。 60° 毎に座標変換した際、本来の座標軸が変換後の座標軸のどれにあたるかを表している。

4. シミュレーション結果

提案回路の基本的な動作を確認するため、シミュレーションにより検証を行った。表 3 にシミュレーションに用いたパラメータを示す。スイッチング周波数 10kHz、出力電力 1kW として行なった。

図 6 にシミュレーション結果を示す。図 6 より、力率ほぼ 1 の良好な電流波形が得られ、スイッチ電圧も $V_{out}/4$ に低減できている。図 7 に入力電流の高調波解析を示す。図 7 より、40 次以下の電流ひずみ率は 2.0% であり、良好な電流制御性能を確認した。

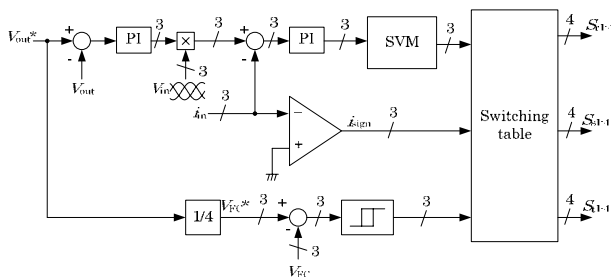


図 5 制御ブロック

Fig. 5. Control diagram.

表 2 基準ベクトル変換対応表

Table 2. Transition table.

	Phase-R	Phase-S	Phase-T
$0 \sim 60^\circ$	R	S	T
$60 \sim 120^\circ$	-S	-T	-R
$120 \sim 180^\circ$	T	R	S
$180 \sim 240^\circ$	-R	-S	-T
$240 \sim 300^\circ$	S	T	R
$300 \sim 360^\circ$	-T	-R	-S

表 3 シミュレーションパラメータ

Table 3. Simulation parameters.

Output power	1[kW]
Input AC voltage	200[V]
Input frequency	50[Hz]
Switching frequency	10[kHz]
DC output voltage command	400[V]
Load resistance	160[Ω]
Input inductor	3[mH]
Flying capacitor(C1)	100[μF]
Clamping capacitor(C2)	100[μF]
DC link capacitor(C3)	2000[μF]

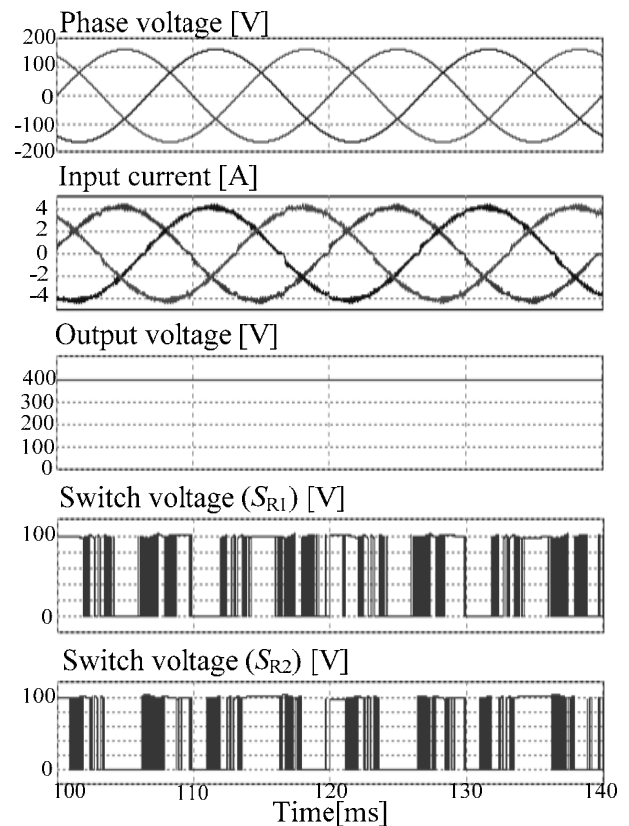


図 6 シミュレーション結果

Fig. 6. Simulation waveform..

図 8 に直流電圧指令を変化させたときの応答波形を示す。0.5s の時点より直流出力電圧指令値 V_{out}^* を 400V から 500V に変化させ、同時に、フライングキャパシタ電圧指令値を $V_{out}^*/4$ で変化させている。図 8 より、直流出力電圧 V_{out} およびフライングキャパシタ電圧は指令値に追従していることがわかる。なお、コンデンサの容量の違いにより、フライングキャパシタ電圧の方が高速に応答する。

図 9 に負荷ステップ応答波形を示す。0.15s を境に負荷を 1kW から 2kW にステップ状に変化させた。図 9 より、負荷が変動しても直流出力電圧は一定値を保つことを確認した。また、フライングキャパシタ電圧も同じく一定値を保持可能であることを確認した。

5. 実験結果

シミュレーション結果を確認するため、定格 1kW の試作機を製作して実験を行なった。表 4 に実験条件を示す。実験は、入力電圧をスライドレギュレータにより三相 50V とし、出力電圧指令 100V として行なった。

図 10 に実験結果を示す。図 10(a) は入力相電圧と入力電流、図 10(b) は出力直流電圧とフライングキャパシタ電圧で

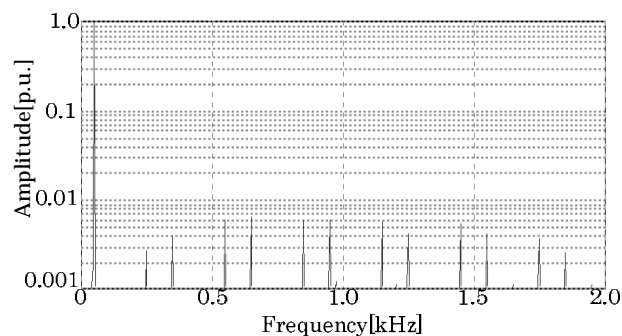


図 7 入力電流の高調波解析

Fig. 7. Harmonics analysis of input current.

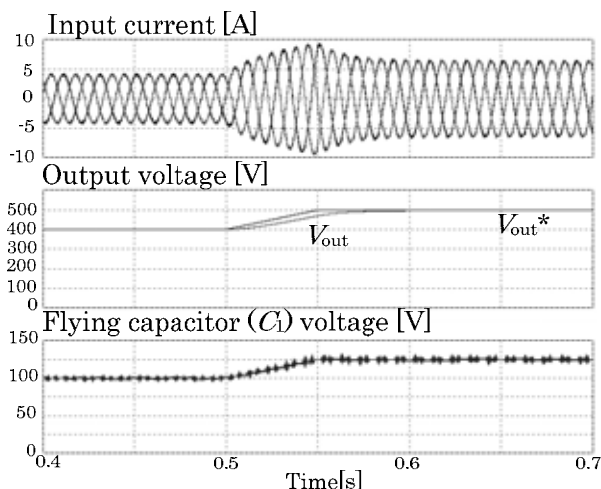


図 8 提案回路の電圧応答

Fig. 8. Voltage response of the proposed circuit.

ある。図 10(a) より、入力電流は力率ほぼ 1 であるが、ゼロクロス付近に大きなひずみが確認できる。原因として、電流のゼロ付近で電流極性の判定に誤差が生じたと考えられる。今後、改善が必要である。

また、図 10(b) より、直流出力電圧は指令に追従し 100V 一定となっていることがわかる。その際、フライングキャパシタ電圧は直流出力の 1/4 である 25V に制御可能であることを確認した。

6. まとめ

本論文では、スイッチ素子数を従来の 1/2 に削減した簡易型 5 レベル PWM 整流器の新しい回路方式を提案し、シミュレーションにより基本的な動作検証を行なった。その際、直流出力電圧応答、負荷ステップ応答にも追従することを確認した、また、定格 1kW の試作機を製作し、実験を行い以下の結果を得た。

- ・力率ほぼ 1 に制御可能
- ・フライングキャパシタの電圧制御が可能

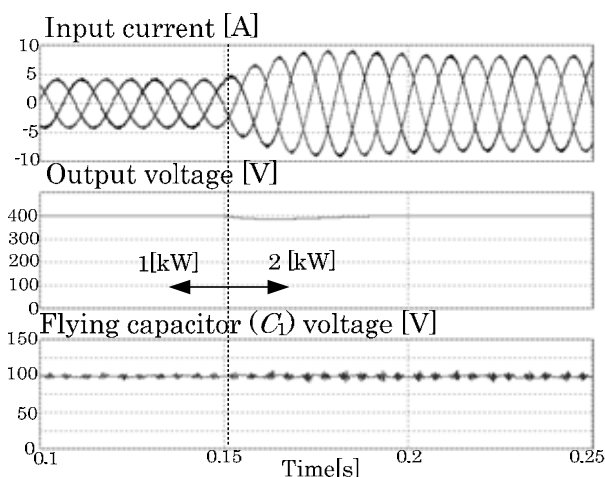


図 9 負荷ステップ応答

Fig. 9. Load step response of the output circuit.

表 4 実験条件

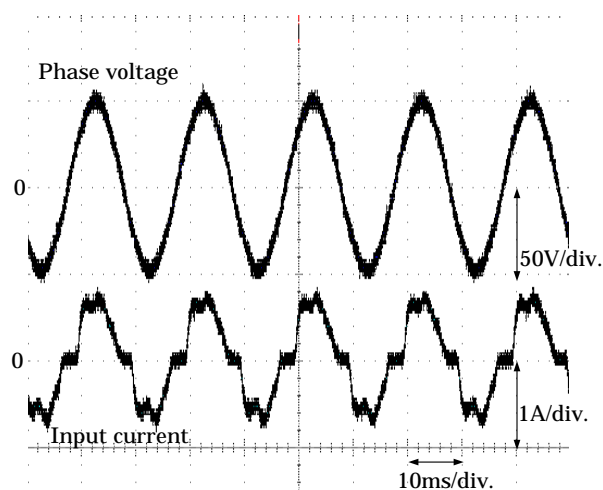
Table 4. Experimental parameters.

Output power	125[W]
Input AC voltage	50[V]
Input frequency	50[Hz]
Switching frequency	10[kHz]
DC output voltage command	100[V]
Load resistance	80[Ω]
Input inductor	2[mH]
Flying capacitor(C1)	100[μF]
Clamping capacitor(C2)	100[μF]
DC link capacitor(C3)	1800[μF]

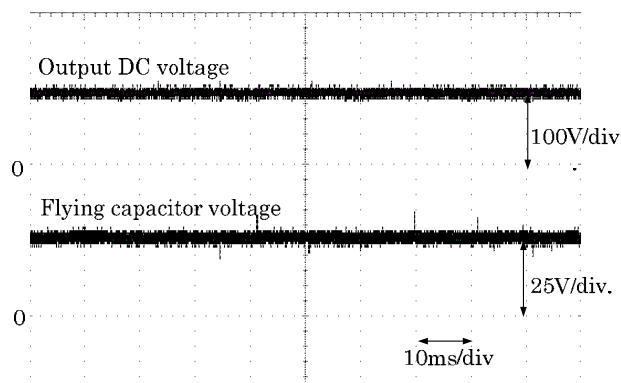
今後は入力電流ゼロクロス付近のひずみの改善やコンデンサ容量の最適化を行うと共に、提案回路構成を用いた多段化、また、7レベル動作についても検討する予定である。

文 献

- (1) B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D. P. Kothari : "A Review of Three-Phase Improved Power Quality AC-DC Converters", IEEE Transactions on industrial electronics, Vol.51, No.3, pp.641-660 (2004)
- (2) J. Rodríguez, J. Lai, and F. Z. Peng: "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", IEEE Transactions on industrial electronics, Vol.49, No.4, pp.724-738(2002)
- (3) U. Drofenic, J. W. Kolar, Y. Nishida, Y. Okuma, and J. Sun : "Three-Phase PFC Rectifier Systems", PCC-Osaka 2002 Tutorials, pp.2-93(2002)
- (4) Yasuyuki Nishida : "Passive and Hybrid PFC Rectifiers -A Survey and Exploration of New Possibilities-", IEEJ Transaction, Vol.126, No.7, pp.927-940 (2006)
- (5) I. Ashida, J. Itoh : "A Novel Three-Phase PFC Rectifier Using a Harmonic Current Injection Method", PCC-Nagoya 2007, pp.1302-1307(2007)
- (6) F. Z. Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (7) X. Yuan, I. Barbi : "Fundamentals of a New Diode Clamping Multilevel Inverter", IEEE Transactions on power electronics, Vol.15, No.4, pp.711-718(2000)
- (8) Z. Pan, F. Z. Peng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric : "Voltage Balancing Control of Diode-Clamped Multilevel Rectifier/Inverter Systems", IEEE Transactions on industry applications, Vol.41, No.6, pp.1698-1706(2005)
- (9) A. A. Sneineh, M. Wang : "Novel Hybrid Flying-Capacitor -Half-Bridge 9-Level Inverter", TENCON 2006(2006)
- (10) X. Kou, K. A. Corzine, and Y. L. Familant : "A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter", IEEE Transactions on power electronics, Vol.19, No.4, pp. 979-987 (2004)
- (11) D. Kang, Y. Lee, B. Suh, C. Choi, and D. Hyun : "An Improved Carrier-Based SVPWM Method Using Leg Voltage Redundancies in Generalized Cascaded Multilevel Inverter Topology", IEEE Transactions on power electronics, Vol.18, No.1, pp. 180-187 (2003)
- (12) F. Z. Peng, J. W. McKeever, and D. J. Adams : "A Power Line Conditioner Using Cascade Multilevel Inverters for Distribution Systems", IEEE Transactions on industry applications, Vol.34, No.6, pp. 1293-1298 (1998)
- (13) J. Lai, F. Z. Peng : "Multilevel Converters-A New Breed of Power Converters", IEEE Transactions on industry applications, Vol.32, No.3, pp.509-517 (1996)



(a)Phase voltage and input current



(b)Output DC voltage and flying capacitor voltage

図 10 実験結果

Fig. 10. Experimental result.