

# パワーエレクトロニクス向けコントローラの共通バス規格の提案

学生員 阿部達貴\* 学生員 星野哲馬 学生員 大沼喜也 学生員 真木康次

正員 伊東淳一 (長岡技術科学大学), 正員 阿部章 (マイウェイ技研(株))

## Proposal of Controller Bus for Power Electronics

Tatsuki Abe\*, Student Member, Tetsuma Hoshino, Student Member, Yoshiya Onuma, Student Member,  
Koji Maki, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology), Akira Abe, Member(Myway Labs.)

This paper proposes a bus standard for power electronics controller. A board chart based on this bus standard is open to the public based on the idea of open source. In increasing of the substrate that is produced and open to the public, the extendibility of the controller rises. The verification of the controller based on proposed bus standard is confirmed by control of pwm rectifier.

キーワード：オープンソース, コントローラ

Keywords : Open Source, Controller

### 1. はじめに

電力変換回路の開発において、その装置毎に制御装置を設計することは多大な時間、費用がかかる。海外の大学では一人一台制御装置を使用する環境で研究開発が進められており、日本でも同様な制御システムを作ることが急務である。しかし、制御装置には多種多様な要求があり、一つの制御装置ですべてを満足することは困難である。そこで、コントローラの機能を数枚のボードに分割し、共通のバス規格を定め、各ボードを組み合わせることで開発する変換器のコントローラを構成することを考える。必要とする機能をボードの差し替えや増設によって行うので、各種電力変換器に対応したコントローラを作成できる。また、各自が共通のバス規格に基づいて製作された基板の仕様、回路図を公開することで Linux などに代表されるオープンソースウェアのように、機能拡張を日本中の人が共同で行って行くことができる<sup>(1)(2)</sup>。

本論文では、この共通のバス規格について提案する。また、実際にこの規格に基づいて製作した基板を組み合わせで構築し、コントローラとして十分な性能が得られることがわかったので報告する。

### 2. 理念

図 1 に、提案するパワーエレクトロニクス用コントローラバス規格(PE バス)に基づいて構成したコントローラの構成例を示す。コントローラは演算用 CPU ボード、PWM 信号生成用 PWM ボードといった様に、コントローラの機能毎に数枚のボードに別れている。各ボードは PE バス規格に基

づいて製作されており、図 1 中のバックボードに接続することで基板間が PE バスを介して接続される。PE バスのコンセプトとしてはパソコンの PCI スロットと同様である。要望するコントローラ機能に応じて基板を接続していくことで、機能の拡張が簡単に行える。このコントローラの利点の一つとして拡張性の高さが挙げられる。

また、重要な特徴は PE バス規格並びに基板の仕様・回路図がオープンソースの考えに基づいて公開されることである。PE バス規格に乗取った基板を新しく製作した際に、仕様と回路図を互いに公開していくことで、実現できる機能を増加させる。

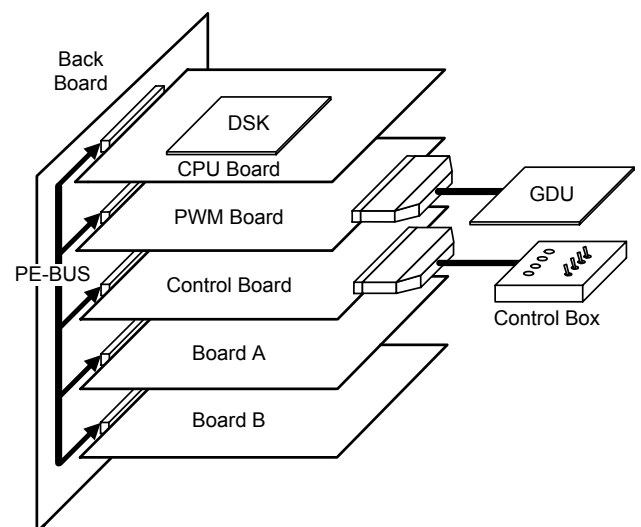


図 1 FPEG コントローラの構成例

Fig.1. Example of composing FPEG controller.

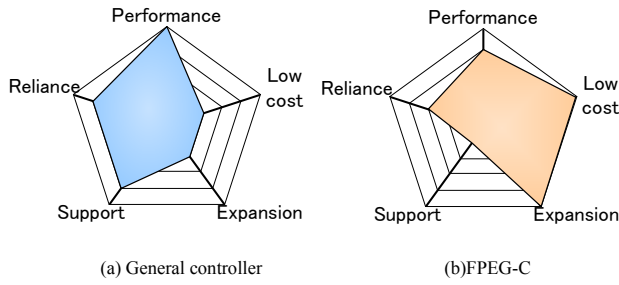


図 2 FPEG コントローラのコセプト  
Fig.2. Concept of FPEG-C.

表 1 PE バスコネクタマップ  
Table1. PE bus connector map.

A 列	機能	B 列	機能	C 列	機能
1	D4	1	PWMRST_	1	D5
2	D3	2	RD_	2	D6
3	D2	3	TRIP2_	3	D7
4	D1	4	+5V	4	D8
5	D0	5	GND	5	D9
6	INT1A_	6	+5V	6	D10
7	INT1B_	7	+5V	7	D11
8	INT4A_	8	GND	8	D12
9	GND	9	+5V	9	GND
10	INT4B_	10	+5V	10	TRIP1_
11	GND	11	EMG_	11	D13
12	RXD	12	GND	12	RST_
13	CS1_	13	OP16	13	D14
14	WR_	14	OP17	14	D15
15	GND	15	OP18	15	OP0
16	RDY_	16	OP19	16	OP1
17	GND	17	A21	17	OP2
18	BBEN_	18	A20	18	OP3
19	GND	19	A19	19	OP4
20	TXD	20	GND	20	OP5
21	ADST_	21	A18	21	OP6
22	DIR	22	A9	22	OP7
23	A17	23	GND	23	OP8
24	A16	24	A8	24	OP9
25	A15	25	A7	25	OP10
26	A14	26	A6	26	OP11
27	A13	27	A5	27	OP12
28	A12	28	A4	28	OP13
29	A11	29	A3	29	OP14
30	A10	30	A2	30	OP15
31	+5V	31	GND	31	+5V
32	+5V	32	+5V	32	+5V

バス規格は 3.3V

表 2 PE バス各信号の意味  
Table2. PE bus signal descriptions.

記号	内容
GND	デジタルグラウンド
+5V	デジタル 5V
TRIP1_, TRIP2_	トリップ信号
EMG_	非常停止
PWMRST_	PWM リセット信号
RXD, TXD	シリアル通信用
D0-D15	データバス 16bit
A2-A19	アドレスバス 18bit
DIR	双方向バスバッファ
CS1_	チップセレクト信号
RD_	リード信号
RST_	リセット信号
WR_	ライト信号
RDY_	レディ信号
BBEN_	バスバッファイネーブル
INT1A_, INT1B_ INT4A_, INT4B_	割り込み信号
ADST_	AD 割り込み信号

以上の理念を元に、PE バス規格に沿って構成されるこのコントローラを、FPEG-C(Free Power Electronics General Controller)と名付ける。

図 2 に、FPEG-C の目指すコンセプトを、市販コントローラとの比較によって示す。製品である市販コントローラと比較し、FPEG-C は CPU の性能を限界まで引き出しているとは言い難く、性能、信頼性、サポートの面では及ばない<sup>(3)(4)</sup>。特にサポートについては基本的にフリーソフトと同じく、“善意”に基づくサポートであり、基板開発者に“義務”や“責任”は一切ない。

しかし、FPEG-C の目指す特徴はその他の拡張性能とコストパフォーマンスにある。オープンソースであるが為に、将来的に PE バス規格に乗っ取って製作され公開される基板が増えることで、FPEG-C の拡張性は非常に高いものになる。また、基本的にコントローラの価格は基板の製作費のみであるため、市販品に比べ非常に安価に製作できる。

さらに、回路は原則公開する理念であるので、不具合が生じたときに自分で回路動作を検証でき、開発者(学生)がハードウェア知識の習得ができる。これらの特徴を踏まえて、FPEG-C が使用される場面として、大学の研究室や企業での初期研究開発の場面に使用されることを想定している。逆に、製品に組み込むといった使用には信頼性の面を向いていないし組み込むべきではない。

### 3. バス仕様

表 1 に提案する共通バスコネクタマップを示す。表 2 にはバス信号の意味を示す。PE バスに用いるコネクタは

HARTING09031962921(ライトアングル 96 ピン)である。

信号には、アドレスバス 18 ビット、データバス 16 ビット、バス制御信号、CPU への外部割込み信号、トリップ信号、オプションバス 19 ビット、5V 電源ラインなどがある。バスの規格は+3.3V である。また、バスクロックは 40MHz であり、各ボード間は非同期である。バスクロックを比較的下げることによって各ボードの設計を簡単化している。以下に PE バスの各信号について簡単に説明する。

#### 〈3-1〉 バス制御信号

アドレスバス(A2-A19)、データバス(D0-D16)、ライト信号(WR<sub>-</sub>)、リード信号(RD<sub>-</sub>)、チップセレクト(CS1<sub>-</sub>)、バスバッファイネーブル(BBEN<sub>-</sub>)、レディ信号(RDY<sub>-</sub>)は CPU が外部機器とデータ通信を行う際に使用する。

#### 〈3-2〉 割込み信号

割込み信号(INT1A<sub>-</sub>, INT1B<sub>-</sub>, INT4A<sub>-</sub>, INT4B<sub>-</sub>)は CPU の外部割込み信号であり、割込みタイミングを CPU 外部から与える場合に使用する。

AD 割込み信号(ADST<sub>-</sub>)は AD 変換器の変換処理に併せて割込み処理を発生させたい場合に使用する。

#### 〈3-3〉 トリップ信号, 非常停止信号

トリップ信号(TRIP1<sub>-</sub>, TRIP2<sub>-</sub>)は故障発生を知らせる信号である。例えば、過電流、過電圧が発生した際にトリップ信号をアクティブにして PWM ボードでゲートブロック処理を行わせるといった使い方をする。

非常停止信号(EMG<sub>-</sub>)は、装置の運転停止を指示する信号である。例えば、CPU 暴走時に PWM 信号の出力を停止させたい時にこの信号をアクティブにすることで PWM ボードでゲートブロック処理をさせるといった使用をする。

#### 〈3-4〉 シリアル通信用信号

シリアル通信信号(RXD<sub>-</sub>, TXD<sub>-</sub>)はシリアルデータの送受信に使用する。通信方式は非同期方式である。

#### 〈3-5〉 オプションバス

オプションバス(OP0-OP19)はユーザーが自由に機能を割り振ることができ、例えば、OP0-OP15 をデータバスの 17-32 ビット目として使用してデータバスを 32 ビットに拡張することができる。

#### 〈3-6〉 リセット信号

リセット信号(RST<sub>-</sub>)は、PE バスに接続した各ボードのデバイスへのリセット信号として使用する。

PWM リセット信号(PWMRST<sub>-</sub>)は、PWM ボードのゲートブロックを解除する信号である。

#### 〈3-7〉 電源

電源 5V(+5V)、グランド(GND)は PE バスに接続したボードに電源を供給する。電源コネクタは各ボードを接続するバックボードにあるため、各ボード毎に 5V 電源用コネクタを用意しなくてもよい。但し、5V 以外の電源を供給する場合は基板毎に供給用コネクタを用意する必要がある。

## 4. 基板例

以下に、提案する PE バス仕様に基づいて著者が製作した基板を示す。これら基板を組み合わせることで大概のパワーエレクトロニクス装置に適用できるコントローラを構築できる。図 3 に各基板を、図 4 に基板を組んで構築したコントローラの様子を示す。この構成例で、部品代、実装代含め一組 20 万円前後であり、一般コントローラに比べコスト面で有利である。また、予算と必要性能に応じてすべての部品を実装する必要はなく、回路図を検討して不要と思われる部品については実装しなければ、さらに低コスト化をはかることができる。

これら基板の仕様、回路図はインターネット上で公開している。基板の入手法などは FPEG-C のホームページ(URL:<http://pelab.nagaokaut.ac.jp/itohlab/fpeg/index.html>)を参照していただきたい。

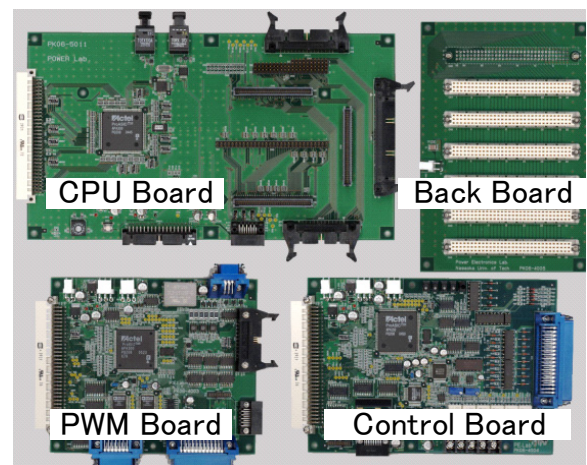


図 3 製作基板

Fig.3. Production substrate.

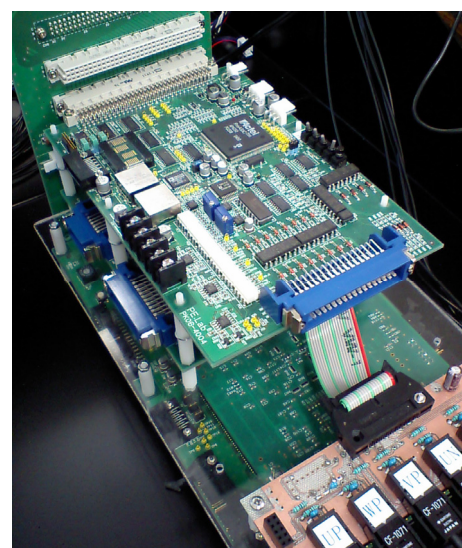


図 4 FPEG コントローラ

Fig.4. FPEG-Controller.

#### 〈4-1〉 CPU ボード

CPU ボードはコントローラの中で演算処理を担う。製作した基板では、Texas Instruments 社の DSP スタートキット TMS C6713DSK もしくは F28DSK を接続して CPU として使用する<sup>(5)</sup>。

CPU ボードと PE バス間には Actel 社製 ProASIC3 PLUS FPGA を実装しており、アドレスデコード、バス方向制御などの処理を行う<sup>(6)</sup>。

また、マイウエイ技研の統合開発環境「PE-View」用のインターフェース回路を実装しており、C6713DSK を CPU として使用する際にはローダとして使用可能である。

今回の例では CPU ボード一枚のみ使用しているが、CPU ボードをさらにもう一枚 PE バスに接続してデュアル CPU のコントローラを構築することも可能である。

また、他の仕様の CPU や FPGA を使用する場合は、その部分を変更した基板を作成すればよい。

#### 〈4-2〉 PWM ボード

PWM ボードは PWM 信号を生成して出力する機能を持つ他、アナログ入出力、デジタル入出力ボードも兼ねている。CPU ボードと同様に FPGA を実装しており、この FPGA でアドレスデコード、PWM 指令の格納、キャリア生成、PWM 信号の生成を行う。PWM 信号は 18 本まで出力でき、キャリア周波数やデットタイムは FPGA の内部レジスタを書き換えることで設定可能である。また、検出ボードとの接続インターフェースとして電圧・電流検出用の A/D コンバータ、過電圧・過電流信号入力用のデジタル入力ポートがある。過電圧・過電流信号検出時は FPGA 内部でゲートブロック処理を行う。

また、本基板から出力できる PWM 信号は 18 本までだが、さらに多くの PWM 信号を出力したい場合には本基板をさらにもう一枚 PE バスに接続して PWM 信号の出力数を増設することもできる。

#### 〈4-3〉 操作ボード

操作ボードは操作ボックス用のインターフェースを備えた基板である。操作ボックスとのアナログ入出力インターフェース、デジタル入出力インターフェースを基板上に備え、これら入出力値は基板に実装した FPGA の内部レジスタを、PE バスを通して読み書きする。

#### 〈4-4〉 その他

これらのボードの他、著者らのグループでは Actel FPGA 評価ボードを PE バスに接続するインターフェース基板を製作した。FPEG-C を構成する基板は手配線でも製作可能であるが、最近では基板加工機が比較的安価で入手可能なので、このような装置を使って基板を製作するとよい。

### 5. 動作検証

FPEG-C を用いて PWM 整流器の出力電圧制御を行い動作検証を行う。実験条件は、入力線間電圧実効値及び周波数 100V、50Hz、直流電圧指令 150V、キャリア周波数 10kHz である。

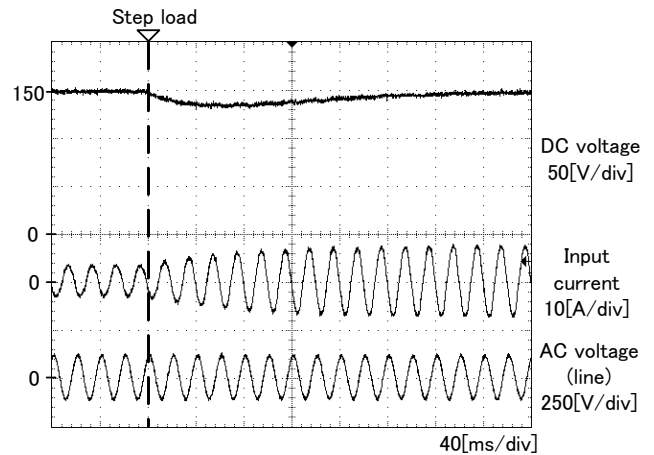


図 5 実験結果

Fig.5. Experimental result.

図 5 は PWM 整流器の直流電圧、入力電流、入力線間電圧波形である。図中横軸の 80msec の時点で直流負荷を 300W から 600W へ変化させている。入力電流歪率は 5.25%(600W 時)である。実験結果より、負荷急変時に直流電圧を指令値に追従させ、FPEG-C をコントローラとして使用できることが確認できる。

### 6. まとめ

本論文では、パワーエレクトロニクス装置のコントローラ向けに、PE バスの規格を提案し、この PE バス規格の詳細と、基板例について述べた。また、PE バス規格と基板の回路をオープンソースの概念に基づいて公開するコンセプトについて述べた。

実際に製作した基板を組み合わせて PWM 整流器のコントローラとして使用し、実際にコントローラとして機能することを示した。

今後は PE バス規格の普及に取り組んでいく共に、基板公開の場として FPEG-C の WEB ページを運営していく。

なお、本研究の一部は平成 17 年度産業技術研究助成事業の支援を受けており、関係各位に感謝の意を表します。

### 文 献

- (1) <http://www.linux.or.jp/>
- (2) <http://opensource.jp/>
- (3) <http://www.myway-labs.co.jp/products/pe-expert.htm>
- (4) H.Nishikawa,K.Takene,R.Kurosawa: "New Power Electronics Processor PP7EX", Annual Power Electronics Conference and Exposition, No.4-066, (2005)  
西川・竹根・黒澤:「新パワエレプロセッサ PP7EX」平成 17 年電気学会全国大会, 4-066,2005
- (5) <http://focus.tij.co.jp/jp/docs/prod/folders/print/tms320c6713b.html>
- (6) <http://www.actel.com/>