

スイッチ数を削減した簡易型三相 5 レベル PWM 整流器の検証

学生員 安達 健人 正員 伊東 淳一 (長岡技術科学大学)

An Investigation of a Reduced Switches Simplify Three-phase Five-level PWM Rectifier

Taketo Adachi, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

This paper proposes a new circuit topology for a multilevel PWM rectifier. The proposed circuit combines a diode clamp type topology with flying capacitor type topology. As a result, the proposed circuit uses only twelve switches in spite of a five-level three-phase PWM rectifier. However, the proposed circuit can obtain a good performance as well as conventional method.

This paper describes the feature of the proposed topology and the control strategy. In addition, the basic operation of the proposed method is confirmed by experimental results.

キーワード : PWM 整流器, マルチレベル, フライングキャパシタ, 空間ベクトル変調

Keywords : PWM rectifier, Multilevel, Flying capacitor, Space vector modulation

1. はじめに

近年, 電子機器の入力電流に対する様々な高調波規制が行われており, 高調波電流の主な発生源となっているインバータの整流回路の入力電流波形改善が重要な課題となっている。

入力電流波形改善を目的とした整流回路として, PWM 整流器が有力である。これはフルブリッジのスイッチ素子により構成されるため電流波形の制御性が高く, 入力電流波形改善に最も有効である。

一方, 電源電圧が高圧の場合, 1 つのスイッチ素子で分担する電圧を下げるため, マルチレベル化が有力である⁽¹⁾。n レベル PWM 整流器は, 各スイッチ素子に印加される電圧を $1/(n-1)$ にすることができる。また, マルチレベル化により, スイッチング周波数を高くした場合と同等の効果が得られるため入力リアクトルが小型化できる。

マルチレベル PWM 整流器を実現する方法には, ダイオードクランプ方式⁽²⁾, フライングキャパシタ方式⁽³⁾等があるが, いずれもスイッチ素子が増加するためコストが高くなり, また制御系も複雑になる。また, ダイオードクランプ方式の場合, 4 レベル以上の構成では補助回路なしに各クランプコンデンサの電圧を均等に制御できない問題がある。

本論文では, 従来の 5 レベル PWM に比べてスイッチ素子数を半分にした新しい 5 レベル整流回路方式を提案する。提案回路はフライングキャパシタ方式とダイオードクランプ方式を組み合わせた構成で, 各スイッチ素子に必要な耐圧が従来回路と同様に直流出力電圧の $1/4$ でよい。

本論文では, 提案回路について, 実験により動作検証を行い, 所望の動作を確認したので報告する。

2. 回路構成

2.1 従来回路

図 1 に従来の 5 レベル PWM 整流器 1 相分の回路構成を示す。図 1(a) はダイオードクランプ形, 図 1(b) はフライングキャパシタ形であり, 全て同耐圧の素子を用いた場合の構成としている。どちらの方式でもスイッチ素子に必要な耐圧は直流出力電圧の $1/4$ となるが, 1 相あたり 8 個, 三相の場合は 24 個ものスイッチ素子が必要であるため高コスト, また制御系が複雑化する。例えば, フライングキャパシタ形で $V_{dc}/2$ の電圧レベルを出力する場合, スイッチングパターンは次の 6 通りが考えられる。

- 1) S_1, S_2, S_3, S_4 ($V_{conv} = V_{dc} - V_{dc}/2$)
- 2) S_3, S_4, S_1, S_2 ($V_{conv} = V_{dc}/2$)
- 3) S_1, S_3, S_2, S_4 ($V_{conv} = V_{dc} - 3V_{dc}/4 + V_{dc}/2 - V_{dc}/4$)
- 4) S_1, S_4, S_2, S_3 ($V_{conv} = V_{dc} - 3V_{dc}/4 + V_{dc}/4$)
- 5) S_2, S_4, S_1, S_3 ($V_{conv} = 3V_{dc}/4 - V_{dc}/2 + V_{dc}/4$)
- 6) S_2, S_3, S_1, S_4 ($V_{conv} = 3V_{dc}/4 - V_{dc}/4$)

このように同電圧レベルを出力するパターンが複数存在するので, 各フライングキャパシタの充放電モードを考慮しながら, フライングキャパシタの電圧を一定に保つようにパターンを切り替えて制御しなくてはならない。

2.2 提案回路

図 2 に提案回路を示す。高耐圧ダイオードとフライングキャパシタを組み合わせることにより, 従来回路と比較し, 提案回路はスイッチ素子数を半分に削減できる。 C_1 はフライングキャパシタであり, スイッチングにより電圧を制御する。また, C_2 は電圧クランプ用, ダイオード D_{R2}, D_{S2} , D_{T2} は C_2 の充電経路用である。通常運転時, C_2 電圧は平滑

コンデンサ C_3 の電圧,つまり直流出力電圧 V_{dc} の 1/2 にクランプされるため, C_1 電圧をスイッチングにより $V_{dc}/4$ に制御することにより,各スイッチ電圧を $V_{dc}/4$ に低減できる。また,残りの $V_{dc}/2$ はダイオード D_{R1}, D_{S1}, D_{T1} に印加されるが,このダイオードはリカバリしないため低速の整流用ダイオードでよく,IGBT 等のスイッチ素子に比べ安価で構成できる。

表 1 に従来回路と提案回路の素子数比較を示す。表 1 はすべて同耐圧の素子を用いて構成した場合の素子数である。提案回路は,スイッチ数が従来回路の 1/2 で構成でき,ダイオードクランプ形より少ないダイオード数で,フライングキャパシタ形より少ないコンデンサ数で 5 レベル PWM 整流器を構成できる。

図 3 に提案回路の電流経路を示す。提案回路は主電流経路にダイオードを用いているため,入力電圧極性により出力可能な電圧レベルが変化する。スイッチングパターンと出力電圧レベルの対応は次の通り,2 種類の 0 レベル(直流中点と同電位)を含め 7 種類の電圧レベルが出力可能であることがわかる。

(a) 入力電圧 : 正の期間

- 1) $V_{conv} = +V_{dc}/2$: S_1, S_2 (図 3(a))
- 2) $V_{conv} = -V_C + V_{dc}/2$: S_3 (図 3(b))
- 3) $V_{conv} = +V_C$: S_4 (図 3(c))
- 4) $V_{conv} = +0$: S_3, S_4 (図 3(d))

(b) 入力電圧 : 負の期間

- 5) $V_{conv} = -0$: S_1, S_2
- 6) $V_{conv} = -V_C$: S_1
- 7) $V_{conv} = +V_C - V_{dc}/2$: S_2
- 8) $V_{conv} = -V_{dc}/2$: S_3, S_4

このように,提案回路は V_C の値により原理上 7 レベル動作が可能であるが,本論文では $V_C = V_{dc}/4$ とし,2)と 3),6)と 7)で同レベルを出力する。これにより, $V_{conv} = \pm V_{dc}/4$ を出力する場合,フライングキャパシタ C_1 の充放電モードを選択

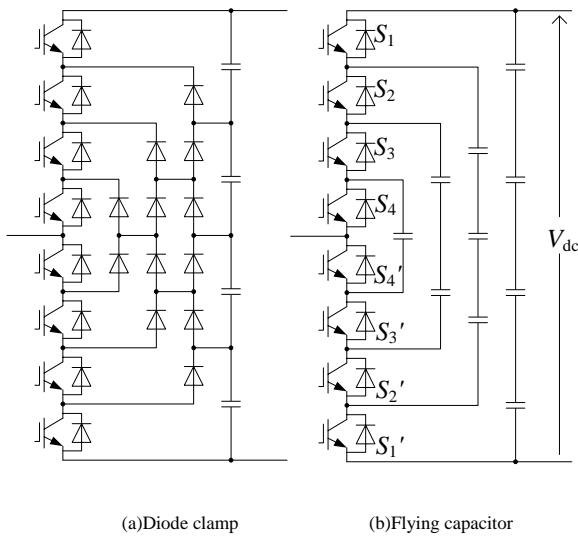


図 1 従来回路

Fig. 1. Conventional circuits. (single leg)

できることになり, C_1 の電圧制御が可能となる。さらに,従来回路と比較してスイッチングパターンが 8 種類と少ないため,制御が簡単である。また,提案回路では同様の回路構成で多段化が可能である。この場合も,ダイオード D_{R1}, D_{S1}, D_{T1} に $V_{out}/2$ がかかるため,常に従来回路の半分のスイッチ素子数で PWM 整流器を構成できる。

なお,提案回路は 1 パルス運転も可能である⁽⁴⁾。1 パルス運転方式では,提案回路は 12 パルス整流器と同等の動作ができるが,12 パルス整流器と比較して,入力結合トランスが不要である。また,PWM 方式と比較してスイッチング回数が大幅に減少するため,スイッチング損失が低減でき,高効率を実現できる。また,回生が必要な場合は,外側のダイオードをスイッチ素子に置き換えればよい。

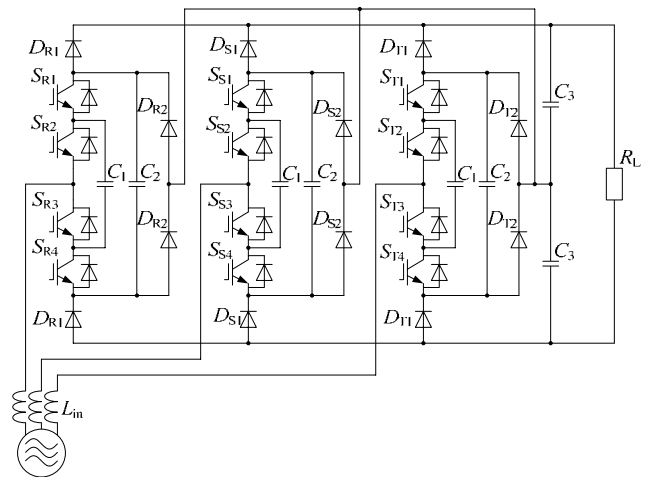


図 2 提案回路

Fig. 2. Proposed circuit reducing switching devices.

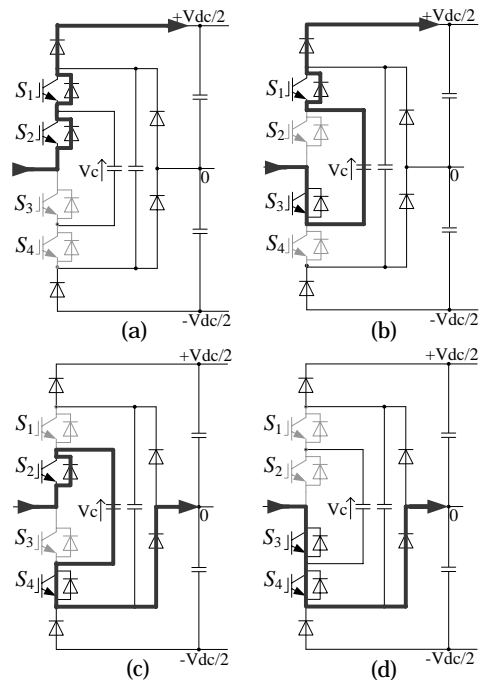


図 3 提案回路の電流経路 (電源電圧 : 正の期間)

Fig. 3. Current path of the proposed circuit.

表 1 従来回路と提案回路の素子数比較

Table 1. Comparing of the number of device.

	Diode clamp	Flying capacitor	Proposed circuit
Switch	24	24	12
Diode	60	24	36
Capacitor	4	30	13

including FWD

3. 制御方式

3-1 空間ベクトル変調

提案回路の制御法としていくつかの方法が考えられるが、本論文では空間ベクトル変調を採用する。空間ベクトル変調を用いることにより、各相のスイッチングを詳細に制御できるため、キャリア変調に比べてスイッチング回数を低減できる。

図 4 に提案回路のベクトル図を示す。"x"は電圧ベクトルの先端を表す。フライングキャパシタの充放電モードで重なるベクトルを除き、5 レベルインバータと同様に 61 種類のベクトルが存在する。これらのベクトルを用いて、指令値 v_o に応じて、電圧ベクトルの選択、および出力時間の計算を行う。まず、 v_o の三方を囲む近傍の 3 本のベクトルを選択する。指令値 v_o は、選択した 3 本のベクトルの α, β 軸成分とその出力時間の比 T_1, T_2, T_3 を用いて次式で表せる。

$$\begin{cases} v_{o\alpha} = V_{1\alpha}T_1 + V_{2\alpha}T_2 + V_{3\alpha}T_3 \\ v_{o\beta} = V_{1\beta}T_1 + V_{2\beta}T_2 + V_{3\beta}T_3 \\ 1 = T_1 + T_2 + T_3 \end{cases} \dots\dots\dots(1)$$

従って、(1)式より各出力時間比は次式で求められる。

$$\begin{aligned} T_1 &= \frac{1}{|A|} \{ (V_{2\beta} - V_{3\beta})(v_{o\alpha} - V_{3\alpha}) + (V_{3\alpha} - V_{2\alpha})(v_{o\beta} - V_{3\beta}) \} \\ T_2 &= \frac{1}{|A|} \{ (V_{3\beta} - V_{1\beta})(v_{o\alpha} - V_{3\alpha}) + (V_{1\alpha} - V_{3\alpha})(v_{o\beta} - V_{3\beta}) \} \\ T_3 &= \frac{1}{|A|} \{ (V_{2\beta} - V_{1\beta})(v_{o\alpha} - V_{3\alpha}) + (V_{1\alpha} - V_{2\alpha})(v_{o\beta} - V_{3\beta}) \} \\ (|A| &= (V_{1\alpha} - V_{3\alpha})(V_{2\beta} - V_{3\beta}) - (V_{1\beta} - V_{3\beta})(V_{2\alpha} - V_{3\alpha})) \end{aligned} \dots\dots\dots(2)$$

このように求めた各ベクトルの出力時間比を三角波キャリアと比較することによって、PWM パルスを生成する。

3-2 制御ブロック

図 5 に提案回路の制御ブロックを示す。直流出力電圧 V_{dc} 、入力電流 i_r, i_s, i_t を PI 制御し、その出力より空間ベクトル変調によって PWM パルスを生成し、スイッチングテーブルを読み出す。スイッチングパターンは、選択した 3 本のベクトル情報の他に、フライングキャパシタの充放電モード判定、入力電圧極性判定を用いて選択する。入力電圧極性は、2.2 節で述べた 2 種類の 0 レベル（電流引き込み、吐き出し）の判定に使用する。提案回路では入力力率を 1 に制御するため、電圧極性を電流極性と見なして制御する。

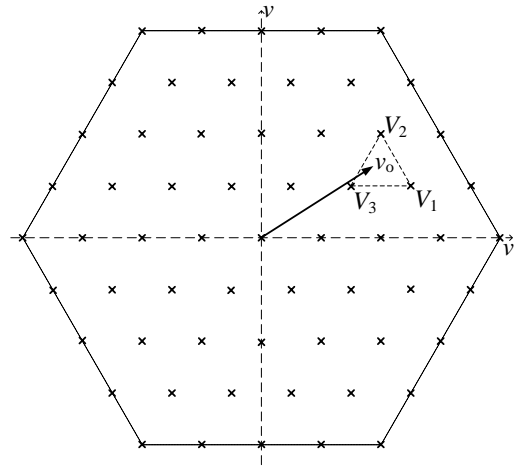


図 4 提案回路のベクトル図

Fig. 4. Space vector diagram of the proposed circuit.

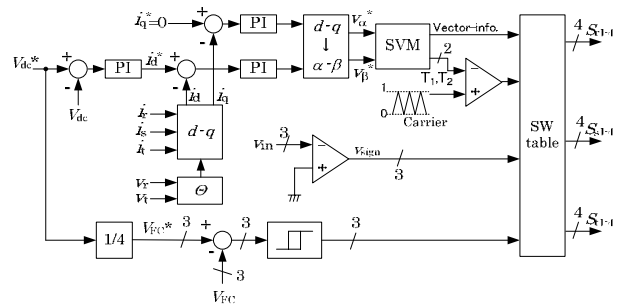


図 5 制御ブロック図

Fig. 5. Control diagram of the proposed converter.

4. 実験結果

定格 1kW の試作機を製作して実験を行った。図 6 に実験波形を示す。図 6(a)より、入力電流は力率 0.99 で良好な正弦波に制御できており、40 次以下の入力電流ひずみ率は 5.1%である。また、図 6(a)より、直流出力電圧は指令値に追従し 320V 一定となっており、フライングキャパシタ電圧はその 1/4 である 80V に制御可能であることを確認した。図 6(b)より、直流中点から見た変換器入力電圧は、5 レベル変換器特有の 5 段階の階段状の波形が得られた。

図 7 に入力電流の高調波解析結果を示す。3 次成分が大きい要因は、コンデンサ電圧のアンバランスなどが考えられる。この点に関しては、今後制御方法を工夫するなど対策が必要である。

図 8 に出力電力に対する効率と力率の変化を示す。測定範囲において、力率 0.97 以上、効率 97%以上となり、最大効率は 0.8kW 時に 97.3%が得られた。

図 9 に出力電力に対する入力電流ひずみ率の変化を示す。入力電流ひずみ率は重負荷ほど低くなるが、これは、高調波成分は負荷に対して変わらず一定であるのに対し、基本波成分が負荷に応じて増加するためである。

図 10 に負荷ステップ応答を示す。図 10 中央の時点で、負荷を 0.55kW から 1kW ヘステップ状に変化させた。図 10 より、提案回路は負荷変動に対しても安定して動作する。

5. まとめ

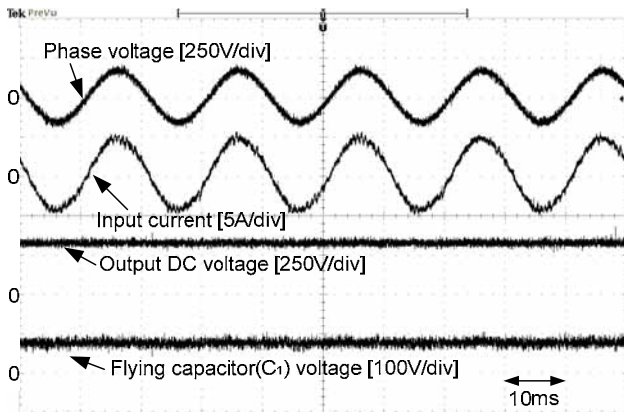
本論文では,スイッチ素子数を従来の 1/2 に削減した簡易型 5 レベル PWM 整流器の新しい回路方式を提案し, 定格 1kW の試作機を製作して実験を行い, 以下の結果を得た。

- 1) 電流ひずみ率 4.4% (P_{out} : 1.35kW 時)
- 2) 変換器最大効率 97.3% (P_{out} : 0.8kW 時)

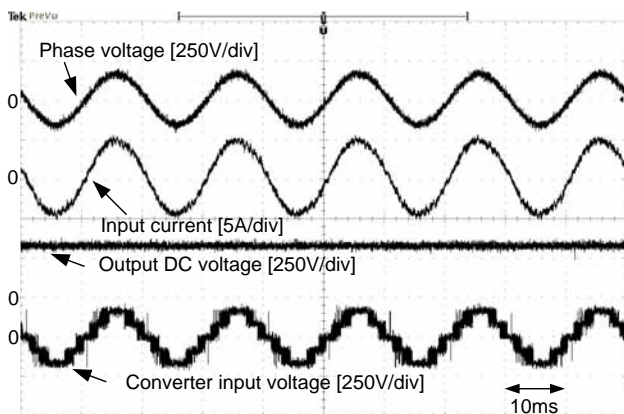
今後は, 3 次高調波の低減, 設計の最適化を検討すると共に, 提案回路の多段化, また, 7 レベル動作についても検討する予定である。

文 献

- (1) F. Z. Peng : “A Generalized Multilevel Inverter Topology with Self Voltage Balancing”, IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (2) X. Yuan, I. Barbi : “Fundamentals of a New Diode Clamping Multilevel Inverter”, IEEE Transactions on power electronics, Vol.15, No.4, pp.711-718(2000)
- (3) A. A. Sneh, M. Wang : “Novel Hybrid Flying-Capacitor -Half-Bridge 9-Level Inverter”, TENCON 2006(2006)
- (4) 安達, 伊東 : 「簡易型三相 5 レベル PWM 整流器の制御方式に関する基礎検証」, 平成 20 年電気学会全国大会, vol.4, pp.38-39(2008)



(a) Input current and output DC voltage.



(b) Converter input voltage.

図 6 実験結果

Fig. 6 Experimental Results. (V_{in} :200V, P_{out} :1kW, V_{dc} :320V, f_{sw} :10kHz, L_{in} :3mH(2.4%), C_1, C_2 :100 μ F, C_3 :2000 μ F)

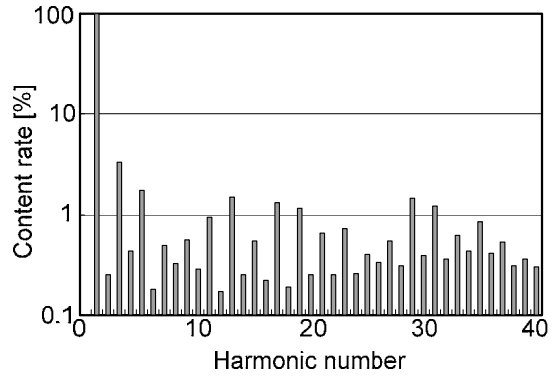


図 7 入力電流高調波解析結果 (1kW 出力時)

Fig. 7. Harmonic analysis of input current.

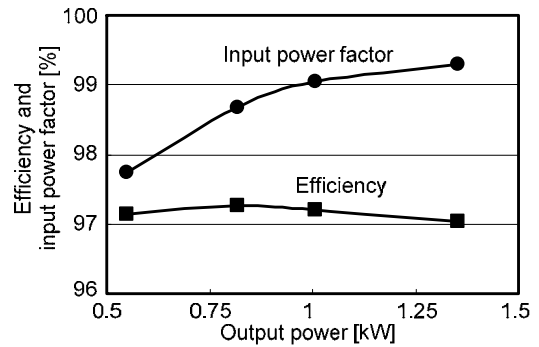


図 8 出力電力に対する効率と力率

Fig. 8. Efficiency and input power factor.

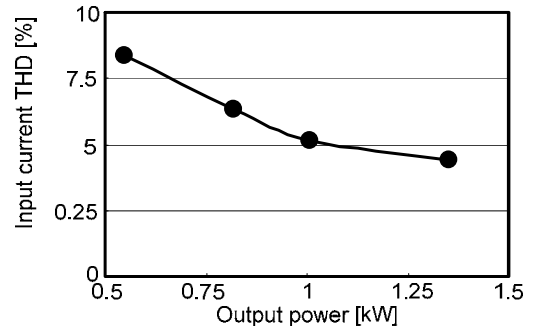


図 9 出力電力に対する入力電流ひずみ率

Fig. 9. Input current THD.

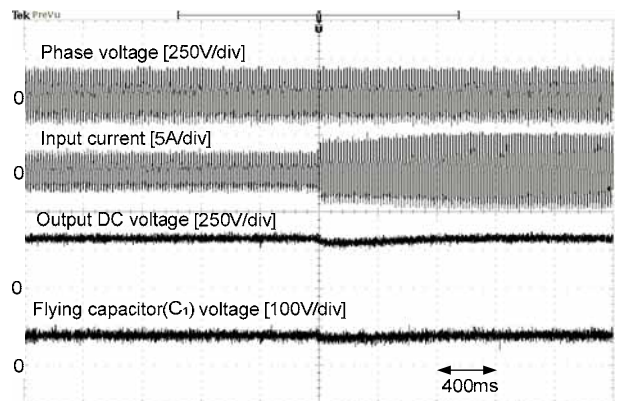


図 10 負荷ステップ応答

Fig. 10. Load step response.