

スイッチ数を削減した簡易型三相5レベルPWM整流器の フライングキャパシタ容量最適化

安達健人 伊東淳一

(長岡技術科学大学)

1. はじめに

近年、高調波対策のため様々なPFC整流器が提案されており、盛んに研究されている⁽¹⁾。著者らは、3レベルインバータと同じ12個のスイッチ素子を用いてスイッチ素子1個あたりのスイッチ電圧を直流出力電圧の1/4に低減した三相5レベルPWM整流器を提案した⁽²⁾。本論文では、提案回路においてフライングキャパシタとして用いるコンデンサの容量設計法を示し、容量の最適化を行う。シミュレーションと実験により設計の妥当性を確認したので報告する。

2. フライングキャパシタ容量の設計法

図1に提案回路を示す。ダイオードとフライングキャパシタを用いることにより、従来の5レベルPWM整流器と比較してスイッチ数を半分に削減した。提案回路では、図1中のコンデンサ C_1 をフライングキャパシタとして用いている。

提案回路は、 $\pm V_{dc}/2$ 、 $\pm V_{dc}/4$ 、0の5種類のレベルを出力できるが、 C_1 を介して出力するレベルは $\pm V_{dc}/4$ である。そのため、 $\pm V_{dc}/4$ の出力デューティが1のとき、 C_1 への充放電電流が最も大きい。以上を考慮し、キャリア周波数 f_{sw} とすると、 $\pm V_{dc}/4$ の最大接続時間 T_{sw_max} は、

$$T_{sw_max} = 1 / f_{sw} \quad \dots(1)$$

であるから、キャリア1周期中での C_1 の電圧変動 ΔV_c は、

$$\Delta V_c = \frac{1}{C} \int_0^{T_{sw_max}} i_{in_0.5} dt = \frac{i_{in_0.5}}{C f_{sw}} \quad \dots(2)$$

となる。ここで、 C はコンデンサ容量、 $i_{in_0.5}$ は $\pm V_{dc}/4$ 出力デューティ1のときの電流値であり、 $i_{in_0.5} = i_{in_peak}/2$ である(i_{in_peak} : 入力電流最大値) によって、入力電流リップル i_{in_rip} も考慮すると、キャリア1周期で ΔV_c の電圧変動を許容する場合の C_1 の容量は、

$$C = \frac{(i_{in_peak}/2) + i_{in_rip}}{\Delta V_c f_{sw}} \quad \dots(3)$$

となる。つまり、 C_1 の容量は入力電流の大きさに比例し、キャリア周波数と電圧変動許容値幅に反比例する。また、実際には C_1 電圧の検出誤差等を考慮し、指令値を基準に $\pm \Delta V_c$ の電圧変動となる。

3. シミュレーションおよび実験による検証

図2にシミュレーション結果を示す。各パラメータは図1に示す条件とし、 $i_{in_rip} = 0.2A$ 、 $C_1 = 47\mu F$ ($\Delta V_c = 4.9V$)とした。図2より、 C_1 電圧変動は最大4.7Vであり、設計値内に収まっている。

図3に実験結果を示す。パラメータはシミュレーションと同様で、 $i_{in_rip} = 0.5A$ 程度含まれているため、 $\pm \Delta V_c = 5.5V$ となる。図3より、 C_1 の電圧変動はほぼ設計値内に収まっている。また、最大6V変動している箇所があるが、 C_1 電圧検出誤差の影響が

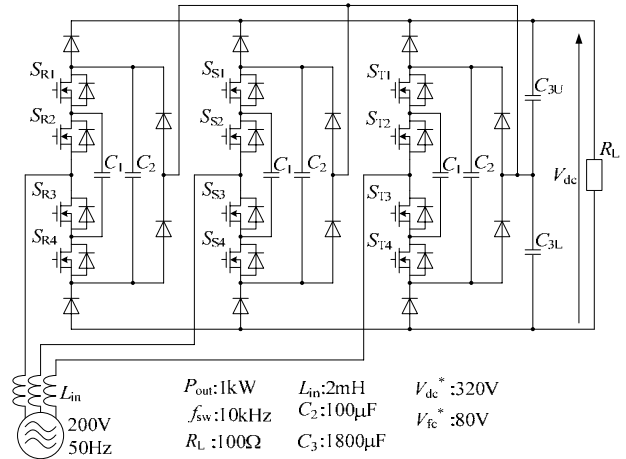


図1 提案回路

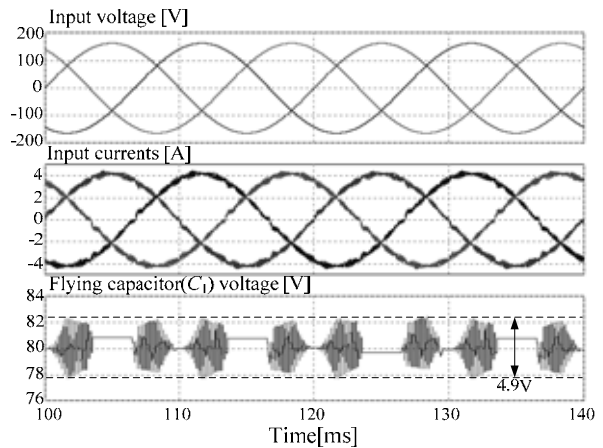


図2 シミュレーション結果

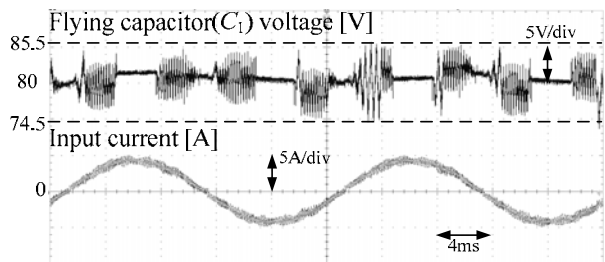


図3 実験結果

考えられる。

以上から(3)式の妥当性を確認した。今後は、入力リアクトル L_{in} 、コンデンサ C_2 、 C_3 について最適化を行い、提案回路の設計法を確立する予定である。

参考文献

- (1) B.Singh, et al.: IEEE Trans. Ind. Electron., Vol.51, No.3, pp. 641-659, June 2004
- (2) 安達, 伊東:平成 20 年電気学会産業応用部門大会 1-17