

高速スイッチング素子の実装法に関する一考察

渡邊 健太・折川 幸司・伊東 淳一（長岡技術科学大学）

1. はじめに

近年、SiC、GaN などの次世代パワー半導体に関する研究が盛んに行われている⁽¹⁾⁽²⁾。これらの素子は、高周波スイッチングが可能である一方、多量のノイズが発生し、変換回路の誤動作を招く恐れがある。本論文では、ドライブ回路からスイッチング素子へ流れる共通モード電流、ゲートソース間電圧の二つについて、実験的な考察を行い、高速スイッチング素子の実装に関する知見を得たので報告する。

2. 測定回路

図 1 に、降圧チョップの実験回路を示す。本論文では、次に示す(a)から(d)の 4 パターンの実装を行い、ゲート電圧波形とゲート線から流入する共通モード電流を観測する。(a)は、ドライブ回路、チョップ回路の一部を銅基板上に実装し、制御 GND とコンデンサ中点を銅板に接地する、(b)は、(a)の状態からゲート線だけ長くする、(c)は、(a)の状態から制御 GND の接地線だけ長くした場合、(d)は、 C_3, C_4 もなく、接地もしない。(a),(d)から配線インダクタンスの影響について考察し、(b),(c)から共通モード電流 I_{COM} の回り込みを考察する。

3. 実験結果

図 2 に、各条件におけるターンオン時のゲートソース間電圧 V_{GS} 、共通モードノイズ電流 I_{COM} の波形を示す。まず V_{GS} が、ターンオン時にいずれの場合も一瞬降下していることを確認できる。特に(d)では V_{GS} が 0V 以下まで降下しているため、誤消弧している。また、(b),(c)では配線を長くすると I_{COM} の振動周期が長くなること分かる。

図 3 に示す実装等価回路にてこの理由を考察する。スイッチをターンオンすると、還流ダイオード D が逆バイアスされてオフする。その際、配線インダクタンス L_{W1} に蓄えられたエネルギーが D の PN 接合容量 C_D に遷移するため、P 点の電位は急激に上昇する。しかし、ゲートソース間の寄生容量 C_{GS} が大きいので、ゲート電位は高速に上昇しない。その結果、D がオフするとき、一瞬 V_{GS} が降下する。次に、 I_{COM} について考察する。FET のゲートソース間の急激な電位変動に伴って I_{COM} は発生するが、伝搬経路はゲート線から制御 GND の接地点へ抜けているため、これらの配線を長くすると、インダクタンスが大きくなって周期が長

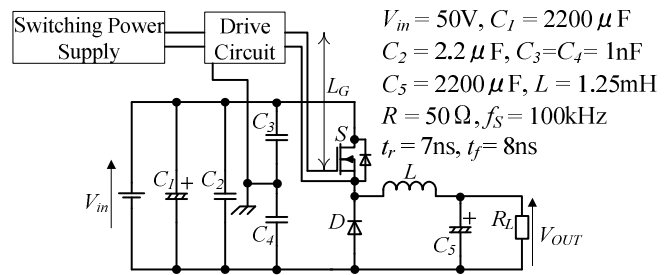


Fig. 1. Circuit configuration.

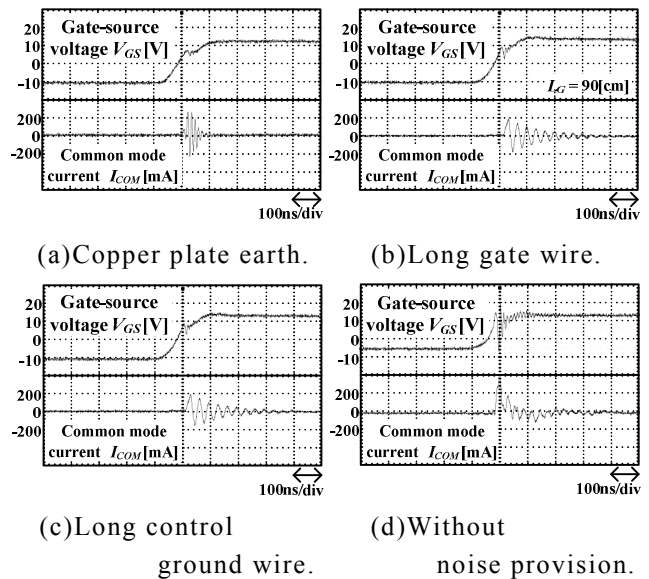


Fig. 2. Experimental results.

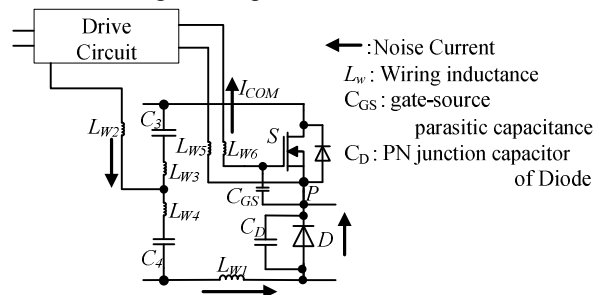


Fig. 3. Propagation course of the noise current.

くなる。

以上の結果から、高速スイッチング素子を用いて V_{GS} が誤点弧・誤消弧を誘発する波形が現れた際は、 C_3, C_4 をスイッチング素子直近に挿入し、 I_{COM} により制御回路やドライブ回路が誤動作している場合には、ゲート線および制御 GND 接地線を短くしなくてはならない。ノイズ電流や配線インダクタンスの影響による誤点弧を防ぐといった対策がより重要となる。

参考文献

(1) 高尾, 八尾, 荒井:電学論 D, 124 巻 9 号, 2004
 (2) 釜我, 成, 大橋:電学論 D, 128 巻 5 号, 2008