

航空機電源用簡易型 5 レベル PWM 整流器の基礎検証

野下 裕市* 伊東 淳一 (長岡技術科学大学)

A Experimental Verification of Simplified Five-level PWM Rectifier for Aircraft Power Supply Systems

Yuichi Noge*, Jun-ichi Itoh, (Nagaoka University of Technology)

This paper evaluates a reduced switch count five-level PWM rectifier as an aircraft power supply systems, which has high frequency power grid. The rectifier proposed by authors is combined a diode clamp type topology with flying capacitor type topology. The proposed rectifier only uses four switches per leg in spite of five-level converter. This paper describes the feature of the proposed topology and the corresponding method of the high input frequency. Finally, the performance of the input current control of the proposed circuit is confirmed by simulation. In addition, the basic operation of the proposed circuit is confirmed by experimental results.

キーワード : PWM 整流器, マルチレベル, 空間ベクトル変調, 航空機電源
(PWM rectifier, Multilevel, Space vector modulation, Aircraft power supply)

1. はじめに

近年, 航空機では従来の油圧式アクチュエータを用いた飛行制御システムに代わり, 小型軽量化が可能な電気式アクチュエータの採用が進んでいる。航空機に電力を供給する発電機はエンジンに接続されるため, その運転状態に応じ, 出力周波数が変動する。現在は機械的な無段階変速機を用いて発電機を一定の回転数で駆動するシステムや, 移相変圧器とダイオード整流器を用いた多パルス整流回路とインバータを組み合わせたシステムが用いられている⁽¹⁾。しかし, いずれも変速機や変圧器が大型で重いという欠点がある。特にダイオード整流器を用いたシステムでは, 航空機に搭載する電子機器の誤作動を防ぐための厳しい高調波規制を達成するため, 整流器から発生する入力電流高調波を抑制するためのフィルタが大型化したり, 負荷に応じて出力電圧が変動したりする。これらの理由から小型軽量で入力電流高調波が少ない整流回路が必要とされている。

入力電流高調波を抑制できる整流回路として, 力率改善(PFC)整流器があり, さまざまな回路構成や適用例が報告されている⁽²⁻¹¹⁾。中でも PWM 整流器はスイッチ素子で構成されるため入力電流の制御性が高く, 入力電流高調波抑制に効果的であることから実用化が進んでいる。

PWM 整流器を航空機電源システムに適用する場合, エンジンに接続された発電機の出力周波数が 400~800Hz と高く, 一般的な商用電源に用いる PWM 整流器に比べてスイ

チング周波数を大幅に上昇させる必要がある。しかし一般的な 2 レベル PWM 整流器では高耐圧素子を用いる必要があり, スイッチング周波数を向上させるのが困難である。

そこで高速スイッチングを実現する技術として, マルチレベル構成が考えられる。n レベル構成でスイッチ印加電圧を $1/(n-1)$ に低減できるため, 低耐圧で高速な MOSFET が使用できることから, スイッチング周波数が向上し, 入力リアクトルの小型化や入力電流高調波の低減が実現できる。しかし従来から提案されているダイオードクランプ方式またはフライングキャパシタ方式マルチレベル PWM 整流器はスイッチ素子が多く, 回路構成と制御方法が複雑化する問題がある。

そこで本論文では航空機電源用途として, 著者らが提案しているスイッチ素子数を半減した新たな 5 レベル PWM 整流器を適用する。提案する 5 レベル PWM 整流器はフライングキャパシタ方式とダイオードクランプ方式を組み合わせた回路構成を持ち, 外側クランプダイオードに出力電圧 V_{dc} の $1/2$ を持たせることで電流の通過素子数を削減し, 同時にスイッチ素子の印加電圧を $1/4V_{dc}$ に保つことができる。

本論ではまず, 提案する整流回路の特徴及び動作を紹介する。次に高周波入力における動作特性をシミュレーションと実機検証により示す。特に電源変動時の特性や高周波入力実現に伴うサンプリング速度の向上について検討する。最後に, 提案回路が使用する受動素子について検討を行い, 提案回路が小型化を実現できる可能性を示す。

2. 提案回路の構成と制御法

(2-1) 従来回路

図1に従来の5レベルPWM整流器1相分の回路構成を示す。図1(a)はダイオードクランプ形、図1(b)はフライングキャパシタ形で、 $1/4V_{dc}$ 耐圧の素子を用いた場合の構成である。いずれもスイッチ素子耐圧は V_{dc} の $1/4$ となるが、1相あたり8個のスイッチ素子が必要であり、コストアップや制御系が複雑化する欠点がある。

(2-2) 提案回路

図2に提案回路を示す。提案回路はダイオードクランプ形とフライングキャパシタ形とを組み合わせた構成になっている。さらにパワーフローをAC-DC方向に限定することで従来回路と比較してスイッチ数を半分に削減する。 C_1 はフライングキャパシタで、 $1/4V_{dc}$ の電圧を保つようにスイッチングパターンを切り替えて充放電制御する。 C_3 の電位はダイオード D_{R1} , D_{S1} , D_{T1} を経て出力平滑コンデンサ C_2 の中性点電位にクランプされ、バランス制御は不要である。

表1に提案回路の出力電圧とスイッチングパターンを示す。提案回路は2種類のゼロレベルを含む5レベルを出力できる。フライングキャパシタ電圧を $V_{C1}=V_{dc}/4$ 一定とすると、No.2と3、No.6と7が同一のレベルとなる。つまり、同一のレベルを保ちながら C_1 の充電、放電モードを切り替えられるため、スイッチングパターンを使い分けることによる C_1 の充放電制御が可能となる。

表2は従来回路と提案回路の回路素子数の比較を示している。提案回路の最大の利点はスイッチ素子数が従来回路の半分となることである。またダイオードが少なく、フライングキャパシタ形よりもコンデンサが少ない。また、補助回路なしにコンデンサの電圧を制御できる特徴がある。以上から提案回路は他の5レベルPWM整流器よりも低コストで実現できる。

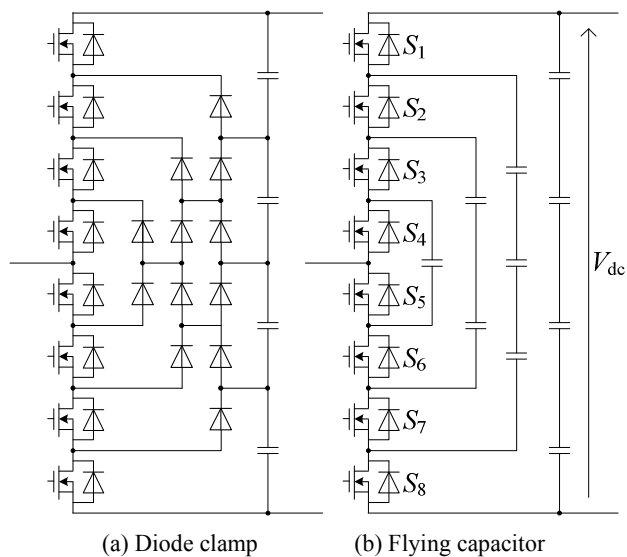


図1 従来回路

Fig. 1. Conventional circuit (single leg)

(2-3) 制御方式

図3に提案回路の制御ブロック図を示す。制御ブロックは、入力電流制御と出力電圧制御からなる。三相入力電流を入力電圧から検出した電源角度を用いて回転座標変換し、d-q軸上で制御する。d軸が有効電流、q軸が無効電流を表し、q軸電流指令値 $I_q^*=0$ とすることで入力力率1制御を行う。電流制御系のPI制御器で得られた出力電圧指令値を α - β 座標に変換し、空間ベクトル変調により出力する3種類の電圧ベクトル V_1 , V_2 , V_3 と、それぞれの電圧ベクトル

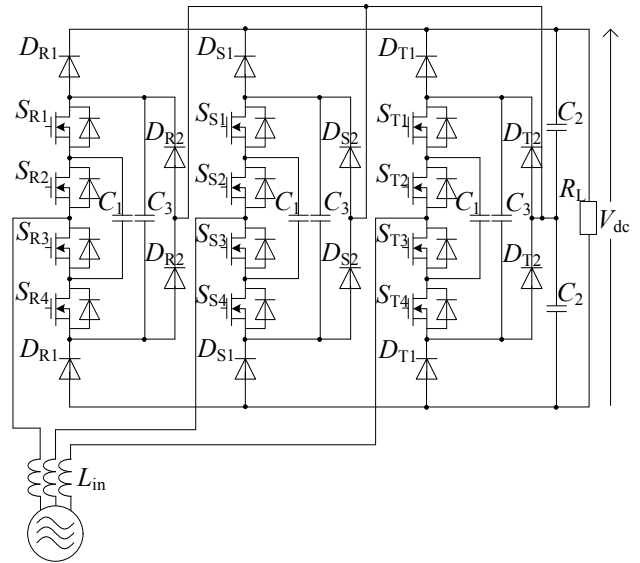


図2 提案回路

Fig. 2. Proposed circuit

表1 スwitchingパターン

Table 1. Switching patterns

No.	v_{in} polarity	Flying capacitor	Output voltage	On state switch
1	+	-	$+1/2 V_{dc}$	S_1, S_2
2		Discharge	$+1/4 V_{dc}$	S_1, S_3
3		Charge	$+1/4 V_{dc}$	S_2, S_4
4		-	$+0$	S_3, S_4
5	-	-	-0	S_1, S_2
6		Charge	$-1/4 V_{dc}$	S_1, S_3
7		Discharge	$-1/4 V_{dc}$	S_2, S_4
8		-	$-1/2 V_{dc}$	S_3, S_4

表2 同耐圧の素子を用いた場合の素子数比較

Table 2. Comparing of device number.

	Diode clamp	Flying capacitor	Proposed circuit
Switch	24	24	12
Diode	60	24	36
Capacitor	4	30	13
Voltage Control of C	Impossible	Possible	Possible

ル出力時間 T_1, T_2, T_3 を決定し、キャリア比較により PWM パルスを得る。

空間ベクトル変調方式を採用した理由は、キャリア変調に比べてフライングキャパシタ制御に伴うスイッチングパターンの切り替えを単純化するため、および全体のスイッチング回数を低減するためである。空間ベクトル変調により計算された電圧ベクトル出力時間に加えて、入力電圧極性とフライングキャパシタの充放電モード判定結果を用いてスイッチングパターンが選択される。

(2・4) 回路動作の制限

提案回路はスイッチ数を削減するために、パワーフローを AC から DC の一方に限定している。これは航空機のエンジンに向かってパワーを流し込まないことが保証されており、保護上の観点から都合が良い。しかし、制御領域の切り替わり時に入力電流にひずみが生じる。以下に詳細に説明する。

図 4 に入力電圧とコンバータ出力電圧領域の分割を示す。図 3 の入力電圧 V_{in} 極性判定からスイッチングパターンの選択までにサンプリング時間の遅れがある場合、電流経路の制限により意図しない電圧が出力され、入力電流ひずみが発生する。この問題は提案回路のスイッチングパターン表 1 No.1, 4, 5, 8 において、電流経路にクランプダイオードが存在することから入力電流が一方に制限されることが原因である。遅れ時間を短縮すると誤ったスイッチングパターンの出力時間が減少し、入力電流ひずみを低減できる。

図 5 を用いて入力電圧が負から正に切り替わるゼロクロス点(図 4 領域 VI~I)における問題点を説明する。領域 IV におけるスイッチングパターンは表 1 No.5 に示す 0V 出力である。(a) は通常動作であり、入力電流は中性点から流出する方向となる。入力電圧が正に切り替わる点の極性検出が遅れた場合、スイッチングパターンは領域 VI の状態に保持される。入力電流はクランプダイオードにブロックされるため中性点に流れず(b)の経路を通り $+1/2V_{dc}$ に接続される。この結果、本来は $+0V$ と $+1/4V_{dc}$ でスイッチングすべき図 5 領域 I が検出遅れの間 $+1/2V_{dc}$ と $+1/4V_{dc}$ となり、入力電流ゼロクロス点にひずみが生じる。ただしこのひずみは入力電流高調波として支配的ではない⁽¹²⁾。

3. 運転特性

本章では、提案回路の高周波動作をシミュレーションと実験により検証する。シミュレーションに用いたパラメータを表 3 に、実験に用いたパラメータを表 4 に示す。航空機電源用 PWM 整流器は 400~800Hz という広範囲な入力周波数に対応する必要があるため、最大 800Hz を許容できるキャリア周波数が必要となる。非同期 PWM 制御で動作させるには、出力周波数とキャリア周波数の比率は一般的に数 10 倍以上が適当であり、800Hz 動作にはシミュレーションではキャリア周波数は 50kHz が必要である⁽¹²⁾。一方、今回は実験装置の都合から実機による 50kHz のキャリア周波数が達成困難であり、実機検証は 20kHz キャリアを用いる。

キャリア周波数の低下により入力電流制御系の帯域が制限されるため、800Hz 電源に含まれる高調波の抑制が困難である。そこで電源周波数とキャリア周波数のスケールリングにより、20kHz キャリアに対して電源周波数を最大 320Hz とする。

図 6 に 50, 20kHz 双方で、入力周波数が変動した場合の入力電流ひずみ率をシミュレーションにより測定したスケールリングの妥当性の検証結果を示す。この結果より入力電流ひずみ率に大差がないことから、スケールリングによる検討は妥当といえる。なお、シミュレーションでは理想電源、実機では電源環境シミュレータを用い、検証を行った。

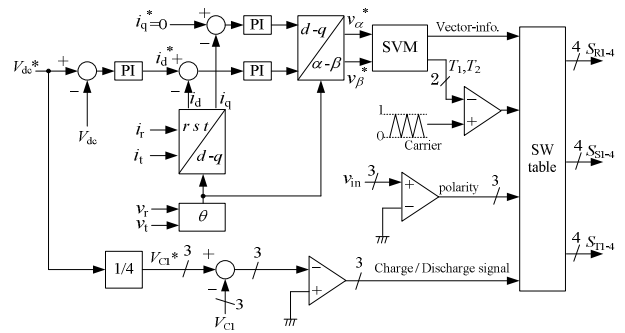


図 3 制御ブロック図

Fig. 3. Control block diagram

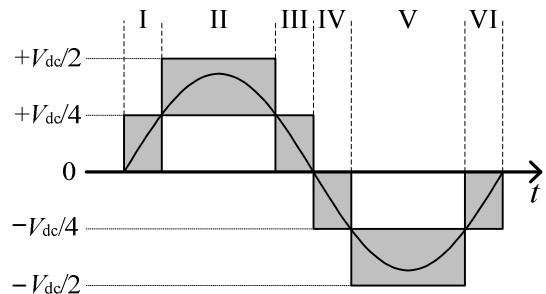


図 4 入力電圧領域

Fig. 4. Input voltage area.

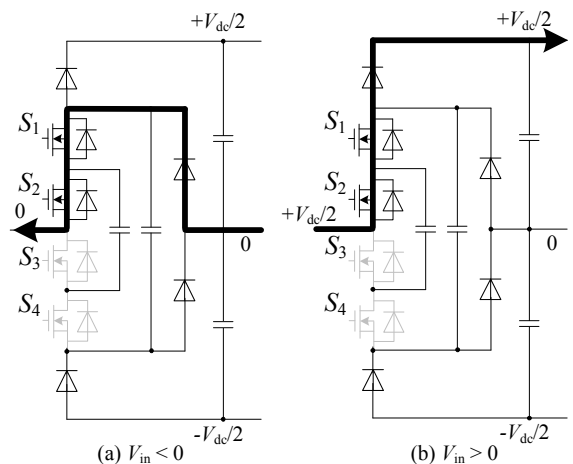


図 5 入力電圧検出遅れ期間の動作例

Fig. 5. Example of switching sequence error

〈3・1〉 電源周波数変動に対する安定性

エンジンの運転状況により発電機の出力周波数が変動した場合の動作を検証する。発電機は界磁制御を行い、周波数による出力電圧の変動はないものとする。

図 7 にシミュレーションによる電源周波数変動時の動作波形を示す。開始 50ms より 70ms の間、電源周波数を 400~800Hz の範囲で連続的に変化させている。なお、ここでは発電機の界磁を制御することで速度が変化しても、入力電圧振幅は一定であると仮定した。この結果より電源周波数の変動に対して出力電圧は影響しないことがわかる

図 8 に実験による電源周波数変動時の動作波形を示す。図中 a で示す点線から b まで、電源周波数を 160~320Hz の範囲で連続変化させた。この結果よりシミュレーション結果と同様、出力電圧を一定に保てることわかる。またフライングキャパシタ電圧も一定に制御されている。

〈3・2〉 入力電流制御特性

図 9 に電源周波数を変化させたときの入力電流ひずみ率を示す。実験とシミュレーション結果を比較する。いずれも電源周波数の上昇に伴い、入力電流ひずみ率が上昇する。これは入力電流に含まれる高調波は電源周波数に比例して上昇し、電流制御系による外乱抑圧が困難となるためである。実験値の方がシミュレーション値よりもひずみが大きい、これは電圧誤差や、シミュレーションで考慮していない制御遅れに起因する。

表 3 シミュレーションパラメータ

Table 3. Simulation parameters

Output power	1 [kW]
Input AC voltage	200 [V]
Input frequency	800 [Hz]
Switching frequency	50 [kHz]
DC output voltage command	320 [V]
Load resistance	100 [Ω]
Input inductor	1 [mH]
Flying capacitor	47 [μ F]
Clamping capacitor	100 [μ F]
DC link capacitor	220 [μ F]

表 4 実験パラメータ

Table 4. Experimental parameters

Output power	1 [kW]
Input AC voltage	200 [V]
Input frequency	160 [Hz]
Switching frequency	25 [kHz]
DC output voltage command	320 [V]
Load resistance	100 [Ω]
Input inductor	2 [mH]
Flying capacitor	47 [μ F]
Clamping capacitor	100 [μ F]
DC link capacitor	220 [μ F]

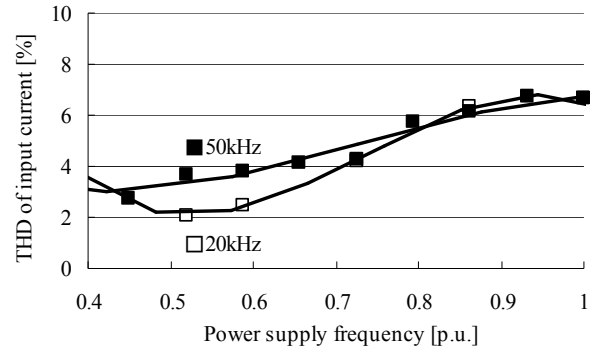


図 6 入力周波数変動時 (シミュレーション)

Fig.6 Frequency sweep of input voltage. (Simulation)

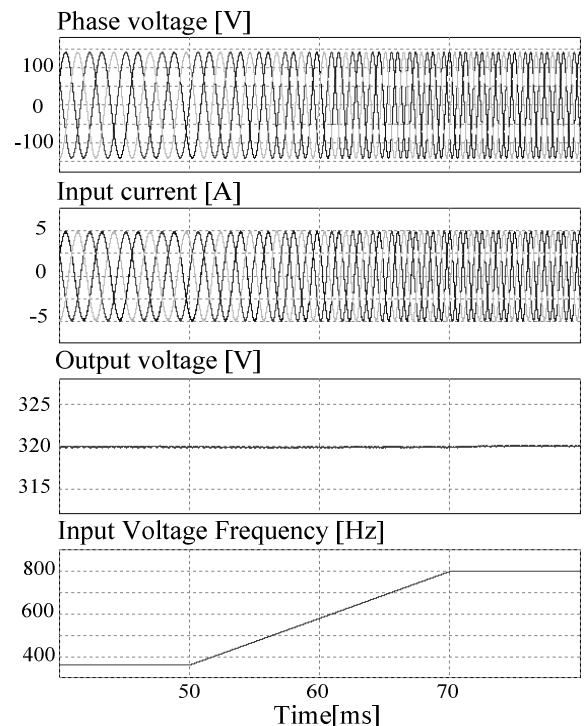


図 7 入力周波数変動時 (シミュレーション)

Fig.7 Frequency sweep of input voltage.(Simulation)

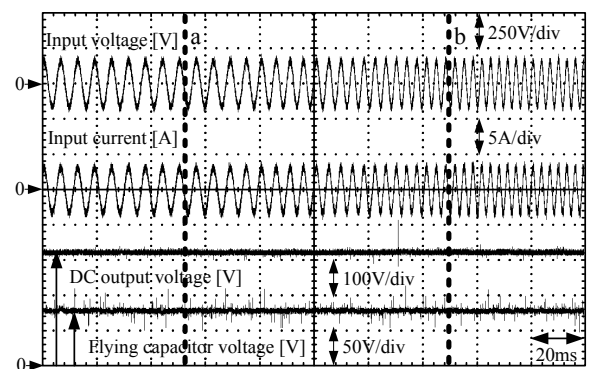


図 8 入力周波数変動時 (実験)

Fig.8 Frequency sweep of input voltage.(Experimental)

〈3・3〉 負荷変動時の安定性

図 10 に負荷ステップ応答波形を示す。点線 a にて、負荷を 0.5kW から 1kW へとステップ変化させた。出力電圧は 80ms で回復し、その間の入力電流は安定した正弦波が得られ、またフライングキャパシタ電圧にも変動は生じない。

〈3・4〉 諸特性

図 11, 12 に定格負荷時の定常状態における波形を示す。入力電流は正弦波に制御され、入力電圧と位相が一致しており、入力力率が 1 に制御されている。また出力電圧とフライングキャパシタ電圧は一定に制御されている。このときの入力電流 THD は 2.4% である。なお、残存するひずみは、〈2・4〉で述べたように、制御の遅れが原因である。

図 13 に入力電流高調波解析結果を示す。若干の 3 次高調波が見られるが、入力電流の不均衡が原因であり、電流検出回路のゲイン誤差が原因として考えられる。

図 14 に効率と力率の負荷特性を示す。最高効率は 0.25kW 時の 98.2% である。特に提案回路ではスイッチング素子の低耐圧化に伴い、FET が使用できるため、軽負荷時の効率が良くなる。なお、負荷に比例して効率が低下するのは、FET のオン抵抗による損失が支配的であるためである。また入力力率は 98% を超え、良好な結果が得られている。

図 15 に入力電流ひずみ率の負荷特性を示す。負荷が増大するとひずみ率が低下する。これは、軽負荷において、入力電流に含まれるスイッチング周波数付近の高次高調波の割合が、重負荷の場合と比べて支配的となるためである。

4. 主回路体積に関する考察

提案方式は航空機電源において、小型化を狙いとして提案している。そこでここでは、提案回路と従来の中性点クランプ(NPC)形 3 レベル PWM 整流器の回路構成を小型化の観点から比較する。特にリアクトルとコンデンサは主回路体積の大部分を占めるため、これら受動部品の容量削減は変換器の小型化、電力密度向上のために重要といえる。

リアクトルのインダクタンスと入力電流リップルは比例関係にある。よってスイッチング周波数が同一の条件下では、5 レベル構成では 3 レベルに対して 1/2 のインダクタンスとなり、リアクトルに蓄積されるエネルギーは 1/4 となり、2 レベル形に対しては 1/16 となる。

一方、コンデンサはレベルを増加させると、それに伴い使用個数は増加する。特に提案回路は NPC3 レベル構造と比較すると、中性点電位を確保するコンデンサは従来の NPC3 レベルと同様であるので、フライングキャパシタとクランプキャパシタが増加し、キャパシタに蓄積されるエネルギーが増加する。

入力リアクトル L_{in} 、フライングキャパシタとクランプキャパシタの合計 C それぞれのエネルギー量は、今回の最適設計に従って設定した変換器パラメータを用いる⁽¹⁴⁾と、

$$W_{L_{in}} = \frac{1}{2} L_{in} i^2 = \frac{1}{2} \cdot 0.002 \cdot 4.19^2 = 0.0176 [J] \quad (1)$$

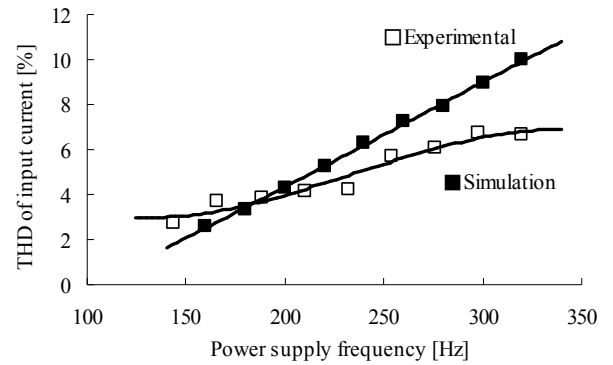


図 9 入力電流ひずみ率と電源周波数

Fig.9 Input current THD and power supply frequency

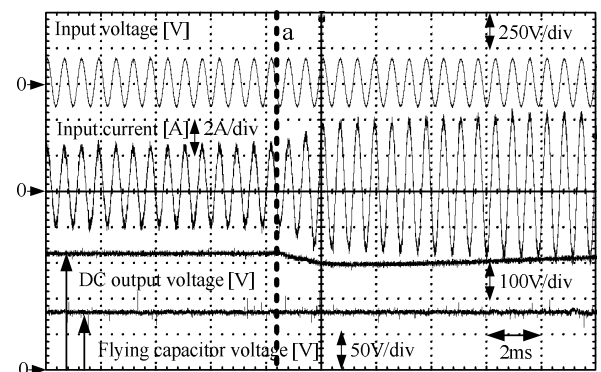


図 10 負荷ステップ応答

Fig.10 Voltage sweep of input voltage.

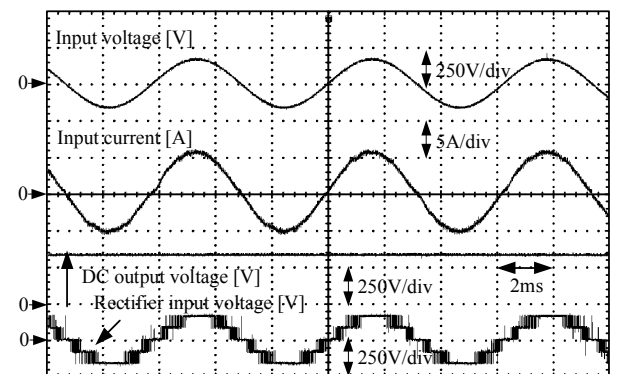


図 11 定常状態 1 (160Hz)

Fig.11 Steady state 1 (160Hz)

$$W_c = \frac{1}{2} CV^2 = \frac{1}{2} \cdot (47 \times 10^{-6} \cdot 80^2 + 100 \times 10^{-6} \cdot 160^2) = 1.43 [J] \quad (2)$$

となる。一方、リアクトルとコンデンサのそれぞれの体積は 39.3cm^3 , 11.0cm^3 であるから、エネルギー密度は $4.48 \times 10^{-4} \text{J/cm}^3$, 0.13J/cm^3 となる。すなわちエネルギー密度はコンデンサの方が遙かに大きく、コンデンサのエネルギーが増加しても主回路体積にはリアクトルのインダクタンス低減

が大きく寄与する。

また、他方式の 5 レベル整流器と比較しても、提案方式は表 1 に示したようにコンデンサの数と使用スイッチング素子数も少なく、小型化に適することは明らかである。

5. まとめ

本論文では航空機電源システムに対する簡易型 5 レベル PWM 整流器の適用を検討した。提案回路の制御方式を紹介し、シミュレーションと実機を用いた動作検証を行った。この結果、発電機の出力周波数変動に対して出力電圧を一定に制御できること、負荷急変に対して安定した出力電圧制御を行えることを確認した。また広範囲な出力電力において高い変換効率と入力力率、低い入力電流ひずみ率を実現できることを確認した。また提案回路が従来の 3 レベル方式に比べ、小型化の観点から有効であることを確認した。今後はキャリア周波数の向上により、さらに高い入力周波数に適用する予定である。

文 献

- (1) H. Wolf, T. Gathmann: "Active Three-Phase Rectifier for Aircraft Equipment", IEEE EPE.2005.219263 (2005)
- (2) B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D. P. Kothari: "A Review of Three-Phase Improved Power Quality AC-DC Converters", IEEE Transactions on industrial electronics, Vol.51, No.3, pp.641-660 (2004)
- (3) J. Rodriguez, J. Lai, and F. Z. Peng: "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", IEEE Transactions on industrial electronics, Vol.49, No.4, pp.724-738(2002)
- (4) U. Drofenic, JW. Kolar, Y. Nishida, Y. Okuma, and J. Sun: "Three-Phase PFC Rectifier Systems", PCC-Osaka 2002 Tutorials, pp.2-93(2002)
- (5) Yasuyuki Nishida: "Passive and Hybrid PFC Rectifiers -A Survey and Exploration of New Possibilities-", IEEJ Transaction, Vol.126, No.7, pp.927-940 (2006)
- (6) I. Ashida, J. Itoh: "A Novel Three-Phase PFC Rectifier Using a Harmonic Current Injection Method", PCC-Nagoya 2007, pp.1302-1307(2007)
- (7) F. Z. Peng: "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (8) X. Yuan, I. Barbi: "Fundamentals of a New Diode Clamping Multilevel Inverter", IEEE Transactions on power electronics, Vol.15, No.4, pp.711-718(2000)
- (9) Z. Pan, F. Z. Peng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric: "Voltage Balancing Control of Diode-Clamped Multilevel Rectifier/Inverter Systems", IEEE Transactions on industry applications, Vol.41, No.6, pp.1698-1706(2005)
- (10) A. A. Sneh, M. Wang: "Novel Hybrid Flying-Capacitor -Half-Bridge 9-Level Inverter", TENCON 2006(2006)
- (11) X. Kou, K. A. Corzine, and Y. L. Familant: "A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter", IEEE Transactions on power electronics, Vol.19, No.4, pp. 979-987 (2004)
- (12) 野下裕市・伊東淳一:「航空機電源用簡易型 5 レベル PWM 整流器の一検討」, 平成 21 年電気学会産業応用部門大会, pp.I-40-I-43 (2009)
- (13) J. Itoh, Y. Noge and T. Adachi: "A novel Five-level PWM Rectifier Using 12 switches", ECCE IEEE, P8-3 1394 (2009)
- (14) 安達 健人・伊東淳一:「スイッチ数を削減した三相 5 レベル PWM 整流器の回路パラメータ設計法」, 平成 20 年電気学会全国大会, 4-003 (2009)

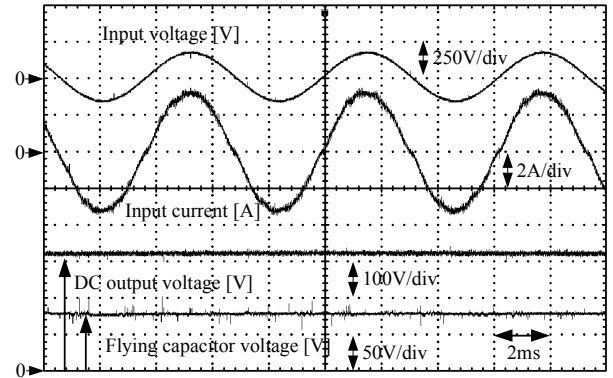


図 12 定常状態 2 (160Hz)

Fig.12 Steady state 2 (160Hz)

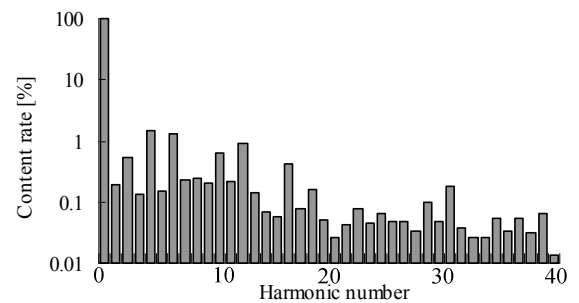


図 13 入力電流高調波解析結果 (1kW 出力時)

Fig. 13. Harmonic analysis of input current.

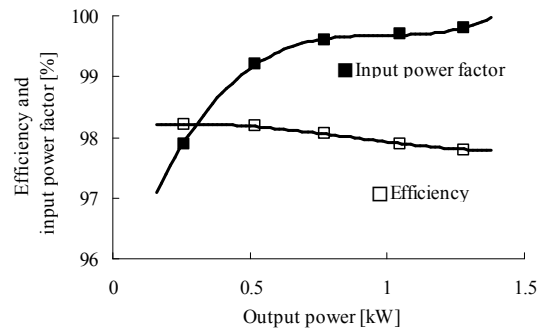


図 14 出力電力に対する効率と力率

Fig. 14. Efficiency and input power factor.

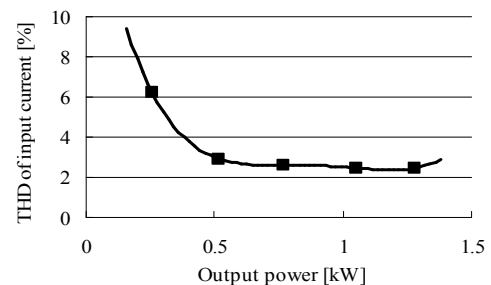


図 15 出力電力に対する入力電流ひずみ率

Fig. 15. Input current THD.