

アクティブ中性点クランプ形マルチレベルインバータの 損失に関する一考察

榎原 有吾* 伊東 淳一（長岡技術科学大学）

A consideration for Loss of an Active Neutral-Point-Clamped Multilevel Inverter

Yugo Kashihara*, Jun-ichi Itoh, (Nagaoka University of Technology)

This paper discusses a loss analysis method for an active neutral-point-clamped (ANPC) multilevel inverter. The ANPC consists of a neutral point clamp circuit and flying capacitor topology. In this circuit, the number of switching device can be decreased in comparison to conventional multilevel converters. The loss analysis method based on the parameters of switching devices is formulated. This analysis results agrees well with loss simulation results.

キーワード：インバータ，マルチレベル，アクティブ中性点クランプ，インバータ損失
(Inverter, multilevel, Active Neutral-Point-Clamped, Inverter loss)

1. はじめに

電力変換器の出力電圧の高調波低減，電流応答の高速化の観点から，マルチレベル電力変換器が研究され，いくつかの用途に適用されている⁽¹⁻¹¹⁾。マルチレベル電力変換器は従来の2レベルの電力変換器と比較すると，スイッチング素子一つあたりの耐圧を下げられること，出力電圧の高調波成分を抑制することが利点としてあげられる。また，等価的なスイッチング周波数が高くなるのでPWMによる遅れ時間が短縮でき，高速応答が期待できる。

一方，近年，マルチレベル電力変換器を高効率化の手段として低圧の電力変換器へ適用する研究が盛んに行われている⁽¹²⁾。低圧の用途においてもマルチレベル電力変換器は低耐圧，高速スイッチングが可能な素子が選択できるため，2レベル電力変換器より高効率な電力変換器を構成できる可能性がある。しかし，2レベルインバータより高効率を得るにはデバイスに選定条件があると思われる。しかし損失シミュレーション以外で特に5レベル以上のマルチレベルインバータの損失を定量化する方法は報告されていない。

これまでに低圧用途のマルチレベル電力変換器がいくつか提案されている。従来のマルチレベル電力変換器の回路構成として，中性点クランプ(以下NPC)方式⁽¹⁰⁾とフライングキャパシタ(以下FC)方式⁽¹¹⁾があげられる。NPC方式は，レベルに応じてスイッチング素子が増加するので，各スイッチング素子の損失増加が懸念される。FC方式は，各コンデンサの電圧は制御できるが，レベル数が増加するにつれ，

コンデンサが多数必要となる。

そこで筆者らはこれまでに，マルチレベル電力変換器の一方式として，アクティブ中性点クランプ形(以下ANPC)5レベルインバータに注目している⁽¹³⁾。ANPC方式は，NPC方式とFC方式を組み合わせた回路構成となっており，従来方式と比較すると，主回路を構成するスイッチング素子数が少なく，コンデンサの数も低減できるなど，従来方式の短所を解決でき，低コスト化，高効率化が期待できる。

本論文では，ANPCが高効率を得るために最適なデバイス条件を選定することを目的とし，ANPCの損失をシミュレーションなしに定量化することを行う。損失シミュレーションは，選定したデバイスに対する損失は求められるが，高効率を得るために求められるデバイスの条件を導出できない。スイッチング素子のオン電圧，ターンオン時間，ターンオフ時間，リカバリ時間のパラメータを用いて，5レベルANPCの各素子の損失を解析し，定量的な損失計算法を確立する。次に，机上計算による解析結果と，損失シミュレーションの結果を比較し，式の妥当性を検証する。

2. 三相5レベルANPCインバータ

図3にANPCインバータ回路図を示す。図3より，ANPCインバータ回路は8つの素子と3つのキャパシタで構成される。そして，直流中点電圧をスイッチ素子(S_6, S_7)によって能動的に変化させることで複数レベルの電圧を出力できる。この回路の特徴として，電源側のスイッチ素子($S_5 \sim S_8$)はCell1, Cell2のスイッチに比べ2倍の耐圧が必要となるが，

スイッチング周波数が出力周波数と同じ周波数であるので損失が小さいこと、また、フライングキャパシタ C_1 が制御可能なのでバランス回路が不要であることが挙げられる。この結果、特長ある素子を選定することで効率の向上が期待できる。

図 4 に ANPC 回路の制御ブロック図を示す。本論文では ANPC 回路は領域毎にシフトさせた指令値を三角波と比較して PWM を得てる。このキャリア比較結果によってセレクターからスイッチングテーブルが読み出され、電圧指令値に追従した電圧が出力される。

図 5 に最大振幅の時($a=1$)の指令値波形図を示す。本回路では、出力角度に応じて指令値を図 5 中に示す領域ごとに变形させている。各領域におけるデューティ比は(9)式から(12)式で得られる。

$$\text{領域} : 2a \sin x - 1 \quad \left(\frac{\pi}{6} < x < \frac{5}{6}\pi \right) \quad (9)$$

$$\text{領域} : 2a \sin x \quad \left(0 < x < \frac{\pi}{6}, \frac{5}{6}\pi < x < \pi \right) \quad (10)$$

$$\text{領域} : 2a \sin x + 1 \quad \left(\pi < x < \frac{7}{6}\pi, \frac{11}{6}\pi < x < 2\pi \right) \quad (11)$$

$$\text{領域} : 2a \sin x + 2 \quad \left(\frac{7}{6}\pi < x < \frac{11}{6}\pi \right) \quad (12)$$

ここで、 a は指令値の振幅、 x は任意の出力角度である。

なお、後述する損失解析の領域分けでは(10)式、(11)式において負荷力率の変化により領域内の 2 つの期間に発生する損失が異なるので、 $0 < x < \pi/6$ を領域 -1、 $5\pi/6 < x < 7\pi/6$ を領域 -2、 $\pi < x < 7\pi/6$ を領域 -1、 $11\pi/6 < x < 2\pi$ を領域 -2 とする。

表 2 にスイッチングテーブルを示す。図 5 中に示す領域において、用いる電圧レベルのスイッチングパターンは表 2 に示すスイッチングテーブルようになる。例えば、領域であれば、No3 と No4 を用いている。この 2 つのスイッチングパターンは、入力電圧を E_{dc} すると No3 では $+1/4E_{dc}$ の電圧を No4 では $+0E_{dc}$ の電圧を出力する。各領域で 2 つ電圧レベルを出力することでマルチレベルの特徴である階段状の波形を出力する。

3. 損失解析

図 6 に各 Cell のゲート信号を示す。ANPC では各素子が異なる役割をするため、各 Cell によって、スイッチング回数極端に異なることがわかる。従って、ANPC 回路の電力損失は、Cell ごとに動作モードを考慮して求める。ANPC 回路の総合損失を P_{Loss} 、各 Cell の損失を P_{Loss1} 、 P_{Loss2} 、 P_{Loss3} とすると全体損失は(13)式となる。

$$P_{Loss} = P_{Loss1} + P_{Loss2} + P_{Loss3} \quad (13)$$

各 Cell の電力損失を求める際、Cell1- S_1 と Cell2- S_4 、Cell2- S_3 と Cell1- S_2 、Cell3- S_5 と Cell3- S_8 、Cell3- S_7 と Cell3- S_6 はゲート波形が指令値半周期に対して対象性を持つため、下側アームの S_2 、 S_4 、 S_6 、 S_8 の電力損失の導出は省略する。また、本論文では、ANPC 回路を低圧回路に用いることを主眼と

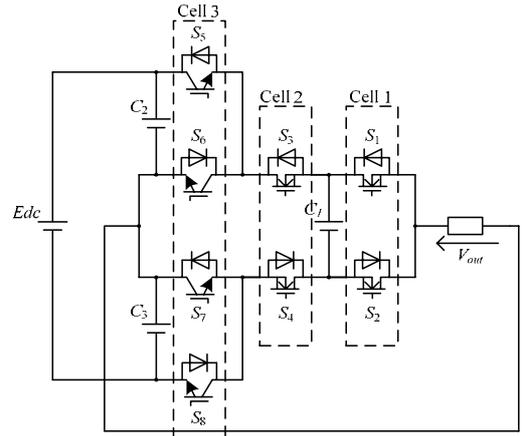


図 3 ANPC 回路図

Fig.3 ANPC circuit topology

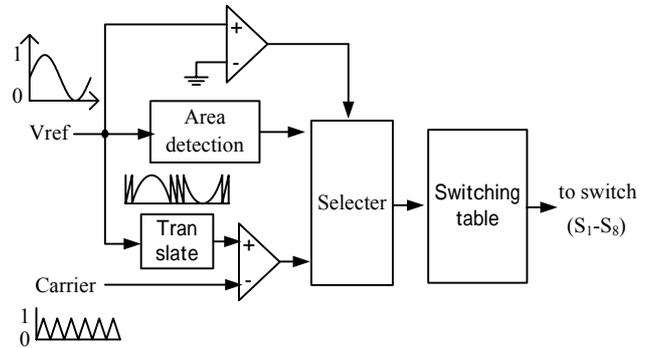


図 4 制御ブロック図

Fig.4. Control block diagram.

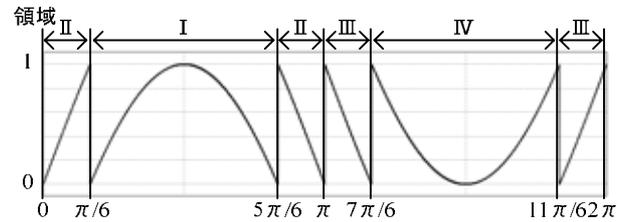


図 5 指令値波形図

Fig.5. Reference waveform.

表 2 Sw テーブル

Table2 Switching table.

Area	No	Cell 1		Cell 2		Cell 3		C ₁		V _{out}		
		S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	S ₇	S ₈		$i > 0$	$i < 0$
I	1	1	0	1	0	1	0	1	0	-	-	$+1/2E_{dc}$
	2	0	1	1	0	1	0	1	0	C	D	$+1/4E_{dc}$
II	3	1	0	0	1	1	0	1	0	D	C	$+1/4E_{dc}$
	4	0	1	0	1	1	0	1	0	-	-	0
III	5	1	0	1	0	0	1	0	1	-	-	0
	6	1	0	0	1	0	1	0	1	C	D	$-1/4E_{dc}$
IV	7	0	1	1	0	0	1	0	1	D	C	$-1/4E_{dc}$
	8	0	1	0	1	0	1	0	1	-	-	$-1/2E_{dc}$

し, S₁ から S₄ は低耐圧ですむことから, MOSFET を使用し, S₅ から S₈ は興亜耐圧になることから IGBT を用いることを仮定する。

3・1 Cell1 の電力損失計算法

(A) 導通損失

Cell1-S₁ の電力損失計算方法について説明する。Cell1 の電力損失は Fig.5, Fig.6 において領域 から について発生する。まず, スイッチ側の導通損失について述べる。

Cell1-S₁ の導通損失は, 領域ごとに PWM パルスが変化するため, 指令値に応じて異なる。そこで, 各領域において素子に流れる電流の実効値を求め, 電流実効値の 2 乗とオン抵抗と積により導通損失を導出する。各領域に流れる電流実効値 I_{ave} は(14)式となる。

$$I_{rms} = \sqrt{\frac{1}{2\pi} \int_0^\pi (I_{peak} \sin(x-\theta))^2 D_{ref} dx} \quad (14)$$

ただし, θ は負荷力率角, D_{ref} は各領域のデューティ比である。

(14)式より電流実効値を求め S1 の全領域の導通損失 P_{con1} を導出する。Fig.5, Fig.6 より指令値の振幅がピーク値の半分になるとき ($x=\pi/6, 5\pi/6, 7\pi/6, 11\pi/6$) に指令値を变形している。Fig.6 より S₁ の各領域の導通損失を P_{con1_a} , P_{con1_b} , P_{con1_c} , P_{con1_d} , P_{con1_f} とすると(15)式から(19)式で得られる。ここで, P_{con1_f} は低力率時にしか発生しないので無視する。

$$P_{con1} = P_{con1_a} + P_{con1_b} + P_{con1_c} + P_{con1_d} + P_{con1_f} \quad (15)$$

$$P_{con1_a} = \sqrt{\left(\frac{I_{D_peak}^2}{T}\right) \times \left\{ \frac{D}{2} \sqrt{3} (3 \cos^2 \theta + \sin^2 \theta) - \frac{\pi}{3} + \frac{\sqrt{3}}{4} (\sin^2 \theta - \cos^2 \theta) \right\}}$$

$$= \sqrt{\left\{ \left(-\frac{3\sqrt{3}}{8} - \frac{1}{3} \cos^2 \theta + \cos \theta \right) \cos^2 \theta - 2 \left(\frac{1}{24} - \frac{1}{3} \sin^2 \theta \right) \sin \theta \cos \theta + \left(-\frac{\sqrt{3}}{8} + \frac{1}{3} \cos^2 \theta \right) \sin^2 \theta \right\} \frac{D}{\pi} I_{D_peak}^2}$$

$$P_{con1_b} = \left(\sqrt{\frac{1}{2\pi} \int_{\frac{\pi}{6}}^{\frac{5\pi}{6}} (I_{D_peak} \sin(x-\theta))^2 \times (2a \sin x - 1) dx} \right)^2 \times R_{on}$$

$$= \sqrt{\left(\frac{I_{D_peak}^2}{T}\right) \times \left\{ \frac{D}{2} \sqrt{3} (3 \cos^2 \theta + \sin^2 \theta) - \frac{\pi}{3} + \frac{\sqrt{3}}{4} (\sin^2 \theta - \cos^2 \theta) \right\}}$$

$$(17)$$

$$P_{con1_c} = \sqrt{\left\{ \left(\frac{2}{3} - \frac{3\sqrt{3}}{8} \right) \cos^2 \theta + \frac{1}{12} \sin \theta \cos \theta + \left(\frac{1}{3} - \frac{\sqrt{3}}{8} \right) \sin^2 \theta \right\} \frac{D}{\pi} I_{D_peak}^2}$$

$$(18)$$

$$P_{con1_d} = \left\{ \frac{\theta}{2} + \frac{1}{4} \sin(2\theta) \times (\sin^2 \theta - \cos^2 \theta) - \sin \theta \cos \theta \frac{1 - \cos 2\theta}{2} \right\}^2 \frac{R_{on}}{2\pi} I_{D_peak}^2$$

$$(19)$$

ここで, I_{D_peak} は素子に流れる電流のピーク値, R_{on} はオン抵抗, θ は位相である。

(15)式について各領域中の電流が正のときそれぞれの項が値を持つ。また, 領域中に $\sin(x-\theta)$ の極性が変化するとき各項の積分範囲の始めもしくは終わりが θ となる。例えば,

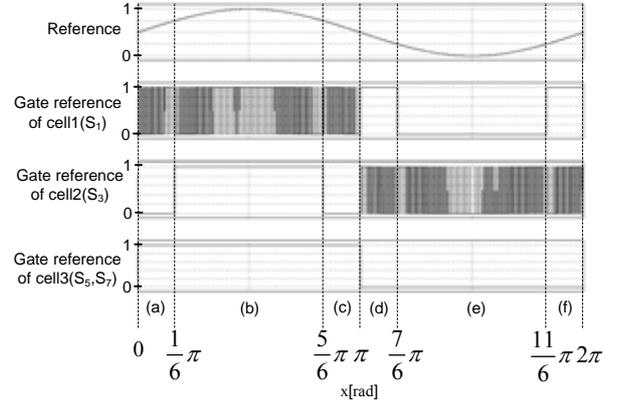


図.6 指令値及び各 Cell のゲート波形

Fig.6. Reference and gate signal.

(16)式において, $\sin(\pi/6-\theta) < 0$ のとき積分範囲は θ から $5\pi/6$ までとなる。以下は同様で考えられるので積分式の解は省略する。

次に環流ダイオード (FWD) の導通損失について検討する。FWD の導通損失はスイッチの導通損失と同様に考えることができる。FWD の場合は, 各領域に流れる電流の平均値と素子にかかる電圧の積により損失を求めることができる。S1 の全領域の FWD 導通損失を P_{FWD1} , S₁ の各領域の FWD 導通損失を P_{FWD1_a} , P_{FWD1_b} , P_{FWD1_c} , P_{FWD1_d} , P_{FWD1_f} とすると(21)式から(26)式で得られる。

$$P_{FWD1} = P_{FWD1_a} + P_{FWD1_b} + P_{FWD1_c} + P_{FWD1_d} + P_{FWD1_f} \quad (21)$$

$$P_{FWD1_a} = \frac{1}{2\pi} \int_{\frac{\pi}{6}}^{\theta} I_{FWD1_peak} \sin(x-\theta) \times (2a \sin x - 1) dx \times V_F \quad (22)$$

$$P_{FWD1_area(b)} = \frac{1}{2\pi} \int_0^{\theta} I_{FWD1_peak} \sin(x-\theta) \times (2a \sin x - 1) dx \times V_F \quad (23)$$

$$P_{FWD1_c} = \frac{1}{2\pi} \int_{\frac{5\pi}{6}}^{\theta} I_{FWD1_peak} \sin(x-\theta) \times (2a \sin x - 1) dx \times V_F \quad (24)$$

$$P_{FWD1_d} = \frac{1}{2\pi} \int_{\theta}^{\frac{7\pi}{6}} I_{FWD1_peak} \sin(x-\theta) \times V_F \sin(x-\theta) dx \quad (25)$$

$$P_{FWD1_f} = \frac{1}{2\pi} \int_{\frac{11\pi}{6}}^{2\pi} I_{FWD1_peak} \sin(x-\theta) \times V_F \sin(x-\theta) dx \quad (26)$$

ここで, I_{FWD_peak} は FWD に流れる電流のピーク値, V_F は FWD に印加される電圧である。

(21)式について各領域中の電流が FWD に対して順方向に流れているときそれぞれの項が値を持つ。また, 領域中に $\sin(x-\theta)$ の極性が変化するとき各項の積分範囲の始めもしくは終わりが θ となる。

(B) スイッチング損失

Cell1-S₁ のターンオン損失は領域 と のスイッチング周波数が同じなので, 一緒に考えることができる。S₁ の全領域のターンオン損失を P_{on1} , S₁ の各領域のターンオン損失

を P_{on1_a} , P_{on1_b} , P_{on1_c} , P_{on1_d} , P_{on1_f} とすると(27)式から(30)式で得られる。

$$\begin{aligned} P_{on1} &= P_{on1_a} + P_{on1_b} + P_{on1_c} + P_{on1_area3-1} + P_{on1_area3-2} \\ &= (P_{on1_a} + P_{on1_b} + P_{on1_c}) + P_{on1_d} + P_{on1_f} \\ &= (P_{on1_a+(b)+(c)}) + P_{on1_d} + P_{on1_area3-2} \end{aligned} \quad (27)$$

$$P_{on1_a+(b)+(c)} = \frac{V_{DS} I_{D_peak} t_r}{6} \frac{f_c}{2\pi} (1 + \cos\theta) \quad (28)$$

$$P_{on1_d} = \frac{1}{6} V_{DS} I_{D_peak} \sin(\pi - \theta) t_r f_{out} \Big|_{\pi < x < \frac{7}{6}\pi} \quad (29)$$

$$P_{on1_f} = \frac{1}{6} V_{DS} I_{D_peak} \sin\left(\frac{11}{6}\pi - \theta\right) t_r f_{out} \Big|_{\frac{11}{6}\pi < x < 2\pi} \quad (30)$$

ここで, I_{D_peak} はスイッチに流れる電流のピーク値, V_{DS} はスイッチにかかる電圧, t_r スwitchの立ち上がり時間, f_c はキャリア周波数, f_{out} は出力周波数である。

Cell1-S₁ のターンオフ損失はターンオン損失と同様に考えることができる。S₁ の全領域のターンオン損失を P_{on1} , S₁ の各領域のターンオン損失を $P_{off1_a+(b)+(c)}$, P_{off1_ar} , P_{off1_d} とすると(31)式から(34)式で得られる。

$$P_{off1} = (P_{off1_a+(b)+(c)}) + P_{off1_d} + P_{off1_f} \quad (31)$$

$$P_{off1_a+(b)+(c)} = \frac{1}{2\pi} \int_0^\pi \left(\frac{1}{6} V_{DS} I_{D_peak} t_r \right) f_c \sin x dx \quad (32)$$

$$P_{off1_d} = \frac{1}{6} V_{DS} I_{D_peak} \sin\left(\frac{7}{6}\pi - \theta\right) t_r f_{out} \Big|_{\pi < x < \frac{7}{6}\pi} \quad (33)$$

$$P_{off1_f} = \frac{1}{6} V_{DS} I_{D_peak} \sin(2\pi - \theta) t_r f_{out} \Big|_{\frac{11}{6}\pi < x < 2\pi} \quad (34)$$

ここで, t_r はスイッチの立ち上がり時間である。

Cell1-S₁ のリカバリ損失もターンオフ損失と同様に考えることができる。S₁ の全領域のリカバリ損失を P_{rec1} , S₁ の各領域のリカバリ損失を P_{rec1_b} , P_{rec1_a} , P_{rec1_c} , P_{rec1_d} , P_{rec1_f} とすると(35)式から(38)式で得られる。

$$P_{rec1} = (P_{rec1_a+(b)+(c)}) + P_{rec1_d} + P_{rec1_f} \quad (35)$$

$$P_{rec1_a+(b)+(c)} = \frac{1}{2\pi} \int_0^\theta \left(\frac{1}{4} V_{cc} I_{FWD_peak} t_{rr} \right) f_c \sin x dx \quad (36)$$

$$P_{rec1_d} = \frac{1}{4} V_{cc} I_{FWD} \sin\left(\frac{7}{6}\pi - \theta\right) t_{rr} f_{out} \Big|_{\pi < x < \frac{7}{6}\pi} \quad (37)$$

$$P_{rec1_f} = \frac{1}{4} V_{cc} I_{FWD} \sin(2\pi - \theta) t_{rr} f_{out} \Big|_{\frac{11}{6}\pi < x < 2\pi} \quad (38)$$

3・2 Cell2 の電力損失計算法

(A) 導通損失

Cell2-S₃ の損失は, 指令値の領域, , に発生する。各損失は Cell1-S₁ と同じ方法で導出することができる。

Cell2-S₃ の導通損失の全領域の導通損失を P_{con2} , S₁ の各領域の導通損失を P_{con2_b} , P_{con2_d} , P_{con2_e} , P_{con2_f} とすると(38)

か式から(42)式で得られる。

$$P_{con2} = P_{con2_b} + P_{con2_d} + P_{con2_e} + P_{con2_f} \quad (38)$$

$$P_{con2_b} = \left(\sqrt{\frac{1}{2\pi} \int_{\frac{5}{6}\pi}^{\frac{7}{6}\pi} (I_{D_peak} \sin(x - \theta))^2 dx} \right)^2 \times R_{on} \quad (39)$$

$$\begin{aligned} P_{con2_d} &= \left(\sqrt{\frac{1}{2\pi} \int_{\frac{6}{6}\pi}^{\frac{7}{6}\pi} (I_{D_peak} \sin(x - \theta))^2 \times (2a \sin x + 1) dx} \right)^2 \times R_{on} \quad (40) \end{aligned}$$

$$\begin{aligned} P_{con2_e} &= \left(\sqrt{\frac{1}{2\pi} \int_{\frac{6}{6}\pi}^{\frac{11}{6}\pi} (I_{D_peak} \sin(x - \theta))^2 \times (2a \sin x + 2) dx} \right)^2 \times R_{on} \quad (41) \end{aligned}$$

$$\begin{aligned} P_{con2_f} &= \left(\sqrt{\frac{1}{2\pi} \int_{\frac{11}{6}\pi}^{2\pi} (I_{D_peak} \sin(x - \theta))^2 \times (2a \sin x + 1) dx} \right)^2 \times R_{on} \quad (42) \end{aligned}$$

FWD の導通損失について。S1 の全領域の FWD 導通損失を P_{FWD1} , S₁ の各領域の FWD 導通損失を P_{FWD2_b} , P_{FWD2_d} , P_{FWD2_e} , P_{FWD2_f} とすると(43)式から(47)式で得られる。

$$P_{FWD2} = P_{FWD2_b} + P_{FWD2_d} + P_{FWD2_area(e)} + P_{FWD2_f} \quad (43)$$

$$P_{FWD2_b} = \frac{1}{2\pi} \int_{\frac{5}{6}\pi}^{\frac{7}{6}\pi} I_{FWD1_peak} \sin(x - \theta) dx \times V_F \quad (44)$$

$$P_{FWD2_d} = \frac{1}{2\pi} \int_{\frac{6}{6}\pi}^{\frac{7}{6}\pi} I_{FWD_peak} \sin(x - \theta) \times (2a \sin x + 1) dx \times V_F \quad (45)$$

$$P_{FWD2_e} = \frac{1}{2\pi} \int_{\frac{6}{6}\pi}^{\frac{11}{6}\pi} I_{FWD_peak} \sin(x - \theta) \times (2a \sin x + 2) dx \times V_F \quad (46)$$

$$P_{FWD2_f} = \frac{1}{2\pi} \int_{\frac{11}{6}\pi}^{2\pi} I_{FWD_peak} \sin(x - \theta) \times (2a \sin x + 1) dx \times V_F \quad (47)$$

(B) スイッチング損失

Cell2-S₃ の全領域のターンオン損失を P_{on2} , S₃ の領域のターンオン損失を P_{on2_b} , 領域 と の損失を $P_{on2_area(d)+(e)+(f)}$, とすると(48)式から(50)式で得られる。

$$P_{on2} = P_{on2_area(b)} + (P_{on2_d)+(e)+(f)} \quad (48)$$

$$P_{on2_b} = \frac{1}{6} V_{DS2} I_{D2_peak} \sin\left(\frac{\pi}{6} - \theta\right) t_r f_{out} \quad (49)$$

$$P_{on2_d)+(e)+(f)} = \frac{1}{2\pi} \int_{\pi}^{\pi+\theta} \left(\frac{1}{6} V_{DS2} I_{D2_peak} t_r \right) f_c \sin x dx \quad (50)$$

Cell2-S₃ の全領域のターンオフ損失を P_{off2} , S₃ の領域のターンオフ損失を P_{off2_b} , 領域 と の損失を $P_{off2_area(d)+(e)+(f)}$ とすると(51)式から(53)式で得られる。

$$P_{off2} = P_{off2_b} + (P_{off2_area(d)+(e)+(f)}) \quad (51)$$

$$P_{off2_b} = \frac{1}{6} V_{DS2} I_{D2_peak} \sin\left(\frac{5}{6}\pi - \theta\right) t_f f_{out} \quad (52)$$

$$P_{off2-(d)+(e)+(f)} = \frac{1}{2\pi} \int_{\pi}^{\theta} \left(\frac{1}{6} V_{DS2} I_{D2_peak} t_{rr} \right) f_c \sin x dx \quad (53)$$

Cell2-S₃の全領域のリカバリ損失を P_{Rec2} , S₃の領域のリカバリ損失を $P_{Rec2(b)}$, 領域とのリカバリ損失を $P_{Rec2(c)+(d)+(f)}$ とすると(54)式から(56)式で得られる。

$$P_{Rec2} = P_{Rec2(b)} + (P_{Rec2_area(d)+(e)+(f)}) \quad (54)$$

$$P_{Rec2(b)} = \frac{1}{4} V_{cc} I_{FWD} \sin(\pi + \theta) t_{rr} f_{out} \quad (55)$$

$$P_{Rec2-(d)+(e)+(f)} = \frac{1}{2\pi} \int_{\theta}^{2\pi} \left(\frac{1}{4} V_{cc} I_{FWD_peak} t_{rr} \right) f_c \sin x dx \quad (56)$$

3.3 Cell3の電力損失計算法

(A) 導通損失

Cell3-S₅とS₇のゲート信号は同じである。しかし, 指令値1周期において損失が発生する期間が異なる。S₅は指令値が領域の期間に損失が発生する。S₇は指令値が領域の期間に損失が発生する。それぞれの素子について電力損失を導出する。

Cell3の導通損失を導出する。S₅の導通損失を P_{con3-1} とする。S₇の導通損失を P_{con3-2} としたときの導通損失は(57)式, (58)式で求めることができる。

$$P_{con3-1} = \left(\frac{1}{2\pi} \int_{\frac{\pi}{6}}^{\frac{5\pi}{6}} I_c \sin(x - \theta) dx \right) \times V_{ce3-1(b)} \quad (57)$$

$$P_{con3-2} = \left(\frac{1}{2\pi} \int_{\theta}^{\pi} I_c \sin(x - \theta) dx \right) \times V_{ce3-2(a)} + \left(\frac{1}{2\pi} \int_{\frac{\pi}{6}}^{\pi} I_c \sin(x - \theta) dx \right) \times V_{ce3-2(c)} \quad (58)$$

同様にCell3のFWD導通損失を導出する。S₅のFWD導通損失を P_{FWD3-1} とする。S₇のFWD導通損失を P_{FWD3-2} としたときの導通損失は(59)式, (60)式で求めることができる。

$$P_{FWD3-1} = \frac{1}{2\pi} \int_{\frac{\pi}{6}}^{\pi+\theta} V_F \sin(x - \theta) I_{FWD} \sin(x - \theta) dx \quad (59)$$

$$P_{FWD3-2} = \frac{1}{2\pi} \int_0^{\pi+\theta} V_F \sin(x - \theta) I_{FWD} \sin(x - \theta) dx + \frac{1}{2\pi} \int_{\frac{5\pi}{6}}^{\pi+\theta} V_F \sin(x - \theta) I_{FWD} \sin(x - \theta) dx \quad (60)$$

(B) スイッチング損失

Cell3の素子は, 出力周波数と同じ周波数でスイッチングを行うのでスイッチング損失やリカバリ損失がほとんど発生しない。

S₅及びS₇のターンオン損失を導出する。S₅のターンオン損失を P_{on3-1} とする。S₇のターンオン損失を P_{on3-2} としたときの導通損失は(61)式, (62)式で求めることができる。

$$P_{on3-1} = \frac{1}{6} V_{ce} I \sin\left(\frac{\pi}{6} - \theta\right) t_r f_{out} \quad (61)$$

$$P_{on3-2} = \frac{1}{6} V_{ce} I \sin(0 - \theta) t_r f_{out} + \frac{1}{6} V_{ce} I \sin\left(\frac{5}{6}\pi - \theta\right) t_r f_{out} \quad (62)$$

S₅及びS₇のターンオフ損失を導出する。S₅のターンオフ損失を P_{off3-1} とする。S₇のターンオフ損失を P_{off3-2} としたとき

の導通損失は(63)式, (64)式で求めることができる。

$$P_{off3-1} = \frac{1}{6} V_{ce} I \sin\left(\frac{5}{6}\pi - \theta\right) t_r f_{out} \quad (63)$$

$$P_{off3-2} = \frac{1}{6} V_{ce} I \sin\left(\frac{\pi}{6} - \theta\right) t_r f_{out} + \frac{1}{6} V_{ce} I \sin(\pi - \theta) t_r f_{out} \quad (64)$$

S₅及びS₇のリカバリ損失を導出する。S₅のリカバリ損失を P_{off3-1} とする。

S₇のリカバリ損失を P_{off3-2} としたときの導通損失は(65)式, (66)式で求めることができる。

$$P_{Rec3-1} = \frac{1}{4} V_{cc} I_{FWD_peak} \sin\left(\frac{5}{6}\pi\right) t_{rr} f_{out} \quad (65)$$

$$P_{Rec3-2} = \frac{1}{6} V_{cc} I_{Rec} \sin\left(\frac{\pi}{6} - \theta\right) t_r f_{out} + \frac{1}{6} V_{cc} I_{Rec} \sin(\pi - \theta) t_r f_{out} \quad (66)$$

4. 損失シミュレーションによる検証

3.1から3.3にかけてANPC変換器の各Cellの損失計算式を導出した。この理論式の妥当性を確認するために, シミュレーション解析を行い, 結果を比較する。

Table3にシミュレーション条件を示す。Table3に示すパラメータを用いてシミュレーションを行った。

図7にシミュレーション動作波形を示す。マルチレベル変換器特有の階段状の波形が得られたことが確認できる。

図8に負荷力率を変化させたときの効率波形を示す。

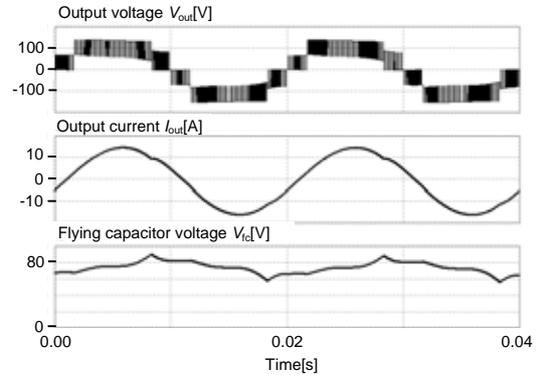


図7 動作波形

Fig.7 Outputwave form

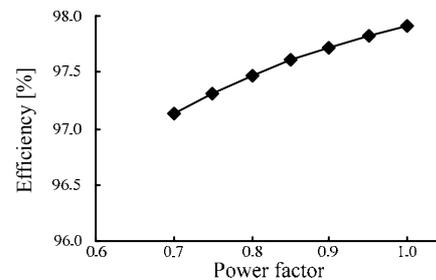


図8 効率波形

Fig.8 Efficiency waveform

効率は力率のとき最大で 97.9%となる。

図 9, 10 に, 負荷力率を変化させたときの各 Cell の電力損失特性を示す。図 9, 10 より提案した電力損失計算法がシミュレーション結果と一致していることがわかる。これにより損失計算の妥当性を確認した。

5. まとめ

本論文では, スイッチング素子のパラメータを用いた, アクティブクランプ形 5 レベルマルチレベル電力変換器の損失を解析により定式化した。解析法の妥当性を検討するために, 損失シミュレーションによる結果との比較を行い, 妥当性を確認した。

今後は, 解析法を用いてマルチレベル電力変換器が高効率となる条件を導出し, 実機実験による検証する。

表 シミュレーション条件

Table 3 Simulation parameter

(a)Circuit parameter

Input voltage	283V	Carrier frequency	10kHz
Output current	17.7A	Output power factor	0.95
Rated power	5.0kW	RL load	resistance 8.78Ω
Output frequency	50Hz		inductance 9.2mH

(b)MOSFET parameter

On resistance	0.058Ω	Body-Drain diode forward voltage	1.0V
Rise time	170ns	Body-Drain diode reverse recovery time	170ns
Fall time	140ns		

(c)IGBT parameter

Collector-Emitter saturation voltage	3.0V	FWD forward on voltage	3.0V
Rise time	0.6μs	Reverse recovery time	0.3μs
Fall time	0.35μs		

文 献

- (1) 岩谷一・高橋勲:「マルチレベルインバータを用いたスイッチング形電力増幅器」, 電学論 D, Vol.123, No.11 pp.1339-1344 (2003)
- (2) F. Z. Peng: "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (3) B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D. P. Kothari: "A Review of Three-Phase Improved Power Quality AC-DC Converters", IEEE Transactions on industrial electronics, Vol.51, No.3, pp.641-660 (2004)
- (4) J. Rodriguez, J. Lai, and F. Z. Peng: "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", IEEE Transactions on industrial electronics, Vol.49, No.4, pp.724-738(2002)
- (5) U. Drofenic, J. W. Kolar, Y. Nishida, Y. Okuma, and J. Sun: "Three-Phase PFC Rectifier Systems", PCC-Osaka 2002 Tutorials, pp.2-93(2002)
- (6) Yasuyuki Nishida: "Passive and Hybrid PFC Rectifiers -A Survey and Exploration of New Possibilities- ", IEEJ Transaction, Vol.126, No.7, pp.927-940 (2006)
- (7) I. Ashida, J. Itoh: "A Novel Three-Phase PFC Rectifier Using a Harmonic Current Injection Method", PCC-Nagoya 2007, pp.1302-1307(2007)
- (8) I. Takahashi, K. Iwaya: "High Efficiency Low Harmonic. Distortion

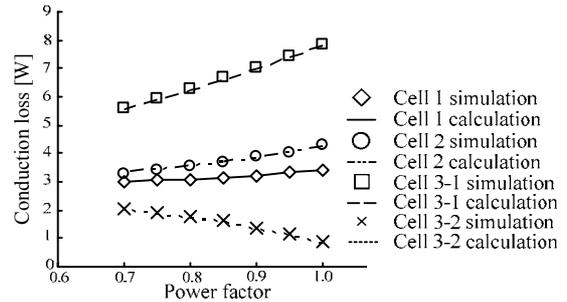


図 9 力率の変化による各 Cell の導通損失

Fig9 Relationship between power factor and conduction loss.

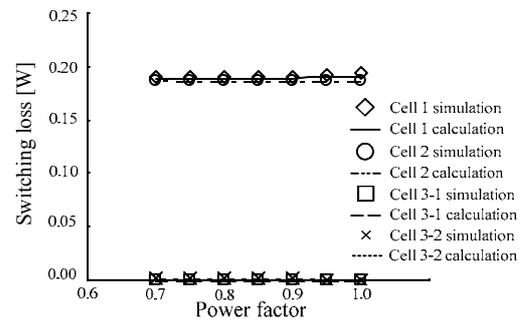


図 10 力率の変化による各 Cell のスイッチング損失

Fig10 Relationship between power factor and turn-off loss.

Switching Type Power Amplifier Using Multilevel. Inverter," PCC Osaka 2002, vol.2, pp.353-358 (2002).

- (9) T. Adachi, J. Itoh: "An Investigation of a Reduced Switches Simplify Three-phase Five-level PWM Rectifier", JIASC IEEJ, pp.1-147-1-150 (2008)
安達健人, 伊東淳一:「スイッチ数を削減した簡易型三相 5 レベル PWM 整流器の検証」, 平成 20 年電気学会産業応用部門大会, pp.1-147-1-150 (2008)
- (10) Z. Pan, F. Z. Peng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric: "Voltage Balancing Control of Diode-Clamped Multilevel Rectifier/Inverter Systems", IEEE Transactions on industry applications, Vol.41, No.6, pp.1698-1706(2005)
- (11) X. Kou, K. A. Corzine, and Y. L. Familiant: "A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter", IEEE Transactions on power electronics, Vol.19, No.4, pp. 979-987 (2004)
- (12) 岸田行盛 他:「ミニモデルにおける磁気浮上式鉄道用トランスレス階調制御型インバータの切り替えサージ抑制法の検証」
- (13) Barbosa, P.; Steimer, P.; Steinke, J.; Meysenc, L.; Winkelkemper, M.; Celanovic, N: "Active Neutral-point-Clamped Multilevel Converter", [Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th](#) 16-16 June 2005 Page(s):2296 - 2301