

高周波パワーデバイスを電力変換回路に用いた場合の 回路パラメータ設計に関する基礎検討

渡邊 健太* 宮脇 慧 伊東 淳一 (長岡技術科学大学)

Basic Investigation of the Circuit Parameters Design in a Power Converter Circuit using High Frequency Power Devices.

Kenta Watanabe*, Satoshi Miyawaki, Jun-ichi Itoh (Nagaoka University of Technology)

This paper investigates the circuit parameters design in a power converter circuit using high frequency power devices. The circuit parameter design is examined separately for the gate drive circuit and the main circuit. At first, we focus on the gate-source voltage oscillation is generated in the circuit, power consumption of the gate drive circuit and switching losses. As a result, the designed gate drive circuit achieved low power consumption of it and low switching losses. In addition, the relations between the voltage oscillation and parasitic parameters were discussed.

キーワード: 高周波パワーデバイス, パラメータ設計, 高周波動作, チョップ回路, ゲート駆動回路

(Keyword: High-frequency power devices, Parametric design, High-frequency operation, Chopper, Gate drive circuit)

1. はじめに

近年、ハイブリッド自動車や鉄道車両など多くのシステムで、電力変換回路の小型、高密度化の要求が高まっており、開発が盛んに行われている⁽¹⁾⁽²⁾。電力変換回路の小型、高密度化には、ヒートシンクやキャパシタ、リアクトルなどの受動部品の小型軽量化や電力変換回路全体のパワー密度向上が必要不可欠である。しかしながら、電力変換回路のスイッチングデバイスに広く用いられているシリコン(Si)を主材料とする MOSFET や IGBT を用いて、電力変換回路の小型、高密度化を行うには、Si の物性値からくる限界が迫りつつあるため、大幅な電力変換回路の小型、高密度化は困難であるとされている⁽³⁾。

これに対し、SiC や GaN を用いた次世代パワー半導体デバイスは、シリコンを用いたスイッチングデバイスと比べ、高耐圧、高速スイッチング、低損失、高温動作が可能など従来の素子を大きく超える動作特性が確認されている⁽⁴⁾⁽⁵⁾。これにより電力変換回路全体のパワー密度向上に大きく寄与するスイッチング素子として注目が集まっている。しかしながら、SiC や GaN パワー半導体デバイスを高周波駆動可能な SiC、GaN パワー半導体デバイスに置き換えると、以下に述べるような問題が発生する。

1), GaN デバイスの駆動回路に従来の駆動回路を用いることで、必要以上の高電圧、大電流を発生し、ゲート消費電力が増加する。

2), 高密度実装が可能であることから、主回路と制御回路

が近接配置され、回路から発生する放射ノイズに弱くなる⁽⁶⁾。これは、ゲート定格値以上のスパイク電圧や電流を発生させ、素子の破壊を招く恐れがある。また、SiC や GaN パワー半導体デバイスは、ゲートのしきい値電圧が従来の Si-IGBT や Si-MOSFET に比べて低いため、放射ノイズによるゲートの誤点弧、誤消弧の可能性も高くなると考えられる。

本論文では、高周波駆動可能なパワー半導体デバイスとして GaN デバイスを想定し、GaN-FET を回路に適用した場合の回路パラメータ設計に関する基礎検討を行う。検討は、駆動回路と主回路の2つに分けて行う。

駆動回路については、GaN-FET を駆動した場合のパラメータ設計を行う。駆動回路のパラメータ設計は、駆動回路が消費する電力と GaN-FET のスイッチング損失を基に行い、消費電力とスイッチング損失を抑えるパラメータ設計を行う。主回路については、新型デバイスを実装する際の注意として、素子のスイッチング時に発生するゲートソース間電圧の電位変動に注目した。前述の通り、新型デバイスはゲートしきい値電圧が低いため、電位変動によりゲートが誤点弧、誤消弧しないよう回路の寄生パラメータについて解析を行う必要がある。そのため、実機試験と回路解析から回路の寄生パラメータの電位変動に与える影響を考察する。

以上の結果をまとめ、高周波動作時のパラメータの設計指標を示したので報告する。

2. 新型デバイス用駆動回路の設計指針

(2・1) 制御回路の構成

図 1 に比較する駆動回路構成を示す。本論文では、図 1 に示す以下の 2 つの駆動回路の比較を行った。

- (1) ゲート抵抗 R_{G1} のみで駆動させる場合
- (2) ゲート抵抗 R_{G2} 間に R_S と C_S の

RC スピードアップ回路を接続し、駆動させる場合

この 2 つの構成で、GaN-FET を駆動したときのゲートソース間電圧 V_{GS} とゲート電流 I_G を観測し、それぞれの消費電力と GaN-FET のスイッチング損失を比較する。表 1 に駆動回路の試験パラメータを示す。

本試験で用いた GaN-FET は JFET に近いデバイス構造であるため、ゲートが絶縁されておらず、ゲートソース間電圧 V_{GS} に正バイアスを印加するとその期間中、ゲート電流 I_G が流れる。そのため、定常駆動電力 P_{ST} が発生する。IGBT や MOSFET といった素子と同じようにターンオン・オフ時に消費する電力 P_{TU} も同様に発生するため、 P_{ST} だけ消費電力が増大する。従って、定常期間の消費電力を抑えるような回路構成が必要となる。そのため、表 1 の(2)で示すように定常時の発生電流は、大きなゲート抵抗 R_{G2} で抑制し、ターンオン、オフ時に発生する電流をスピードアップ回路でバイパスすることで制御回路の消費電力を抑え、かつ高速スイッチングを可能にしている。

(2・2) 制御回路パラメータの設計方法

制御回路のパラメータ設計は、駆動回路の総駆動電力 P_{TOTAL} と GaN-FET のスイッチング損失 $P_{FET(SW)}$ を基に行う。図 2 に(a)定常区間と、(b)スイッチング区間の定義を示す。

定常駆動電力 P_{ST} は、定常時のゲートソース間電圧 $V_{GS(ST)}$ 、ゲート電流 $I_{G(ST)}$ 、デューティ比 D より、(1)式にて求められる。

$$P_{ST} = V_{GS(ST)} I_{G(ST)} D \quad (1)$$

一方、ターンオン、オフ時駆動電力 P_{TU} を求めるには、ターンオン時にゲートソース間電圧が $0V$ から $+V_{GS(TU)}$ まで上昇するのに必要な電荷量 Q_G を求める必要がある。 Q_G は、ターンオン時に発生するゲート電流と、その期間 $t = T_2 - T_1$ の面積を求めることで得られ、計算式を(2)式に示す。

$$Q_G = \int_{T_1}^{T_2} I_G dt \quad (2)$$

(2)式の Q_G と GaN-FET の入力容量 $C_{iss}(=321pF)$ から、ターンオン時の $P_{TU(ON)}$ は(3)式となる。なお、 $-V_{GS(TU)}$ は、ターンオフ時のゲートソース間電圧である。

$$P_{TU(ON)} = f_{sw} \left(\frac{1}{2} Q_G |V_{GS(TU)}| + \frac{1}{2} C_{iss} |V_{GS(TU)}|^2 \right) \quad (3)$$

また、充電、放電電荷量が同じだとすると、ターンオフ時の消費電力も(3)式と同様に考えることができる。(4)式にターンオン、オフ合わせた消費電力 P_{TU} の計算式を示す。

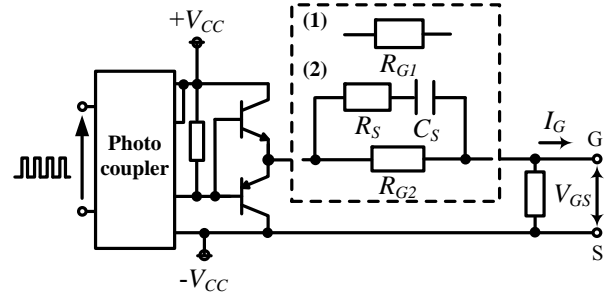


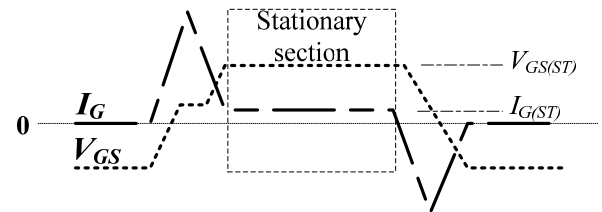
図 1 比較する駆動回路構成

Fig. 1. Comparison of gate drive circuit.

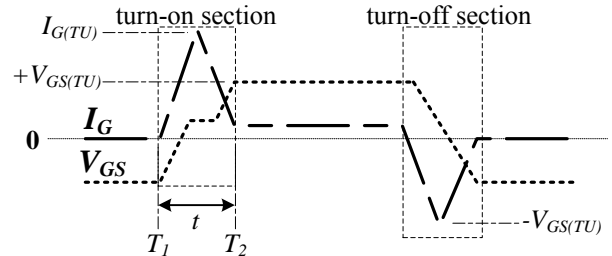
表 1 駆動回路の試験パラメータ

Table 1. Experimental parameters of gate drive circuit.

	Supply voltage V_{CC}	-3.3 ~ +3.3[V]
	Switching frequency f_{sw}	40[kHz]
	Duty cycle D	0.5
(1)	Gate resistance R_{G1}	3.3[Ω]
(2)	Gate resistance R_{G2}	1[kΩ]
	Speed-up resistance R_S	3.3[Ω]
	Speed-up capacitor C_S	10[nF]



(a) Stationary section.



(b) Switching section.

図 2 定常区間とスイッチング区間の定義

Fig. 2. Definition of Stationary section and Switching section.

$$P_{TU(ON)} = f_{sw} \left(Q_G |V_{GS(TU)}| + C_{iss} |V_{GS(TU)}|^2 \right) \quad (4)$$

以上の定常電力 P_{ST} と、ターンオン、オフ時の駆動電力 P_{TU} を足すことで総駆動電力 P_{TOTAL} が求められ、(5)式に示す。

$$P_{TOTAL} = P_{ST} + P_{TU} \quad (5)$$

GaN-FET のスイッチング損失 $P_{LOSS(FET)}$ は、電圧電流の立ち上がり、立ち下がり波形が直線と仮定すれば、主回路のドレインソース間電圧 V_{DS} 、ドレイン電流 I_D とその時のターンオン時間 Δt_{ON} 、ターンオフ時間 Δt_{OFF} から(6)式にて求まる。

$$P_{LOSS(FET)} = \frac{1}{6} V_{DS} I_D \Delta t_{ON} f_{sw} + \frac{1}{6} V_{DS} I_D \Delta t_{OFF} f_{sw} \quad (6)$$

(2・3) 試験結果

表 2 に各駆動回路における駆動電力の比較を示す。表より、(2)ゲート抵抗 R_{G2} 間に R_S と C_S のスピードアップ回路を

接続した場合は、(1)ゲート抵抗 R_{G1} で駆動する場合に比べ、総駆動電力 P_{TOTAL} を約 97.9%低減できた。これは、ゲート抵抗 R_{G2} を大きくしたことで、流れる定常時のゲート電流 $I_{G(ST)}$ が小さくなり、定常時の駆動電力 P_{ST} が約 98.6%抑えられたことによる。また、 P_{TU} が回路構成によらずほぼ一定なのは、ターンオン・オフ時に必要なゲート充放電電流が両回路とも大きく変わらないことを示している。

表 3 に各駆動回路における立ち上がり時間 t_r 、立ち下がり時間 t_f の比較を示す。 t_r 、 t_f は、FET に流れるドレイン電流 I_D の振幅波形が 10%から 90%までに要する時間(t_r)と、90%から 10%までに要する時間(t_f)と定義する。表 3 より、(2)ゲート抵抗 R_{G2} 間に R_S と C_S のスピードアップ回路を接続した場合でも、(1)ゲート抵抗 R_{G1} で駆動する場合とほぼ同等のスイッチング速度で駆動できている。これは、スイッチングに必要なゲート電流が大きな R_{G2} を通らずに、 R_S 、 C_S のスピードアップ回路を介してバイパスされているためである。これらの結果から、制御回路の消費電力低減が期待できる(2)の回路構成で最適なパラメータ選定を行う。

図 3 に、(2)の回路構成で $R_S=3.0\Omega$ 、 $C_S=10nF$ とした時の、 R_G と P_{ST} 、 P_{TU} 、 $P_{LOSS(FET)}$ の関係を示す。

図 2、3 から、駆動電力はターンオン・オフ時の駆動電力 P_{TU} よりも定常時の駆動電力 P_{ST} が支配的であることがわかる。また、 $R_{G2}=300\Omega$ 以上では、 P_{ST} 、 $P_{LOSS(FET)}$ 共に変化が小さくなる。よって、後の試験は、 R_{G2} を $1k\Omega$ として試験を行う。

図 4 に(2)の回路構成で、 R_S を変化した場合の τ と P_{ST} 、 P_{TU} 、 $P_{LOSS(FET)}$ の関係を示す。なお、図中の横軸はスピードアップ回路の時定数 τ で(7)式と定義する。

$$\tau = R_S C_S \dots\dots\dots (7)$$

図 4 から、定常時駆動電力 P_{ST} 、ターンオン・オフ時駆動電力 P_{TU} が τ によらず数 mW と十分小さいことが確認できる。従って、 τ による電力の変化が大きい GaN-FET のスイッチング損失 $P_{LOSS(FET)}$ が最小になる R_S を選ばばよく、この場合、最小点は τ が 80ns である $R_S=8.0\Omega$ となる。 τ が 80ns 以下の領域で、GaN-FET のスイッチング損失 $P_{LOSS(FET)}$ が再度上昇している理由は、時定数 τ が小さすぎてターンオン、オフに必要な電流が流れる前にスピードアップコンデンサ C_S の充電が完了してしまうからだと思われる。よって、後の試験は、 R_S を 8.0Ω として試験を行う。

図 5 に(2)の回路構成で、 C_S を変化した場合の τ と P_{ST} 、 P_{TU} 、 $P_{LOSS(FET)}$ の関係を示す。図から、定常時の駆動電力 P_{ST} 、ターンオン・オフ時の駆動電力 P_{TU} 、GaN-FET のスイッチング損失 $P_{LOSS(FET)}$ 共に、 τ による変化が小さいことが確認できる。 P_{ST} 、 P_{TU} に関しては、以前の試験にて十分小さく設計できているため、 C_S に関しても $P_{LOSS(FET)}$ が最小になる領域を選ばばよい。従ってこの場合、最小点は τ が 176ns である $C_S=22nF$ となる。今回の試験では、以上のようにパラメータを設計した。

(2.4) 駆動回路の設計指針

前述の結果から、GaN-FET を駆動させるための最適なパ

表 2 通常駆動時と RC スピードアップ回路付加駆動時の消費電力比較

Table 2. Electric power comparison between Normal drive and with RC speed-up circuit.

	(1) Without speed-up circuit	(2) With speed-up circuit
Steady gate drive power P_{ST} [mW]	245.96	2.31
Turn ON/OFF gate drive power P_{TU} [mW]	3.42	2.94
Total gate drive power P_{Total} [mW]	249.38	5.25

表 3 通常駆動時と RC スピードアップ回路付加駆動時のスイッチング時間比較

Table 3. Switching time comparison between Normal drive and with RC speed-up circuit.

	(1) Without speed-up circuit	(2) With speed-up circuit
Rise time t_r [ns]	66	90
Fall time t_f [ns]	13	18

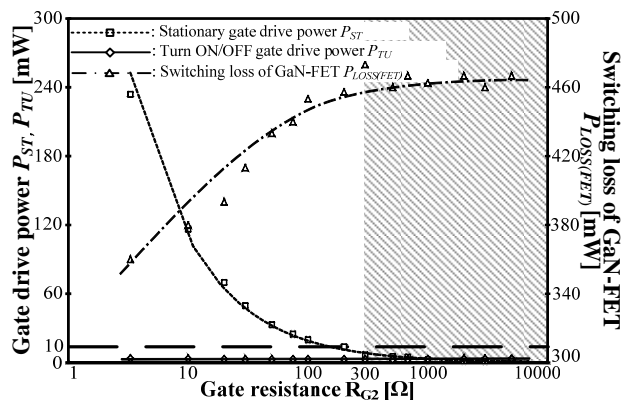


図 3 ゲート抵抗 R_{G2} と各消費電力の比較 ($R_S=3.0\Omega$ 、 $C_S=10nF$:一定)

Fig. 3. Relations of gate resistance and consumed power. ($R_S=3.0\Omega$ 、 $C_S=10nF$: constant)

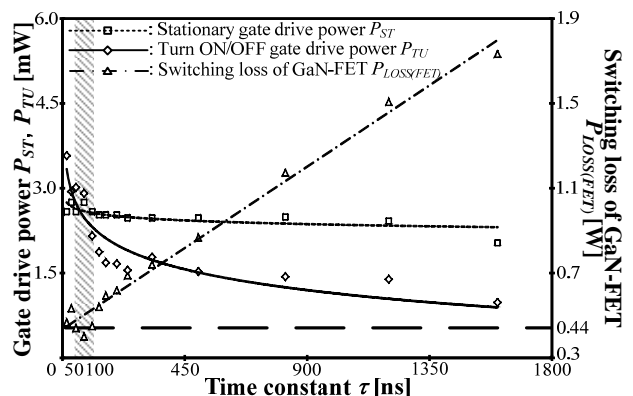


図 4 スピードアップ抵抗 R_S と各消費電力の比較 ($R_{G2}=1k\Omega$ 、 $C_S=10nF$:一定)

Fig. 4. Relations of time constant and consumed power. ($R_{G2}=1k\Omega$ 、 $C_S=10nF$: constant)

ラメータ値の選定を行ったが、本試験で用いた GaN-FET の最適なパラメータ値を設計しただけでは、用いる素子によって特性に差異が生じてしまうため最適値に誤差が生じ

る。従ってこれらを一般化するために、本試験で得たゲート駆動回路の総駆動電力 P_{Total} と GaN-FET のスイッチング損失 $P_{LOSS(FET)}$ についてパラメータ設計の指標を示す。

表 4 に試験結果から得た設計指針を示す。それぞれのパラメータについて、ゲート駆動回路の消費電力と GaN-FET のスイッチング損失の観点から、筆者らが定めた値以下に低減するために、必要なパラメータ値を示す。なお、駆動回路の電源は、GaN-FET のしきい値を満たす 3.3V/-3.3V とする。

ゲート抵抗 R_{G2} に関しては、図 3 から 300Ω 以上(図 3 斜線部)でゲート総駆動電力を 10mW 以下に低減できる。スピードアップ抵抗 R_S に関しては、図 4 から 5.0~10.0Ω の範囲(図 4 斜線部)に設計することで、GaN-FET のスイッチング損失を 0.44W に抑えることができる。また、ゲート駆動回路の総駆動電力についても、筆者らが図 3 から定めた 10mW 以下に低減できることを確認できる。スピードアップコンデンサ C_S に関しては、図 5 から 10.0~47.0nF の範囲(図 5 斜線部)に設計することで、GaN-FET のスイッチング損失を 0.38W に抑えることができる。

以上のように設計することで、駆動回路の総駆動電力 P_{Total} を 10mW 以下、GaN-FET のスイッチング損失 $P_{LOSS(FET)}$ を 0.38W 程度まで低減し GaN-FET を駆動させることが期待できる。

3. ゲートソース間電位変動の解析

(3-1) 試験回路

図 6 に本試験で用いた回路構成を示す。回路は、DC リンク電圧 140V で負荷が約 500W の降圧チョップを用いた。本試験の回路は、ラインバイパスコンデンサ C_2, C_3 の中点と制御回路の GND とフレーム GND を接続した構成となっている。この回路をスイッチングさせ、その時の上下アーム FET のゲートソース間電圧 $V_{GS1,2}$ 、コモンモード電流 $I_{COM1,2}$ を測定する。表 5 に試験回路の条件を示す。

筆者らは、このような回路を高周波で駆動させた場合、スイッチング時に V_{GS} が一瞬変動する現象が発生することを確認している⁽⁷⁾。図 7 にその現象を示す。この現象は、主回路の配線インダクタンスと FET の寄生容量が影響しており、ゲートしきい値電圧の低い新型デバイスを低電圧駆動させる場合、ゲートの誤点弧、誤消弧を起こす可能性が一層高くなることが考えられる。

(3-2) 等価回路モデルの導出

筆者らは、高周波駆動時におけるゲートソース間電圧 V_{GS} の電位変動を試験的な解析で明らかにしている。そこで、この現象をより詳しく解析しパラメータ設計を行うため回路に発生する寄生パラメータを考慮した場合の V_{GS} 電位変動についての考察を行う。

図 8 に寄生パラメータを考慮した場合の実装等価回路モデルを示す。しかしこの等価回路モデルでは、回路解析が複雑なため、回路を単純化する必要がある。

図 9 に単純化した等価回路モデルを示す。この等価回路

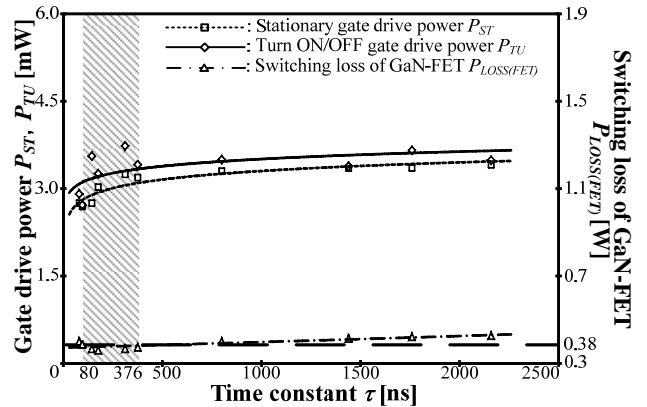


図 5 スピードアップコンデンサ C_S と各消費電力の比較 ($R_{G2}=1k\Omega, R_S=8.0\Omega$:一定)

Fig. 5. Relations of time constant and consumed power. ($R_{G2}=1k\Omega, R_S=8.0\Omega$: constant)

表 4 駆動回路パラメータの設計指針

Table 4. Design road map of drive circuit parameter.

	Design value
Power supply of the drive circuit V_{CC}	3.3V/-3.3V
Gate resistance R_{G2}	More than 300Ω
Speed-up resistance R_S	5.0~10.0Ω
Speed-up capacitor C_S	10.0~47.0nF

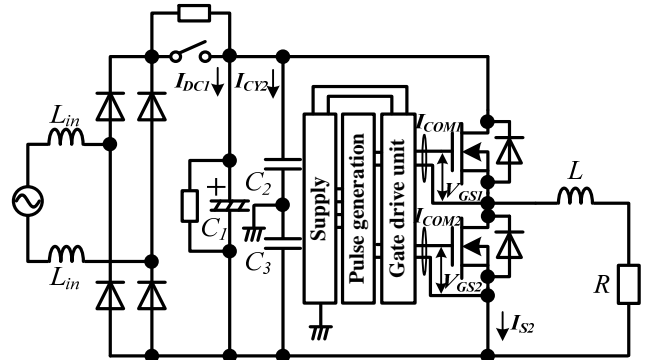


図 6 回路構成

Fig. 6. Composition of Step-down.

表 5 主回路の試験条件

Table 5. Experimental conditions of Step-down.

DC link voltage V_{DC}	140[V]
Switching frequency f_{sw}	100[kHz]
Input reactor L_{in}	2[mH]
DC link capacitor C_1	2200[μF]
Line bypass capacitor C_2, C_3	1[μF]
Reactor L	5[mH]
Load resistance R	10[Ω]

モデルは、DC リンクコンデンサ部、ラインバイパスコンデンサ部、FET 部の 3 つの相から構成されており、各相に発生するインダクタンス、キャパシタンスをまとめた回路である。表 6 に等価回路モデルのパラメータ値を示す。なお、回路パラメータは、LCR メータ(Hioki: LCR ハイテスタ 3532-5)で測定した値を用いている。この等価回路モデルが

ら、各相に発生する共振角周波数 ω_r の高次方程式を求めることができる。(8)式にその方程式を示す。

$$a\omega^6 + b\omega^4 + c\omega^2 + d = 0 \dots\dots\dots(8)$$

なお、 a から d の定数値は、(9)-(12)式となる。

$$a = -L_1L_2L_3 \dots\dots\dots(9)$$

$$b = \frac{L_1L_2}{C_3} + \frac{L_2L_3}{C_1} + \frac{L_3L_1}{C_2} \dots\dots\dots(10)$$

$$c = -\left(\frac{L_1}{C_2C_3} + \frac{L_2}{C_3C_1} + \frac{L_3}{C_1C_2}\right) \dots\dots\dots(11)$$

$$d = -\frac{1}{C_1C_2C_3} \dots\dots\dots(12)$$

これらの式に表 6 のパラメータを代入し、各相に発生する共振角周波数 ω_r を求める。そして、 ω_r から共振周期 T_r を求めると、それぞれ以下ようになる。

- (a)DC リンクコンデンサ部: $T_r = 119\mu\text{s}$
- (b)ラインバイパスコンデンサ部: $T_r = 2.22\mu\text{s}$
- (c)FET 部: $T_r = 22.1\text{ns}$

〈3・3〉 試験結果と解析

以上の結果を確認するため、DC リンクコンデンサ部、ラインバイパスコンデンサ部、FET 部の 3 つの相に流れる電流を測定する。

図 10 に、各ゲートソース間電圧、DC リンクコンデンサ部、ラインバイパスコンデンサ部、FET 部に流れる電流波形を示す。上から、各ゲートソース間電圧 V_{GS1} 、 V_{GS2} 、下アーム FET ソース電流 I_{S2} 、ラインバイパスコンデンサ C_2 電流 I_{C2} 、DC リンクコンデンサ C_1 電流 I_{DC1} となる。それぞれの電流は、図 9 の I_1 から I_3 に対応した電流となっており、振動周期が以下のように求まる。

- (a)DC リンクコンデンサ部: $T_r = 2.68\mu\text{s}$
- (b)ラインバイパスコンデンサ部: $T_r = 2.04\mu\text{s}$
- (c)FET 部: $T_r = 30.0\text{ns}$

これら結果と、図 9 の等価回路から求めた計算式を比較すると、DC リンクコンデンサ部が計算値と、実測値に大きな誤差が生じていることが分かる。この原因は、DC リンクに用いている電解コンデンサの高周波特性が影響し、キャパシタンス値が記載値よりも大きく減少しているからと考えられる。ラインバイパスコンデンサ部の誤差については、パラメータの測定誤差が考えられる。FET 部については結果が比較的一致しているが、まだ小さな誤差が生じている。

この誤差から、FET 部の共振が DC リンクコンデンサ部、ラインバイパスコンデンサ部のパラメータに影響されている可能性があるとして推測できる。その中で、DC リンクコンデンサ部の C_A は高周波特性が悪いため、小さな誤差にならないと考えられるため、FET 部は高周波特性が良いラインバイパスコンデンサ部の影響を受けて共振が発生していると考えられる。従って、それを考慮していないため計算値に小さな誤差が生じたと思われる。

結果と誤差からの検討より、FET の共振振動はラインバイパスコンデンサ部と FET 部のループで発生していること

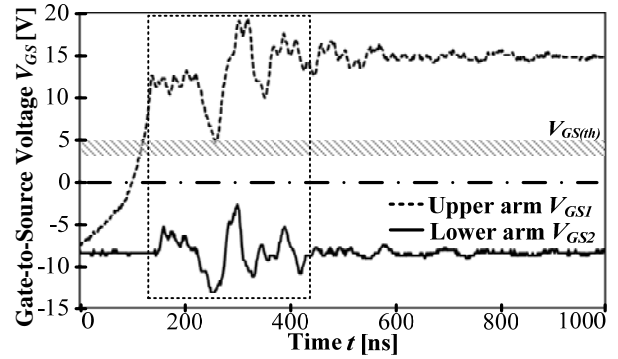


図 7 FET ゲートソース間電圧の変動
Fig. 7. Composition of Step-down.

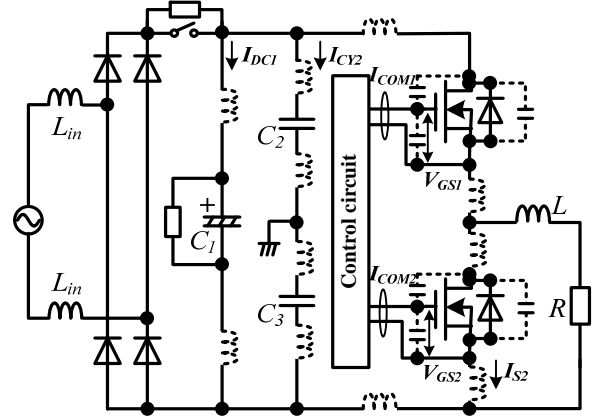


図 8 主回路の実装等価回路
Fig. 8. Packaging equivalent circuit of main circuit.

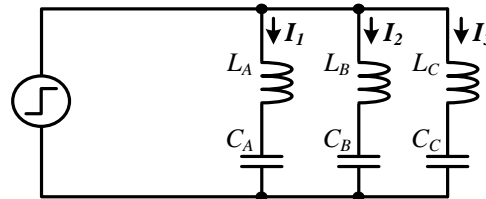


図 9 簡略化した主回路の等価回路モデル
Fig. 9. Simplified equivalent circuit model of main circuit.

表 6 等価回路モデルのパラメータ値

Table 6. Parameter value of equivalent circuit model.

Parasitic inductance in DC link capacitor part L_A	163[nH]
Parasitic inductance in Line bypass capacitor part L_B	250[nH]
Parasitic inductance in FET part L_C	155[nH]
DC link capacitor $C_A (=C_1)$	2200[μF]
Combined Line bypass capacitor C_B	500[nF]
parasitic capacitance of FET C_C	80[pF]

が推測できる。この結果から FET 部の寄生パラメータを可変し、配線インダクタンスと電位変動の関係を示す。

図 11 に、FET 部の配線インダクタンス L_C と電位変動 ΔV_{GS} の関係を示す。点は実測値、線は計算値を示している。 V_{GS} の電位変動 ΔV_{GS} の計算値は、(13)式から求める。

$$\Delta V_{GS} = L_C \frac{di_{com1,2}}{dt} \dots\dots\dots(13)$$

なお, $di_{com1,2}/dt$ は, 上下アーム FET ゲートのコモンモード電流 $I_{COM1,2}$ の時間変化率を示している。図 11 から, 実測値と計算値が比較的一致していることがわかる。また, FET 部の配線インダクタンス L_C が増加することで, ΔV_{GS} が小さくなることがわかる。これは, $di_{com1,2}/dt$ の減少幅が L_C の増加幅より大きいためであると考えられる。そのため, $di_{com1,2}/dt$ を一定とした場合を考える必要があるが, L_C と $di_{com1,2}/dt$ は, 相関関係にあるため実機での評価が困難である。

図 12 に, $di_{com1,2}/dt$ 一定時における FET 部の配線インダクタンスによる電位変動幅の推定値を示す。なお, $di_{com1,2}/dt$ は L_C が 155nH 時の値($di_{com1}/dt=66.3A/\mu s$, $di_{com2}/dt=60.3A/\mu s$)を用いている。今回, ゲートしきい値電圧が 0.7V のノーマリオフ SiC, GaN-FET を用いたと仮定すると, 駆動回路の電源電圧が 3.3V/-3.3V 時, 電位変動を 2.6V 程度まで抑えなければならない。図 12 から, 電位変動を 2.6V 程度に抑えるためには, FET 部に発生する配線インダクタンス L_C を約 45nH 以下で設計する必要がある。

4. まとめ

本論文では, 高周波駆動可能なパワー半導体デバイスに回路に適用した場合の回路パラメータ設計に関する基礎検討を行った。制御回路のパラメータ設計については, 回路構成を比較し, 回路パラメータの設計を行った。またその結果から, 設計指針を示した。主回路に起因する V_{GS} 電位変動については, 回路モデルを作成し電位変動に起因する寄生パラメータ試験, 解析により推定した。

今後は, 設計したパラメータで GaN-FET を駆動させ, 電位変動と寄生パラメータの具体的な設計指針と電位変動に関する定式化を行う予定である。

文 献

- (1) M. Kamaga, K. Sung and H. Ohashi: "A Study on Switching Frequency Limitation in Combination of Si-IGBT and SiC-SBD", IEEJ Trans., Vol.128-D, No.5, pp.569-576 (2008)
釜我昌武・SUNG Kyungmin・大橋弘通:「変換器高周波化のための Si-IGBT と SiC-SBD の検討」, 電学論 D, Vol.128, No.5, pp.569-576 (2008)
- (2) H. Sheng, Y. Pei and W. Fred: "Impact of Resonant Tank Structures on Transformer Size for a High Power Density Isolated Resonant Converter", Power Electronics Specialists Conference, 2008, Vol.7, pp.2975-2981 (2008)
- (3) 荒井 和雄・吉田 貞史 共編: "SiC 素子の基礎と応用", オーム社 (2003)
- (4) K. Takao, T. Yatsuo and K. Arai: "High di/dt Switching Characteristics of a SiC Schottky Barrier Diode", IEEJ Trans., Vol.124-D, No.9, pp.917-923 (2004)
高尾和人・八尾勉・荒井和雄:「SiC ショットキーバリアダイオードの高 di/dt スイッチング特性」, 電学論 D, Vol.124, No.9, pp.917-923 (2004)
- (5) J. Wang, X. Zhou, J. Li, T. Zhao, A. Q. Huang, R. Callanan, F. Husna and A. Agarwal: "10-kV SiC MOSFET-Based Boost Converter", IEEE Trans. on Industry Applications, Vol.45, No.6, pp.2056-2063 (2009)
- (6) T. Noguchi, S. Yajima and H. Komatsu: "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", IEEJ Trans., Vol.129-D, No.1, pp.46-52 (2009)

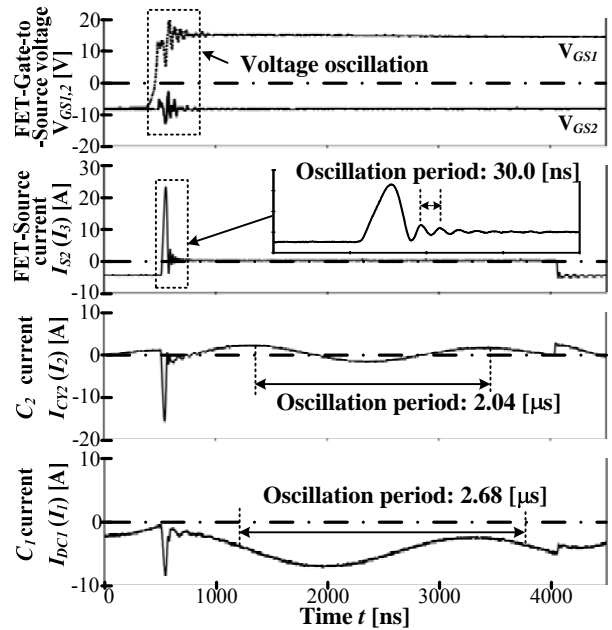


図 10 各部の電流波形

Fig. 10. Each current waveform when it arises voltage oscillation.

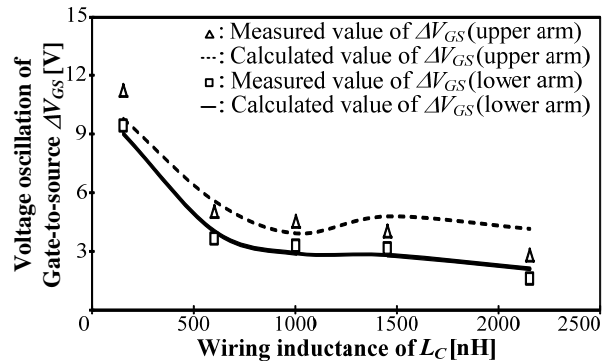


図 11 配線インダクタンスと電位変動の関係

Fig. 11. Relation between wiring inductance and voltage oscillation.

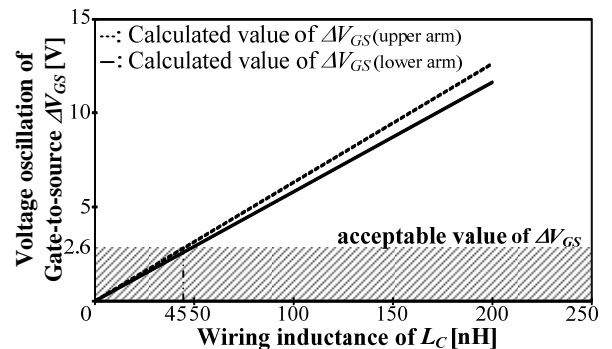


図 12 配線インダクタンス許容幅の推定値

($I_{COM1}=66.3A/\mu s$, $I_{COM2}=60.3A/\mu s$:一定)

Fig. 12. Estimation of the wiring inductance permission value.

($I_{COM1}=66.3A/\mu s$, $I_{COM2}=60.3A/\mu s$: constant)

野口 季彦・矢島 哲志・小松 宏禎:「次世代超高速スイッチング素子ゲート駆動回路の開発」, 電学論 D, Vol.129, No.1, pp.46-52 (2009)

- (7) 渡邊健太・折川幸司・伊東淳一:「高速スイッチング素子の実装法に関する一考察」, 平成 21 年度電気関係学会北陸支部連合大会, A-72 (2009)