

5 レベルアクティブ NPC インバータの最適設計に関する検討

榎原 有吾* 伊東 淳一 (長岡技術科学大学)

A consideration of an Active Neutral-Point-Clamped Multilevel Inverter about optimization

Yugo Kashihara*, Jun-ichi Itoh, (Nagaoka University of Technology)

Abstract: This paper establishes a loss analysis and capacitor designing method for an active neutral-point-clamped (ANPC) multilevel inverter. The ANPC combines a neutral point clamp circuit and flying capacitor topology. This circuit can reduce the number of components in comparison to conventional multilevel converters. Then, the loss analysis using mathematical expressions are obtained. This analysis results are well agreed with the loss experimental results. The capacitor designing is provided guideline for capacitor parameters.

キーワード: インバータ, マルチレベル, アクティブ中性点クランプ, インバータ損失
(Inverter, multilevel, Active Neutral-Point-Clamped, Inverter loss)

1. はじめに

電力変換器の出力電圧の高調波低減, 電流応答の高速化の観点から, マルチレベル電力変換器が研究されている⁽¹⁾⁻⁽⁵⁾。マルチレベル電力変換器は従来の2レベルの電力変換器と比較すると, ①レベル数 n に対しスイッチング素子の耐圧を $n-1$ 分の1に低減できること, ②複数レベルの電圧を出力するので出力電圧の高調波を低減できることが利点としてあげられる。そのため, 新幹線や大容量ポンプ等の中電圧アプリケーションに適用されている。さらに, その一方で, 低圧の用途においても効率や低ノイズの観点からマルチレベル電力変換器は有効であり, 太陽光発電用の系統連系インバータやUPSなどに応用する動きがある⁽²⁾。

代表的なマルチレベル変換器の回路構成として, 中性点クランプ(以下NPC)方式と, フライングキャパシタ(以下FC)方式があげられる⁽¹⁾⁽⁴⁾。NPC方式は, ダイオードによって中性点電圧をクランプすることで複数の電圧レベルを出力する。しかし, 出力レベルに応じてスイッチング素子が増加するため, 各スイッチング素子の損失増加が懸念される。FC方式は, 直流リンクコンデンサとFC電圧を合成することで複数の電圧レベルを出力する。しかし, レベル数の増加に伴い, コンデンサが多数必要となり, 各コンデンサの電圧バランス制御が困難になる。

そこで筆者らは, マルチレベル電力変換器の一方式として, 5レベルアクティブ中性点クランプ形(以下ANPC)インバータに注目している⁽³⁾。ANPC方式は, NPC方式とFC方式を組み合わせた回路構成となっており, 従来方式と比較すると, 主回路を構成する素子数が少なく, 従来方式の短

所を解決でき, 低コスト化, 高効率化が期待できる。

しかし, マルチレベル電力変換器を低圧用途に用いるためには, 2レベル変換器よりも高効率であることが要求される。変換器の効率や損失を検討する手段として損失シミュレーションがあげられる。しかし, 損失シミュレーションではある条件での損失は確認できるが, 損失最小点の検討など最適設計には大量のカットアンドトライが必要であり, 変換器の最適設計の手段として有効であると考えにくい。

筆者らは, ANPC方式の最適設計の指針を明確に示すことを目的としてこれまで研究を行っている⁽⁵⁾。特に高効率化の検討として5レベルANPCインバータ回路の損失の定式化を行ってきた。しかし, これまでの解析では, 動作条件が負荷力率1に限定されたり, 使用素子がMOSFETに限られるなど限定条件が多くあった。

本論文では, ANPC方式の損失を一般化し, 負荷力率や使用素子に応じて損失を算定する方法を確立した。さらに素子の一つであるコンデンサに注目し, コンデンサのパラメータ設計, 損失, パワー密度について検討を行う。本稿では, まず, 5レベルANPCインバータの損失の定式化を行い, 実機の損失の評価と比較し, 妥当性を示す。次に, コンデンサパラメータ設計及び選定指針の検討を行ったので報告する。

2. 5レベルANPCインバータの動作原理

Fig.1に5レベルANPCインバータの回路図を示す。Fig.1より, 5レベルANPCインバータ回路は一相あたり8つの素子と3つのキャパシタで構成される。フライングキャパシ

タ C_1 に $1/4E_{dc}$ の電圧が、直流平滑キャパシタ C_2, C_3 に $1/2E_{dc}$ の電圧がクランプされており、これらの電圧をスイッチングによって、加減算を行い複数レベルの電圧を出力する。

ANPC 回路の特徴は、①電源側のスイッチング素子群 Cell2($S_5 \sim S_8$)は Cell1($S_1 \sim S_4$)のスイッチに比べ 2 倍の耐圧が必要となるが、スイッチング周波数は出力周波数と同じ周波数であるので Cell2 のスイッチング損失はほとんど発生しないこと、②フライングキャパシタ C_1 の電圧が制御可能なので電圧バランス回路が不要であること、があげられる。よって、最適な素子を選定することで効率の向上が期待できる。

3. 制御方式

Fig.2 に ANPC 回路の PWM 信号生成法を示す。これは、フライングキャパシタ方式の PWM 信号生成法を応用したものである。Fig.2 より、Cell1 のゲート信号は正弦波指令値と位相が互いに反転した 2 本の三角波を比較して PWM 信号を得る。本制御方式におけるデューティ比 D_{ref} は(1), (2)式で得られる。

$$\text{指令値 正の半周期: } D_{ref} = 2a \sin \theta - 1 \quad (0 \leq \theta \leq \pi) \dots \dots (1)$$

$$\text{指令値 負の半周期: } D_{ref} = 2a \sin \theta + 1 \quad (\pi \leq \theta \leq 2\pi) \dots \dots (2)$$

ここで、 a は指令値の振幅、 θ は任意の出力角度である。また、Cell2 のスイッチング素子は電圧指令値の極性判定を行い、正の半周期で S_5, S_7 を、負の半周期で S_6, S_8 を導通させる。また、フライングキャパシタの充放電モードをキャリア周期毎に選択するため、キャリア周波数の応答でコンデンサの電圧のバランスをとりながら、電圧指令値に追従したマルチレベル電圧が出力できる。

4. 損失の算定

〈4.1〉 損失計算法

5 レベル ANPC インバータの損失計算について説明する。電力損失は以下の条件で計算を行う。

- 1) 負荷電流リップルは無視できる(電流源負荷とみなせる)
- 2) コンデンサのリップル電圧は無視できる(直流電圧源とみなせる)

5 レベル ANPC インバータの電力損失 P_{Loss} は各部の損失より、(3)式で定義できる。

$$P_{Loss} = P_{Cell1} + P_{Cell2} + P_{FC} + 2P_{CDC} \dots \dots (3)$$

ここで、 P_{Cell1} は Cell1 の損失、 P_{Cell2} は Cell2 の損失、 P_{FC} はフライングキャパシタの損失、 P_{CDC} は直流平滑キャパシタの損失である。以下、各部の損失について検討する。

〈4.1.1〉 Cell1 の損失

A. 導通損失

導通損失は、スイッチ(IGBT, MOSFET)側とダイオード側に発生する損失に分けることができる。ここで、素子に流

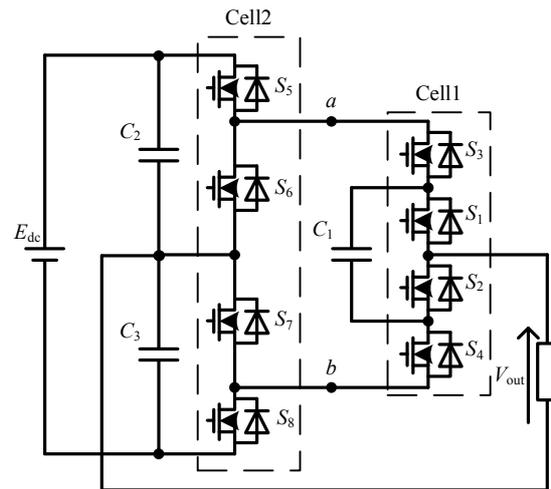


Fig.1. Single phase 5-level ANPC inverter circuit topology.

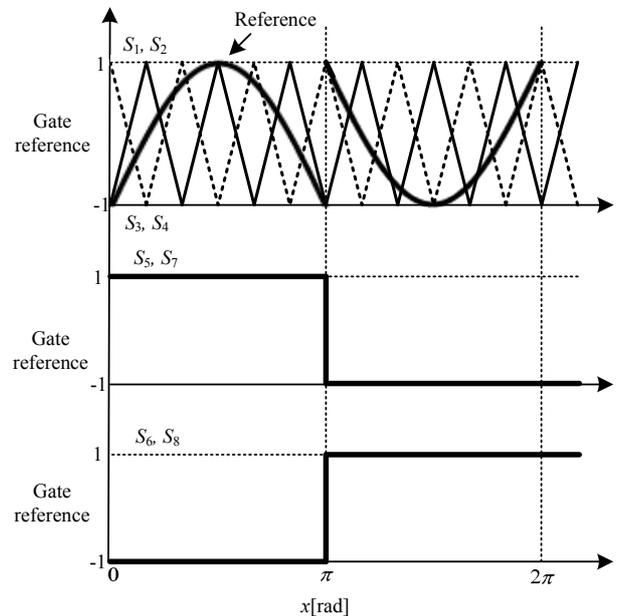


Fig.2. Gate signals.

れる正の電流はすべてスイッチ側に、負の電流は FWD 側を流れると仮定する。また、MOSFET の場合、オン抵抗が小さければスイッチ側に正負両方向に電流が流れる。しかし、FWD のオン電圧特性を MOSFET と同一にすることで検討が可能となるので、電流方向により規定する。

正弦波三角波比較方式を前提とすると、Cell1 の導通損失の平均値 P_{Switch} は、スイッチのオン電圧とスイッチに流れる電流から導出することができそれぞれ(4)~(6)式にて表せる。

$$P_{Switch} = \frac{1}{2\pi} \int_{\phi}^{\pi-\phi} v_{on} i_{sw1} dx \dots \dots (4)$$

$$v_{on} = r_{on} I + v_0 \dots \dots (5)$$

$$i_{sw1} = I_m \sin(\theta + \phi) D_{ref} \dots \dots (6)$$

ここで、 v_{on} はスイッチのオン電圧、 i_{sw1} は素子に流れる電流、 r_{on} はスイッチのオン抵抗、 I は素子に流れる電流、 v_0

は 0A の時のオン電圧降下, I_m は負荷電流ピーク値である。また, IGBT のオン電圧は PN 接合による電圧降下と抵抗分にある電圧降下として, (5)式にて表現しているが, MOSFET は抵抗特性であるため, (5)式において $v_0=0$ とすれば表現できる。

以上より, Cell1 の素子 1 つに発生する順方向の導通損失 P_{On_Sw1} は(4)式に(5), (6)式を代入して整理すると, (7)式にて得られる。

$$P_{On_Sw1} = I_m \left(\frac{v_0}{2\pi} - \frac{1}{2} v_0 \cos\phi + \frac{1}{8\pi} I_m r \sin 2\phi - \frac{1}{4\pi} I_m r \phi + \frac{2}{3\pi} I_m a r \cos\phi + \frac{1}{4} a v_0 \cos\phi \right) \dots\dots\dots (7)$$

一方, FWD 側の損失 P_{On_FWD1} は出力電流の極性が負であることに注意して(8)式で導出することができる。

$$P_{On_FWD1} = I_m \left(\frac{v_0}{2\pi} + \frac{1}{2} v_0 \cos\phi + \frac{1}{8\pi} I_m r \sin 2\phi + \frac{1}{4\pi} I_m r + \frac{1}{4\pi} I_m r \phi - \frac{2}{3\pi} I_m a r \cos\phi - \frac{1}{4} a v_0 \cos\phi \right) \dots\dots\dots (8)$$

B.スイッチング損失

スイッチング損失はスイッチに印加される電圧とスイッチに流れる電流に比例すると仮定する。このとき, Cell1 のスイッチング損失 P_{sw1} はデューティ比によらず, 流れる電流とスイッチング回数に依存するので, (9)式で導出することができる。

$$P_{sw1} = \frac{1}{4\pi} E_{dc} I_m (e_{on} + e_{off}) f_c \dots\dots\dots (9)$$

ここで, E_{dc} は入力電圧, e_{on} はスイッチング 1 回のターンオン損失(J), e_{off} はターンオフ損失(J), f_c はキャリア周波数である。

また, FWD のリカバリ損失 P_{Rec1} も(9)式と同様に導出することができる(10)式のように導出することができる。

$$P_{Rec1} = \frac{1}{4\pi} V_{dc} I_m e_{rr} f_c \dots\dots\dots (10)$$

ここで, e_{rr} はリカバリ損失(J)である。

〈4・1・2〉 Cell2 の損失

A.導通損失

Cell2 の導通損失は, Cell1 の考え方と同様に導出することができる。ただし, Cell2 素子の中で, S_5, S_7 は出力電圧指令値が正の時にオン, S_6, S_8 は出力電圧指令値が負の時にオンするため, スイッチ電流が異なる。従って, Cell1 のスイッチ電流を用いて S_5, S_7 に流れるスイッチ電流 i_{sw2A} は(11)式で, S_6, S_8 に流れるスイッチ電流 i_{sw2B} は(12)式で得られる。

$$i_{sw2A} = I_m \sin(\theta + \phi) \sin\theta \dots\dots\dots (11)$$

$$i_{sw2B} = I_m \sin(\theta + \phi) \sin\theta \dots\dots\dots (12)$$

S_5, S_7 のスイッチ側の導通損失 P_{On_Sw2A} は, (11)式を(4)式に代入して(13)式のように得られる。

$$P_{On_Sw2A} = \frac{1}{2\pi} \left[a r \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos\phi + \frac{1}{2} \right) I_m^2 + a v_0 \left(\frac{1}{2} \pi \cos\phi - \frac{1}{2} \sin\phi + \frac{1}{2} \phi \cos\phi \right) I_m \right] \dots\dots\dots (13)$$

同様に, S_5, S_7 の FWD 側の導通損失 P_{On_FWD2A} は, 逆方向に流れる電流から, (14)式で導出することができる。

$$P_{On_FWD2A} = \frac{1}{12\pi} \left\{ I_m a (8 I_m r \sin\left(\frac{\phi}{2}\right)^4 - 3 v_0 \sin\phi + 3 \phi v_0 \cos\phi) \right\} \dots\dots\dots (14)$$

同様に, S_6, S_8 のスイッチ側の導通損失と FWD 側の導通損失は, S_6, S_8 の電流の流れる期間が異なることを考慮すると, それぞれ, (15), (16)式で導出できる。

$$P_{On_Sw2B} = \frac{1}{2\pi} \left[I_m v_0 (\cos\phi + 1) + I_m^2 r \left(\frac{\pi}{2} + \frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m a v_0 \left(\frac{\pi}{2} \cos\phi \right) - \frac{1}{2} \sin\phi + \frac{1}{2} \phi \cos\phi \right] \dots\dots\dots (15)$$

$$P_{On_FWD2B} = \frac{1}{2\pi} \left[I_m^2 r \left(\frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m v_0 + I_m v_0 \cos\phi - \frac{1}{2} I_m a v_0 (\sin\phi - \phi \cos\phi) \right] \dots\dots\dots (16)$$

B.スイッチング損失

Cell2 のスイッチング損失は, Cell2 のスイッチが出力周波数でスイッチングを行うため, キャリア周波数と同じ周波数でスイッチングする Cell1 のスイッチング損失と比較して, Cell2 のスイッチング損失は十分小さく無視できる。

〈4・1・3〉 フライイングキャパシタの損失

フライイングキャパシタの損失 P_{FC} は, 等価直列抵抗(以下 ESR)に発生する。 P_{FC} は(17)式で計算できる⁽⁶⁾。

$$P_{FC} = I_{rms_FC}^2 R_{FC} \dots\dots\dots (17)$$

ここで, I_{rms_FC} はフライイングキャパシタに流れるリップル電流実効値, R_{FC} はフライイングキャパシタの ESR である。 I_{rms_FC} は, 負荷力率と変調率の関数となる。スイッチング周波数帯リップルは非線形のため, 一般的に解くことはできない。そこで, シミュレーションにより, 電流実効値, 負荷力率と変量率の関係を求める。その結果, I_{rms_FC} は(18)式で, R_{FC} は(19)式で導出することができる。

$$I_{rms_FC} = K_{cf} I_{peak} \frac{1}{F_{fn}} \dots\dots\dots (18)$$

$$R_{FC} = \frac{\tan\delta}{2\pi f C} \frac{1}{F_{fn}} \dots\dots\dots (19)$$

ここで, K_{cf} はシミュレーションで求めたフライイングキャパシタの電流実効値係数であり, Fig.3(a)に示す値である。 K_{cf} は, 変調率 a と負荷力率角 ϕ によって決定される。 $\tan\delta$ は損失角の正接である。この $\tan\delta$ は 120Hz で正規化されているため, I_{rms_FC}, R_{FC} は 120Hz を基準とした値に換算する必要がある⁽⁶⁾。(18), (19)式中の F_{fn} は周波数補正係数であり, これを用いることで, I_{rms_FC}, R_{FC} は 120Hz を基準とした値に換算することができる。

〈4・1・4〉 直流平滑キャパシタの損失

直流平滑キャパシタの損失 P_{CDC} はフライイングキャパシタの損失と同様の手順で(20)式~(22)式で計算できる。

$$P_{CDC} = I_{rms_CDC}^2 R_{CDC} \dots\dots\dots (20)$$

$$I_{rms_CDC} = K_{cdc} I_{peak} \frac{1}{F_{fn}} \dots\dots\dots (21)$$

$$R_{CDC} = \frac{\tan \delta}{2\pi f C} \frac{1}{F_{fn}} \dots\dots\dots (22)$$

ここで、 I_{rms_CDC} は直流平滑キャパシタに流れるリップル電流実効値、 R_{CDC} は直流平滑キャパシタの ESR、 K_{cdc} は直流平滑キャパシタの実効値係数である。 K_{cdc} は Fig.3(b)より得られる。

〈4・2〉 実験による損失測定

4.1 で導出した ANPC 変換器中の素子に発生する損失計算方法の妥当性を確認するために実機実験を行い、実験での損失と理論式による損失が一致しているか確認を行った。Table1 に実験条件を示す。

Fig.4 に負荷を 200W から 1100W まで変化させたときの 5 レベル ANPC インバータの効率特性を示す。Fig.4 よりすべての測定範囲において効率 98%以上を達成し、450W のとき最高効率 98.9%であることを確認した。

Fig.5 に実験と理論値の損失を比較した結果を示す。Fig.5 より、推定した損失と実測の誤差は最大 1.9W(450W 時)であった。

Fig.6 にスイッチに発生する損失の解析結果を示す。Fig.6 より 5 レベル ANPC インバータの損失は導通損失が支配的であることがわかる。

5. コンデンサの選定

〈5・1〉 コンデンサの設計

〈5・1・1〉 フライイングキャパシタの容量設計

フライイングキャパシタ容量 C_1 は、 C_1 に流れる電流とリップル電圧 ΔV_c 、フライイングキャパシタの充電もしくは放電時の電圧時間積から導出することができる。フライイングキャパシタの電圧はキャリア周期で充電もしくは放電を行うため、電圧時間積は同じとしてどちらか一方だけ考えればよい。従って、 C_1 は(23)式によって求めることができる。

$$C_1 = \frac{I_{peak} T}{8\Delta V_{c1}} \frac{V_{DC}}{V_m} \dots\dots\dots (23)$$

ここで、 I_{peak} は負荷電流ピーク値、 T はキャリア周期、 ΔV_{c1} はフライイングキャパシタの電圧リップル、 V_{DC} は直流電圧、 V_m は出力電圧最大値である。

〈5・1・2〉 直流平滑キャパシタの容量設計

ANPC 方式は、直流中点電位を使用するため、直流平滑キャパシタ C_2 、 C_3 を直列に接続する。 C_2 、 C_3 は直流中点電位の変動を元に、直流平滑キャパシタの電圧リップル ΔV_{cn} と直流中点に流れる電流から(24)式で導出することができる。

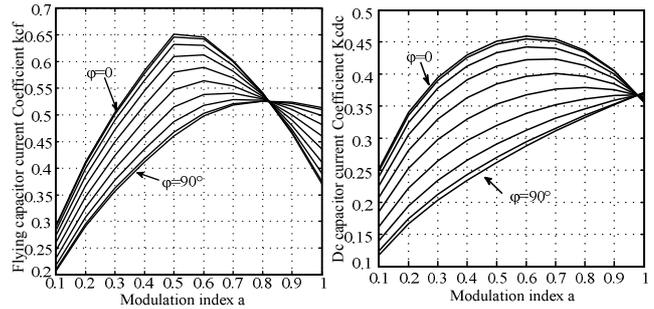
$$C_2 = \frac{V_m}{2\omega\Delta V_{cn} V_{DC}} I_{peak} \left(\sqrt{3} - \frac{\pi}{3} \right) \dots\dots\dots (24)$$

C_3 も同様に求めることができる。

〈5・2〉 コンデンサの選定指針に関する検討

コンデンサは、静電容量、耐圧に加え、許容リップル電流を満足しなければならない。これらを満足しつつ、体積最小となる最適設計指針を検討する。

Fig.7 にコンデンサの選定フローチャートを示す。設計仕



(a) Flying capacitor (b) DC smoothing capacitor

Fig.3. Current Coefficient.

Table 1 Experimental parameters.

(a) Circuit parameter			
Input voltage	283V	Carrier frequency	10kHz
Output current	10A	RL load	resistance 8.78Ω
Rated power	1.0kW		inductance 2mH
Output frequency	50Hz		
(b) MOSFET parameter 1 (S ₁ -S ₄)			
On resistance	8mΩ (125 deg C)	Body-Drain diode forward voltage	1.3V
Rise time	105ns	Body-Drain diode reverse recovery time	130ns
Fall time	74ns	Switching Device	IRFP4668pBF (IR)
(c) MOSFET parameter 2 (S ₅ -S ₈)			
On resistance	18mΩ (125 deg C)	Body-Drain diode forward voltage	1.3V
Rise time	29ns	Body-Drain diode reverse recovery time	200ns
Fall time	16ns	Switching Device	IXFB170N30P (IXYS)
(d) Flying Capacitor parameter			
	Flying Capacitor	DC smoothing capacitor	
Capacity	100μF	4700μF	
tanδ	0.2	0.15	
Rated ripple current	0.69Arms	15.9Arms	
Device	LGU2W101MELA (nichicon)	FXA2G472YD (Hitachi)	

様を入力として Fig.7 に示す手順で選定を行うことで、コンデンサの選定が可能となる。設計仕様は、コンデンサの電圧リップル ΔV_n 、出力電圧 V_{out} 、入力電圧 V_{dc} 、出力電流最大値 I_{peak} からなる。まず、設計するコンデンサの周波数を決め、仕様に基づいてフローチャートからコンデンサの容量 C_n 、耐圧、リップル電流 I_{rip} を求める。 C_n は(23)式及び(24)式で得られる。耐圧は、コンデンサの印加電圧の 3/2 倍を目安とする。リップル電流は(18)式及び(21)式を用いて得られる。設計したパラメータを基に、コンデンサの許容リップル電流、体積、容量の順に設計値を満足するコンデンサを選定する。ここで、設計したパラメータの許容リップル電流を I_{rip} 、体積を Vol とし、データシートの許容リップル電流を I_{rip_data} 、体積を Vol_data 、容量を C_{data} とした。次節にて、実際に Table1(a) の仕様を基に、コンデンサの設計及び選定を行う。

Table2 に選定に用いたコンデンサを示す。電解コンデンサはエネルギー当たりの体積が小さく、コストが他のコンデンサに比べ安価であるという特徴があげられる。一方、フィルムコンデンサは、高耐圧、低 ESR といった特徴があ

げられる。

選定に当たって、コンデンサ単体では選定条件を満たすことが難しいため、フライングキャパシタは素子を2並列に、直流平滑キャパシタは3並列にして検討している。また、選定に用いるフィルムコンデンサの耐圧は250Vであるが、容量と許容電流リップルの観点からフライングキャパシタに使用すると検討する。

Fig.8にTable3のコンデンサシリーズのキャパシタ容量に対するリップル電流を、Fig.9にTable3のコンデンサシリーズの体積に対するリップル電流を、そして、Fig.10にTable3のコンデンサシリーズの体積に対するリップル電流を示す。これらの図を用いて、設計値を満たすようなコンデンサの選定を行う。まず、Fig.8において、設計したキャパシタ容量とリップル電流のうち、どちらが支配的かを判断する。次に、Fig.9, 10にて、キャパシタ容量もしくは、許容リップル電流を満たす最小の体積のコンデンサを選択する。

Table3にFig.7を用いてTable1(a)を仕様としてコンデンサの

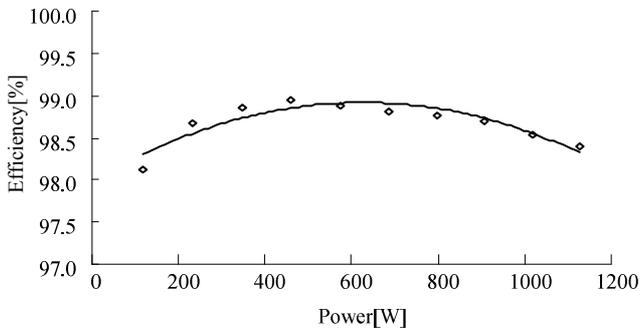


Fig.4. Efficiency of the ANPC inverter (Experimental results).

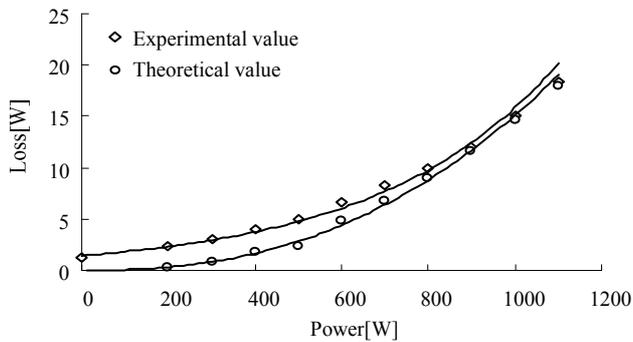


Fig.5. Loss of the ANPC inverter.

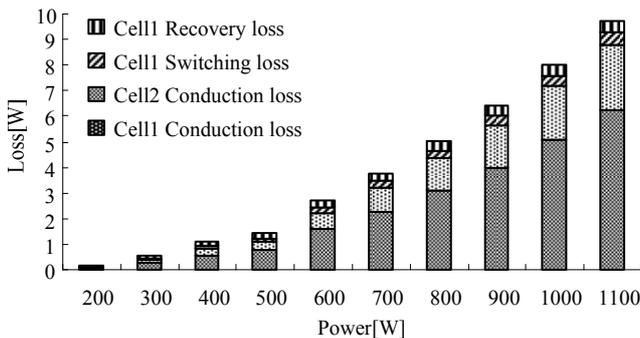


Fig.6. Loss analysis.

パラメータを設計、選定した結果を示す。選定の際、コンデンサの市販品の耐圧や許容リップル電流は系列化されているため、今回設計したコンデンサを満足する素子はない。そこで、市販品の中で選定条件に近いものを候補とした。Table3よりフライングキャパシタの選定を行った結果、電解コンデンサは許容リップル電流で支配され、フィルムコンデンサは静電容量で支配されることがわかった。フィルムコンデンサを使用する場合、電解コンデンサと比較して、体積が2倍になるが容量を約1/37にできる。Table2より平滑キャパシタの選定もフライングキャパシタの場合と同様に行った結果、リップル電流の制約から5倍の容量を選定した。

〈5・3〉コンデンサ体積に対する効率の検討

これまでの結果を用いて、スイッチング周波数に対する効率と体積の検討を行う。変換器の仕様はTable 1(a)の条件とし、出力周波数を50Hzとしてスイッチング周波数を1kHzから100kHzまで変化させた場合の効率を検討する。

Fig.11(a)にスイッチング周波数を1k~100kHzまで変化させたときのフライングキャパシタ容量設計値を、Fig.11(b)に出力周波数を1~100Hzまで変化させたときのDC平滑キャパシタ容量設計値を示す。Fig.11より、各周波数のコンデンサ容量に対して、Fig.7の設計チャートを用いてキャパシタの選定を行い、それぞれの効率と体積を検討する。キャパシタは、電解コンデンサから選定を行った。

Fig.12にスイッチング周波数を変化させたときの効率特性を示す。Fig.12より、全てのスイッチング周波数において効率が98.5%以上の変換器が設計可能であることがわかる。高周波領域において効率が低下するのは、スイッチング損失が、周波数に比例して増加しているためである。

Fig.13にスイッチング周波数を変化させたときのフライングキャパシタの体積を示す。1kHz付近では99cm³、

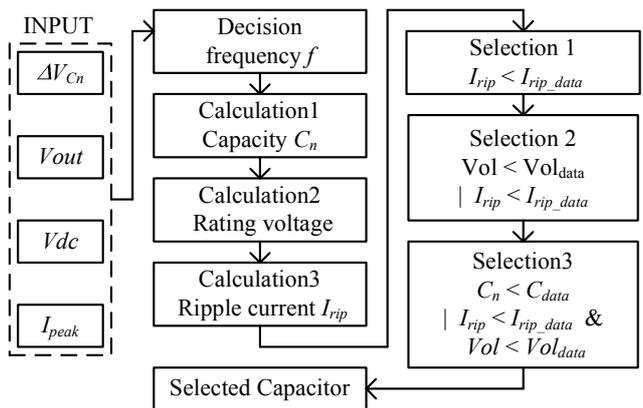


Fig.7. Design produce flowchart.

Table 2 Capacitor.

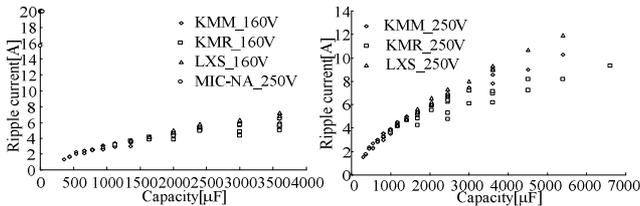
Manufacturer	Category	Series
NIPPON CHEMI-CON	Electrolytic capacitor	KMM
		KMR
		LXS
SHIZUKI	Film capacitor	MIC-NA

100kHz 付近では 91.5cm³ の体積になることがわかる。つまり、フライングキャパシタは電解コンデンサを使用するとリップル電流の観点からほとんど小型化できない。

6. 結論

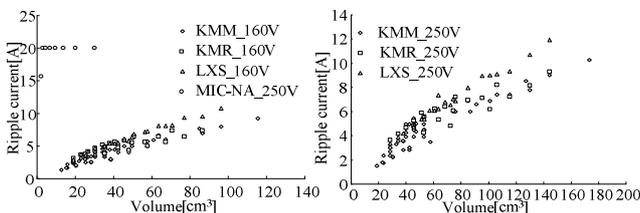
本論文では、ANPC 方式のパラメータ設計の指針を明確に示すことを目的として効率、体積の観点から損失とコンデンサの選定について検討を行った。損失に関しては、変換器の素子の損失計算法を導出し、実機実験と比較を行った。実験では、変換器最高効率が 98.9%(P_{out} :450W 時)を確認した。また、実験の損失と理論損失を比較したところ 2W の誤差となった。コンデンサの選定については、選定フローチャートを示し、スイッチング周波数が 1kHz から 100kHz の範囲において、効率 98.5%以上の変換器が設計可能であることを示した。

今後は、変換器のヒートシンク設計について検討し、変換器の効率とパワー密度、それぞれに応じた設計方法について検討する予定である。



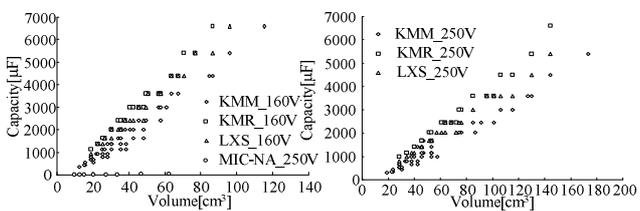
(a) Flying capacitor (b) DC smoothing capacitor

Fig.8. Relations between Ripple current and Capacity.



(a) Flying capacitor (b) DC smoothing capacitor

Fig.9. Relations between Ripple current and Volume.



(a) Flying capacitor (b) DC smoothing capacitor

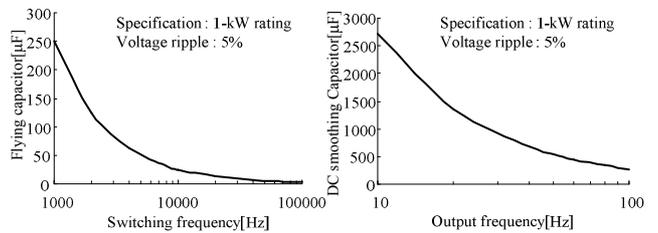
Fig.10. Relations between Capacity and Volume.

文 献

- (1) F. Z. Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (2) 山田正樹 他: 「階調制御型瞬停補償装置の提案」, 電学論 D, 125 巻 2 号, pp119-125 (2005)
- (3) Barbosa, P.; Steimer, P.; Steinke, J.; Meysenc, L.; Winkelnkemper, M.; Celanovic, N: "Active Neutral-point-Clamped Multilevel Converter", Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th 16-16 June 2005 Page(s):2296 – 2301

Table 3 Capacitor parameters.

	Flying Capacitor			DC smoothing capacitor	
	Design value	Selected value		Design value	Selected value
Voltage rating	160V	160V	250V	250V	250V
Capacity	25μF	1120μF	30μF	545μF	2460μF
Rated ripple Current(120Hz)	3.7A	4.1A	20A	6.4A	6.7A
Volume		30.4cm ³	62.3cm ³		68.4cm ³
Device		KMR	MIC-NA		LXS



(a) Flying capacitor (b) DC smoothing capacitor

Fig.11. Relations between Capacitors and frequency.

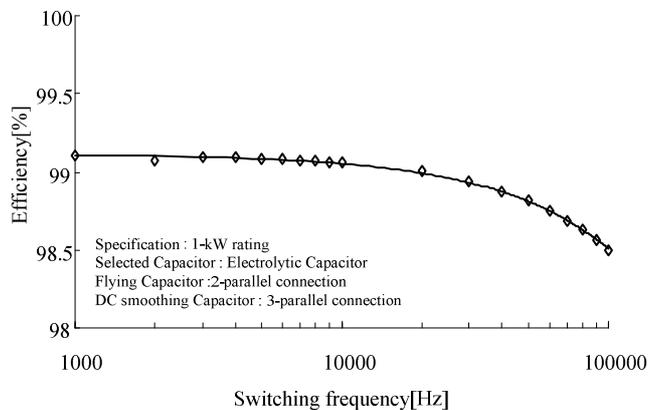


Fig.12. Relations between the Efficiency and Switching frequency.

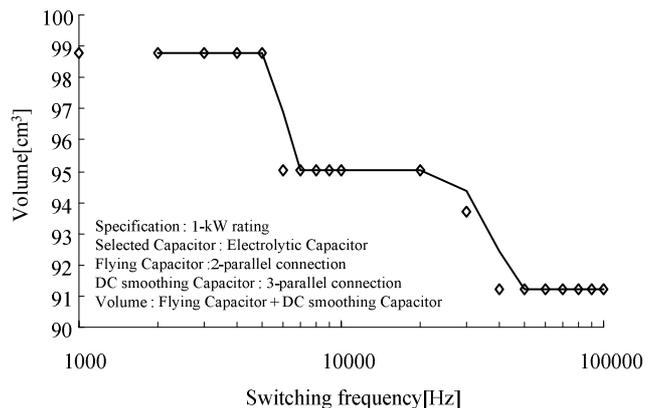


Fig.13. Relations between the Volume and Switching frequency.

- (4) 釜我 晶武, 成 慶珉 他 「フライングキャパシタマルチレベル電力変換器の集積化の基礎検討」平成 20 年電気学会産業応用部門大会, pp.I-373-I-376 (2008)
- (5) Y. kashihara, J. Itoh : "Loss analysis of 5-level Active NPC Inverter using phase-shift control method", Korea-Japan Joint Technical Workshop on Semiconductor Power Converter, pp.79-82 (2010)
- (6) (株)日本ケミコン: テクニカルノート <http://www.chemi-con.co.jp/catalog/pdf/al-j/al-sepa-j/001-guide/al-technote-j-090901.pdf>