

# スイッチドキャパシタ形 3 レベル DC-DC コンバータの損失評価

学生員 松浦 浩一 正員 伊東 淳一 (長岡技術科学大学)

## A Loss Analysis of a 3-Level switched capacitor DC-DC Converter

Koichi Matsuura, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

The loss analysis of a switched capacitor converter (SCC) with a boost reactor will be discussed in this paper. The proposed SCC can deliver an output voltage independent from the circuit construction comparing to other voltage control methods. The main feature of this circuit is that most of the energy for the boost up function is transferred from a flying capacitor which results the inductance of an input reactor can be reduced. The reactor size of the proposed SCC is smaller than that of the conventional boost converters, which consists of two switching devices and a boost reactor. A 1000-W- 3-level SCC prototype has been built and tested. The efficiency achieves 97.8% with a 3 times boost ratio at 1000 W. Moreover, the main losses of a proposed SCC are a conduction loss of a Diode from the analysis results.

キーワード : DC-DC コンバータ, スイッチドキャパシタコンバータ, 昇圧コンバータ

Keywords : DC-DC converter, Switched capacitor converter, Boost converter.

### 1. はじめに

電気自動車や太陽光発電システムなどで大容量な DC-DC コンバータが要求される。従来のチョップ形 DC-DC コンバータでは、大容量化に際してリアクトルに蓄積するエネルギーが多くなることから、電流を連続で制御するためには大きなインダクタンスが必要となる。その結果、リアクトルの大型化、損失増加が問題となる。一方、リアクトルを必要としない DC-DC コンバータとして、スイッチドキャパシタコンバータ(以下、SCC)が注目されている。これは、従来の DC-DC コンバータと異なり、フライングキャパシタの充放電を利用して、昇圧または降圧を行う回路である。キャパシタはリアクトルよりもエネルギー蓄積密度が高いため、回路の小型化、軽量化が可能であり、主に小容量の回路で利用されている。しかし、SCCには2つの欠点がある。1つは、フライングキャパシタに振幅の大きなスパイク電流が発生することである。そのため効率低下が問題となり、大容量への応用が困難である。2つ目は、出力電圧の制御ができず、かつ、出力電圧が回路構成に依存することである。スイッチとフライングキャパシタを追加し、レベル数  $n$  を多段化することで、出力電圧は高くできるが、入力電圧の  $(n-1)$ 倍以上の電圧を出力することはできない。以上のことから、応用範囲が限定される。

一方、数十 W から数 kW 程度の電力変換に適した SCC の研究が近年盛んに行われている<sup>(1)-(8)</sup>。特に共振形 SCC(以下、

RSCC)は有力な手段である<sup>(4),(5),(7)-(10)</sup>。この方法は、共振リアクトルをフライングキャパシタと直列接続することで直列共振回路を構成し、ソフトスイッチングとスパイク電流のピーク値抑制を行う。RSCC の制御法として、位相シフト<sup>(7),(8)</sup>、デューティ比<sup>(9)</sup>、スイッチング周波数<sup>(10)</sup>により出力電圧を制御する方法が提案されているが、いずれの制御方法も  $(n-1)$ 倍前後の制御であり、回路構成に依存しない出力電圧の制御について詳しく報告されていない。よってこれまでの制御法では、電圧制御範囲が狭い問題が依然残っていると考えられる。

本論文では、電圧制御を行うため、SCC に昇圧リアクトルを接続したマルチレベル DC-DC コンバータ(以下、電圧制御形 SCC)を検討し、解析と実験によりその特性を明らかにする。本回路は SCC の入力側にリアクトルを追加した構成となっており、リアクトル電流が連続である期間であれば、出力電圧の制御が可能である。また、回路の電流は入力電流のピーク値で制限されるため、大きなスパイク電流も発生しない。主な特徴は、昇圧のためのエネルギー蓄積の大部分をリアクトルでなく、キャパシタを利用して行うことである。そのため、インダクタンスを低減できる<sup>(11)</sup>。

ここでは、まず、SCC の原理について述べ、次にリアクトルの設計について述べる。さらに、リアクトルの体積について検討し、従来回路に対する優位性を示す。最後に 1kW-3 レベル電圧制御形 SCC の実機実験を行い、効率特性の評価と発生損失について解析を行う。その結果、3倍昇圧、

負荷 1kW において、効率 97.7%を得ており、検討回路の有用性を確認したので報告する。

## 2. 原理

### 〈2-1〉スイッチドキャパシタコンバータ

図 1 に昇圧形 3 レベル SCC の回路図を示す。この回路はフライングキャパシタ  $C$  の充放電により、負荷に出力電圧  $V_{out}=2V_{in}$  の電圧を供給する。従来形 DC-DC コンバータと比較すると、リアクトルが不要で小型化、軽量化が期待できる。

図 2 に 3 レベル SCC のデューティ 50% で動作したときのスイッチングパターンとそれぞれのパターンにおける動作回路を示す。SCC の動作モードは (I) 入力電圧  $V_{in}$  で  $C$  を充電するモードと、(II)  $C$  を負荷に放電するモードの 2 つに大別される。モード (I) ではスイッチは  $S_2$  と  $S_4$  がオン状態であり、フライングキャパシタ  $C$  は入力電圧  $V_{in}$  で充電される。従ってフライングキャパシタ電圧  $V_C$  は  $V_C=V_{in}$  となる。次にモード (II) では、スイッチ  $S_1$ ,  $S_3$  がオン状態であり、フライングキャパシタ  $C$  は入力電圧  $V_{in}$  と直列に接続される。 $V_C$  は、モード (I) で入力電圧  $V_{in}$  により充電されているため、負荷へは  $2V_{in}$  の電圧が供給される。従って、3 レベル SCC の出力電圧  $V_{out}$  は (1) 式で表される。

$$V_{out} = 2V_{in} \dots\dots\dots (1)$$

### 〈2-2〉3 レベル電圧制御形 SCC

図 3 に検討する 3 レベル電圧制御形 SCC の回路図を示す。本回路は、3 レベル SCC と同様に、4 つの半導体素子と 1 つのフライングキャパシタの構成である。さらに入力側にスパイク電流抑制かつ電圧制御用の昇圧リアクトル  $L$  を接続する。昇圧リアクトルの追加により、3 レベル SCC では 2 倍までしか昇圧できない出力電圧を、2 倍以上に昇圧することができる。

(2) 式に出力電圧の式を示す。ここで  $\lambda$  はデューティ ( $\lambda = T_{on}/T$ ) である。昇圧チョップを元に構成しているため、出力電圧は SCC と比べ広い範囲で制御できる。

$$V_{out} = \frac{1}{1-\lambda} V_{in} \dots\dots\dots (2)$$

本回路はエネルギーの大部分をキャパシタにより伝送する。そのため、電圧制御形 SCC は昇圧チョップと同様の昇圧比を持ちつつ、インダクタンスを低減できる。なお、フライングキャパシタ電圧は、フライングキャパシタの充電時間と放電時間が等しければ、出力電圧の半分の電圧でバランスする。

また、昇圧チョップよりも必要な素子数は多いが、低耐圧な素子を使用できるため、半導体損失の低減も可能である<sup>(12)</sup>。さらに多レベル化することで、高電圧用途への応用も有利になる。

3 レベル電圧制御形 SCC は、昇圧チョップと同様に三角波キャリア比較により制御できる。ただし、昇圧チョップと異なり、三角波キャリアを 2 本用いて、それらに 180 度の位相差を持たせる必要がある。

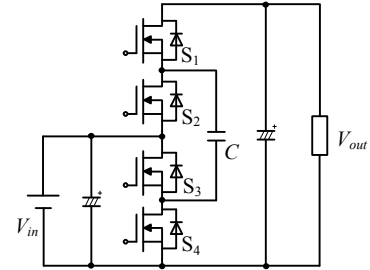
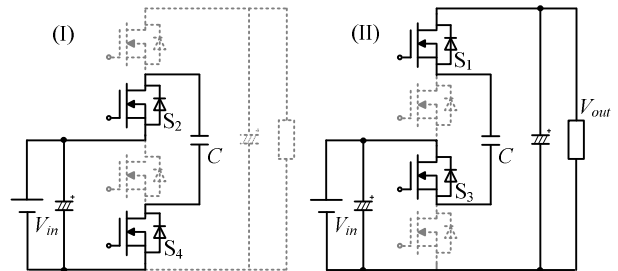


図 1 昇圧形 3 レベル SCC

Fig. 1. Boost type 3 level switched capacitor converter.

$S_{1, S_3}$	ON	OFF	ON		State	$S_1$	$S_2$	$S_3$	$S_4$	Mode
					(I)	OFF	ON	OFF	ON	C Charge
$S_{2, S_4}$	OFF	ON	OFF		(II)	ON	OFF	ON	OFF	C Discharge

(a) Switching pattern.



(b) Equivalent circuits.

図 2 3 レベル SCC の動作モード

Fig. 2. Operation mode of the 3 level switched capacitor converter.

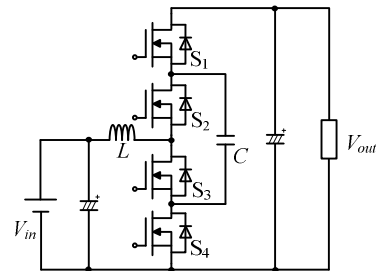


図 3 電圧制御形 3 レベル SCC

Fig. 3. 3 level output voltage control SCC.

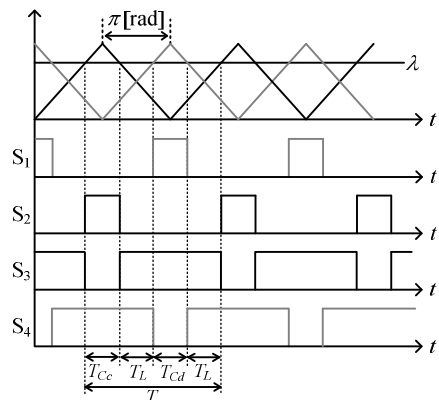


図 4 3 レベル電圧制御形 SCC のスイッチングパターン

Fig. 4. Switching pattern of the 3 level SCC.

図 4 に 3 レベル電圧制御形 SCC のスイッチングパターンを示す。 $S_3$  と  $S_4$  が同時にオン状態になる時間  $T_L$  が、昇圧リアクトル  $L$  にエネルギーを蓄積する時間である。なお  $T_L$  は 1 周期中に 2 回現れる。 $T_{cc}$  と  $T_{cd}$  はそれぞれフライングキャパシタ  $C$  に電荷を充電する時間及び放電する時間である。

電圧制御形 SCC ではキャリアを複数設けるため、昇圧チョップと異なり、中点下側の 2 素子が共にオン状態のときに昇圧リアクトルにエネルギーを蓄積する。

図 5 に検討回路の動作モードを示す。入力側にリアクトルがないときは、電源を短絡するモード(IV)で動作させることはできないが、リアクトルを追加することでこのモードでの動作が可能である。昇圧比が 2 倍よりも小さいとき、モード(I), (II), (III)で動作し、2 倍よりも大きいとき、モード(I), (II), (IV)で動作する。昇圧比が 2 倍のときは、SCC と同様にモード(I), (II)で動作する。

### 3. リアクトルの設計

#### 〈3・1〉設計法

ここでは、入力リアクトルのインダクタンス設計法について説明する。なお、インダクタンスの計算は、入力電流リップルの最大値を仕様として与え、最も入力電流リップルが大きくなる昇圧比の条件において、入力電流リップルが許容値以下になるようにする。

昇圧チョップではスイッチング 1 周期にリアクトルに蓄えるエネルギーと放出するエネルギーが等しいことから、 $L$  にエネルギーを蓄積するときの電流リップルについて検討する。ただし、ここでは、以下の条件で計算する。

- 出力電圧、フライングキャパシタ電圧を一定とする
- 回路中の損失は無視する
- デッドタイムは考慮しない

入力電流リップル  $\Delta I$  は、 $L$  にエネルギーを蓄積する時間  $T_L$  とリアクトル両端電圧  $V_L$  から(3)式にて求められる。

$$\Delta I = V_L \frac{T_L}{L} \dots\dots\dots (3)$$

入力電流リップルは、リアクトル電圧  $V_L$  と昇圧リアクトルにエネルギーを蓄積する時間  $T_L$  の積によって決まる。そのため、2つの積が最大となるときに、入力電流リップルが最大となる。

昇圧チョップで、入力電流リップルが最大となる条件でインダクタンス  $L_{Chopper}$  を計算すると、(3)式より(4)式を得る。

$$L_{Chopper} = \frac{V_{out}}{2} \times \frac{T}{2} \times \frac{1}{\Delta I} \dots\dots\dots (4)$$

ただし、 $V_{out}$  は出力電圧、 $T$  はスイッチング周期である。昇圧チョップでは、昇圧比が 2 倍のときにリップル電流が最大となる。そのため、リアクトル電圧は出力電圧の半分に、エネルギーを蓄積する時間は、デューティ 50%のスイッチング半周期になる。すなわち、 $L$  にエネルギーを蓄える時間と、 $L$  のエネルギーを放出する時間が等しいときに、入力電流リップルは最大となる。

図 6 に、3 レベル電圧制御形 SCC における  $V_L \times T_L$  と昇圧比の関係を示す。縦軸は  $V_L \times T_L$  で規格化し、1.0p.u.のときに、 $V_L \times T_L$  が最大であることを意味する。リアクトル電圧  $V_L$ 、 $L$  にエネルギーを蓄積する時間  $T_L$  は共に昇圧比の変化に伴い変化する。入力電流リップルが最大となる昇圧比は、1.33 倍と 4 倍のときである。

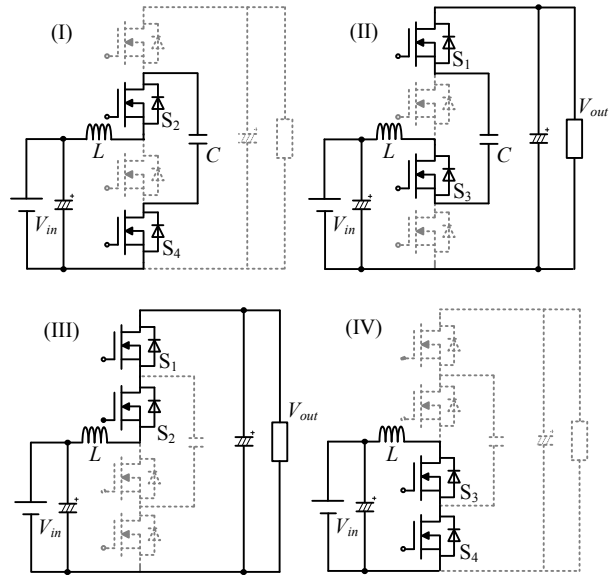


図 5 3 レベル電圧制御形 SCC の動作モード  
Fig. 5. Operation mode of 3 level SCC with input reactor.

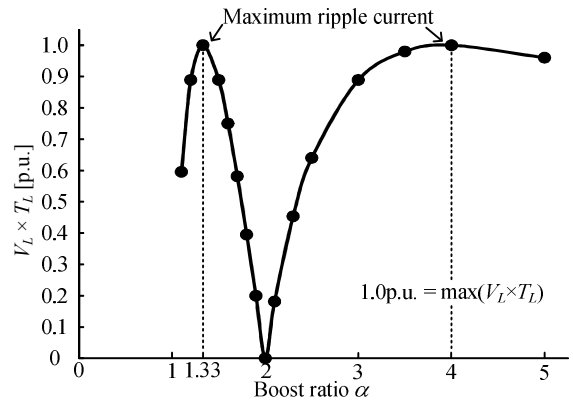


図 6 昇圧比と  $V_L \times T_L$  の関係

Fig. 6. Relationship between boost ratio and  $V_L \times T_L$ .

(4)式を 3 レベル電圧制御形 SCC に拡張すると、(5)式となる。

$$L_{SCC} = \frac{V_{out}}{2 \times 2} \times \frac{T}{2 \times 2} \times \frac{1}{\Delta I} \dots\dots\dots (5)$$

電圧制御形 SCC は、リップル電流の周波数が昇圧チョップの 2 倍になるため、1 回あたりのエネルギー蓄積時間が短くなる。また、フライングキャパシタ電圧が出力電圧の半分の電圧でバランスするため、リアクトル電圧が小さくなる。その結果、昇圧チョップと比べてインダクタンスを 1/4 に低減できる。

図 7 に、昇圧チョップと 3 レベル電圧制御形 SCC のインダクタンスを示す。計算条件は図 7 に示すとおりである。ここでは、入力電流リップルを最大入力電流の 30%として計算している。3 レベル電圧制御形 SCC は、昇圧チョップの 1/4 のインダクタンスで構成できていることがわかる。

#### 〈3・2〉電圧制御形 SCC と昇圧チョップのコア比較

本節では、Area Product<sup>(13)</sup>により 3 レベル電圧制御形 SCC と昇圧チョップの入力リアクトルのコア体積を定量的に比較する。Area Product とは、コア体積をコアの窓面積  $A_{win}$  と断面積  $A_e$  から定量的に評価する手法である<sup>(13)</sup>。Area Product

を用いると、インダクタンスのコア体積は(6)式にて定まる。

$$Vol = K_v \left( \frac{2W}{K_u B_m J_w} \right)^{\frac{3}{4}} \dots \dots \dots (6)$$

ただし、 $K_v$ はコアの形状から決まる定数、 $W$ はリアクトルに蓄える最大エネルギー、 $K_u$ は窓の占積率、 $B_m$ はコアの最大磁束密度、 $J_w$ は巻線の電流密度である。つまり、コア体積はインダクタンスのエネルギーの3/4乗に比例する。

(3・1)節より、3レベル電圧制御形 SCC に必要なインダクタンスは、昇圧チョップの1/4である。そのため、3レベル電圧制御形 SCC と昇圧チョップの昇圧リアクトルに蓄えるべきエネルギーは、それぞれ(7)式、(8)式となる。

$$W_{Chopper} = \frac{1}{2} L_{Chopper} I^2 \dots \dots \dots (7)$$

$$W_{SCC} = \frac{1}{2} L_{SCC} I^2 = \frac{1}{2} \times \frac{L_{Chopper}}{4} I^2 \dots \dots \dots (8)$$

3レベル電圧制御形 SCC と昇圧チョップで同じ材料のコアを使用する場合を想定すると、3レベル電圧制御形 SCC と昇圧チョップの体積比は、(9)式となる。

$$\frac{vol_{chopper}}{vol_{3levelSCC}} = \left( \frac{L_{chopper}}{L_{chopper}/4} \right)^{\frac{3}{4}} = \frac{1}{4} \dots \dots \dots (9)$$

従って、3レベル電圧制御形 SCC の昇圧リアクトルのコア体積は、昇圧チョップのコア体積の約35%で構成できることが予想される。

#### 4. シミュレーション結果

図8に、入力電流リプルが最大となる条件の1つである昇圧比1.33倍での3レベル電圧制御形 SCC のシミュレーション結果を示す。インダクタンスは3章で計算した174μHである。図8より電流リプルは1.7Aであり設計値以内であることが確認できる。また、リアクトル電圧は昇圧チョップ同様の2レベルの方形波電圧が得られている。なお電流リプルは、フライングキャパシタ電圧の充放電に伴う変動と損失によって増加する場合がある。

#### 5. 実験結果

3レベル電圧制御形 SCC の動作確認及び効率特性評価のため実機実験を行った。表1に実験条件を示す。太陽光発電システム用の昇圧コンバータを想定し、図3のS<sub>1</sub>とS<sub>2</sub>には、ファストリカバリダイオードを使用した。また、最大入力電流リプルはこれまでと同様に1.8Aで設計した。なお、損失によるリプル電流増加を考慮し、インダクタンスは30%マージンを持たせている。

##### 〈5・1〉動作波形

図9に、入力電流リプルが最大となる、昇圧比1.33倍時の動作波形を示す。入力電流リプルは1.6Aで設計値内であり、インダクタンス設計の妥当性が確認できる。

図10に3倍昇圧1kW-定格動作時の入力電流、フライングキャパシタ電流、昇圧リアクトル電圧波形を示す。入力電流リプルの設計値は1.8A以内であるため、設計値内で動

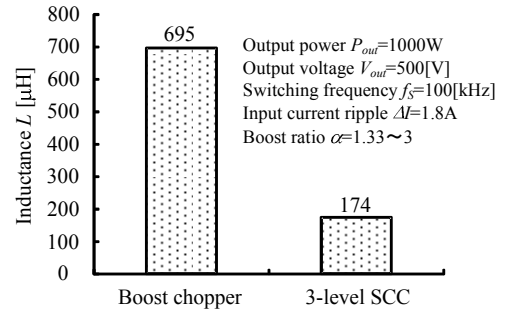


図7 インダクタンスの比較  
Fig. 7. Comparing of inductor.

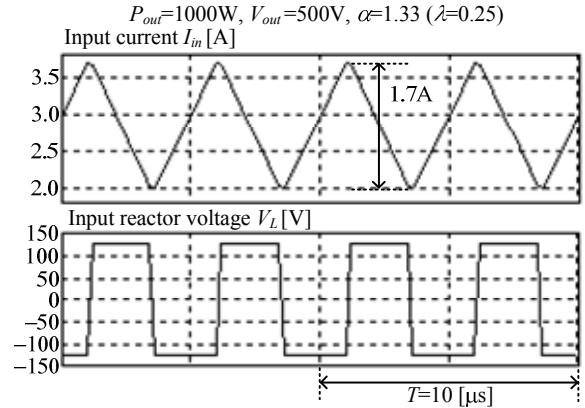


図8 シミュレーション結果  
Fig. 8. Simulation result.

表1 実験条件

Table 1. Experimental condition.

Output power $P_{out}$	1000[W]	Switching frequency $f_s$	100[kHz]
Output voltage $V_{out}$	500[V]	Input current ripple $\Delta I$	1.8A
Flying capacitor $C$	13[μF]	MOSFET	IRFB4229PbF
Input reactor $L$	200[μH]	Fast Recovery Diode	20FL2C41A

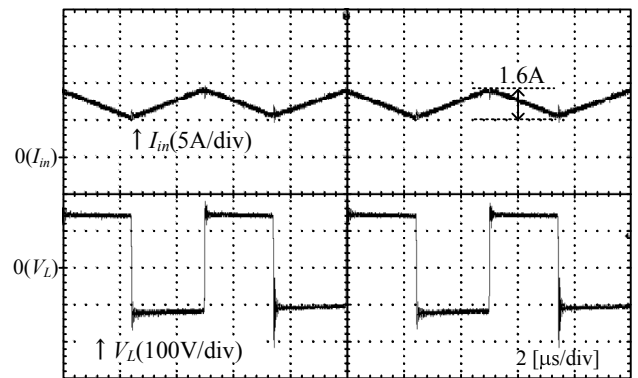


図9 昇圧比1.33倍時の動作波形

Fig. 9. Operation waveforms (1.33-times boost and 1000W).

作していることがわかる。また、フライングキャパシタ電流最大値が入力電流で制限されており、大きなピーク値を持ったスパイク電流は発生していない。リアクトル電圧もシミュレーション通りの2レベルの波形が得られており、良好な3レベル動作が確認できる。

##### 〈5・2〉昇圧比対入力電流リプル特性

図11に昇圧比対入力電流リプル特性を示す。縦軸は、入力電流リプル実験値を設計値で規格化した値である。なお、電流リプル設計値は定格電流の30%であり、1.0p.u.のときに

1.8Aであることを意味する。最も大きな電流リップルが表れるときは、昇圧比 $\alpha=1.33$ のときで、入力電流リップルは0.87p.u.である。図11より、すべての昇圧比において電流リップルが1.0p.u.以下であることから、インダクタンス設計の妥当性が確認できる。

### 〈5・3〉 負荷対効率特性

図12に負荷対効率特性を示す。ここでは、出力電圧500V、昇圧比3倍を一定として実験した。500Wから1kWまでの全ての範囲で97.5%を超える高い効率を得ている。定格負荷1kWで、効率は97.7%を得ており、最高効率は、650W時の97.9%である。なお、効率は負荷の増加に伴い徐々に低下していく。これは、FET導通損と昇圧リアクトル銅損が増加するからである。

### 〈5・4〉 昇圧比対効率特性

図13に昇圧比対効率特性を示す。ここでは、出力電圧500V、出力容量1kW一定とし実験した。効率は昇圧比1.33倍のときに最も高く98.7%である。効率は昇圧比の増加に伴い低下する傾向を持つ。これは、昇圧比が低いときは、入力電圧が高いため入力電流が小さくなるためである。そのためFETやダイオードの導通損失、スイッチング損失、リカバリ損失、銅損、フライングキャパシタ導通損が小さくなる。一方、昇圧比が高いときは、入力電圧が低いため入力電流が大きくなり、効率が悪化する。

## 6. 損失解析

検討回路の発生損失を考察するため、実験結果から損失計算と分離を行う。なお、計算した損失は、MOSFET、ダイオード、フライングキャパシタ、配線抵抗それぞれの導通損失、MOSFETスイッチング損失、ダイオードリカバリ損失、リアクトル銅損である。

### 〈6・1〉 負荷対効率特性

図14に負荷対効率特性時の損失分離結果を示す。ただし、その他の損失は、無負荷損、リングングによる損失、鉄損が含まれる。ここでは、1kW時の総合損失を100%とする。フライングキャパシタ導通損とリアクトル銅損の割合が少ないことがわかる。検討回路ではインダクタンスを低減できるため、少ない巻線でリアクトルを構成できる。その結果、銅損は小さくなる。また、フライングキャパシタにはESRの小さなフィルムコンデンサを使用している。フライングキャパシタに電解コンデンサを使用した場合、ESRが大きいため損失は増加すると考えることができる。主な損失はダイオード導通損で、全体の40%を占める。また、負荷増加に伴う増加の大きい損失はFET導通損である。損失の割合は全損失に対して20%程度であるが、1kW時のFET導通損は550W時の約3.7倍である。

### 〈6・2〉 昇圧比対効率特性

図15に昇圧比対効率特性時の損失分離結果を示す。ここでは、3倍昇圧時の総合損失を100%とする。負荷特性同様に、フライングキャパシタ導通損と昇圧リアクトル銅損は少なく、主な損失はダイオード導通損である。負荷特性と

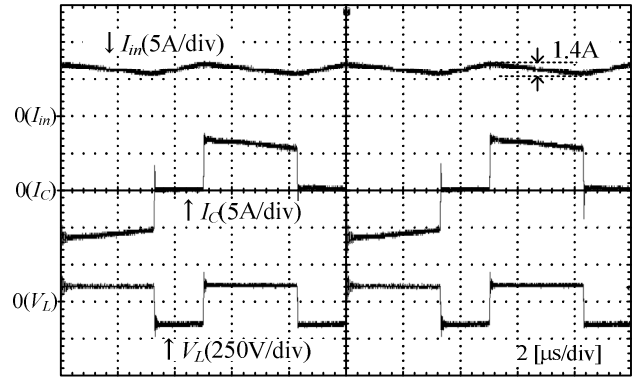


図10 定格動作波形

Fig. 10. Operation waveforms (3-times boost and 1000W).

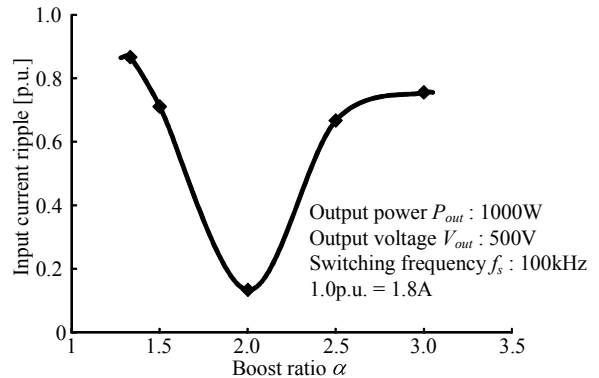


図11 昇圧比対入力電流リップル特性

Fig. 11. Input current ripple characteristics.

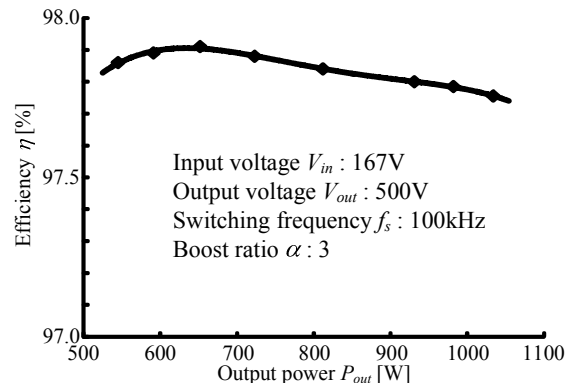


図12 負荷対効率特性

Fig. 12. Output load characteristics.

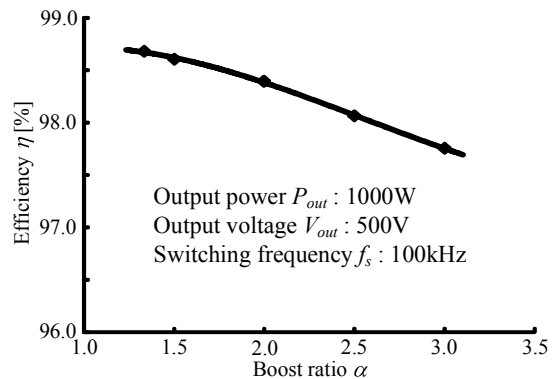


図13 昇圧比対効率特性

Fig. 13. Boost ratio characteristics.

比べて、入力電流の変化が大きいため、MOSFET導通損の増加割合が大きいことが特徴である。昇圧比が高くなるに

つれて、電流が増え、FET の導通時間も増加するため、損失の増加が大きい。一方、ダイオード導通損の割合は大きく変化しない。これは、昇圧比が高い領域ではダイオード導通時間が短くなるためである。そのため電流が増えても増加時間が短いため損失は大きく変化しない。

以上より、本回路の主な損失はダイオード導通損であり、重負荷及び高昇圧比での効率低下の要因が FET 導通損であることを確認した。

### 〈6・3〉素子選定に関する考察

本節では損失解析の結果から、本回路の効率を向上させるための素子選定法を述べる。ただしここでは、体積に関する評価は考慮しない。〈6・1〉、〈6・2〉節の結果から、主な損失はダイオード導通損で、重負荷や高昇圧比では MOSFET 導通損が多くなる。よって以下の知見が導ける。

ダイオードは、オン電圧の低いダイオード、例えばショットキーバリアダイオードなどを使用することで導通損を低減できる。また、アプリケーションによっては、MOSFET による同期整流を行うことで、損失を低減できる。しかし、同期整流をする場合は、スイッチング損と寄生ダイオードによるリカバリ損との兼ね合いになる。また、重負荷での効率低下を抑制するためには、MOSFET のオン抵抗を小さくする必要がある。MOSFET を並列に接続することでオン抵抗を低くでき、重負荷での効率を向上できる。以上より、オン電圧の低いダイオードとオン抵抗の低い MOSFET を選定することが効率を向上させる素子選定法である。

## 7. まとめ

本論文では、1kW-3 レベル電圧制御形 SCC の実機実験を行い、効率特性の評価と発生損失について解析を行った。3 レベル電圧制御形 SCC の負荷対効率特性と昇圧比対効率特性を検討し、それぞれの効率の評価、ならびに損失評価を行った。実験結果より以下の結果を得た。

- (1) 定格負荷 1kW, 入出力電圧 167V-500V において、97.7%の効率を得た
- (2) 負荷特性より、負荷 650W, 入出力電圧 167V-500V 時に、最高効率 97.9%を得た
- (3) 昇圧比特性より、昇圧比 1.33 倍、負荷 1kW, 入出力電圧 375V-500V 時に、最高効率 98.7%を得た
- (4) 損失分離より、本回路の主な損失が、ダイオード導通損, MOSFET 導通損であることを明らかにした

今後は、この損失分離をもとにより詳細な設計法の検討、また、多レベル化及び大容量化を検討する。

## 文 献

- (1) Faisal H. Khan, and Leon M. Tolbert: "A Multilevel Modular Capacitor-Clamped DC-DC Converter" IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 43, NO. 6, pp. 1628-1638(2007)
- (2) F. Zhang, L. Du, F. Z. Peng and Z. Qian: "A New Design Method for High-Power High-Efficiency Switched-Capacitor DC-DC Converters", IEEE Trans. on Power Electronics, Vol.23, No.2, pp.823-840 (2008)
- (3) M. Shen, F. Z. Peng and L. M. Tolbert: "Multilevel DC-DC Power

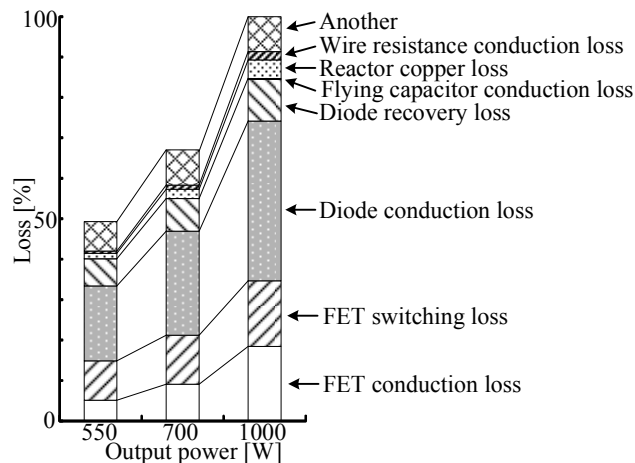


図 14 損失分離 (負荷特性)

Fig. 14. Loss separation of output load characteristics.

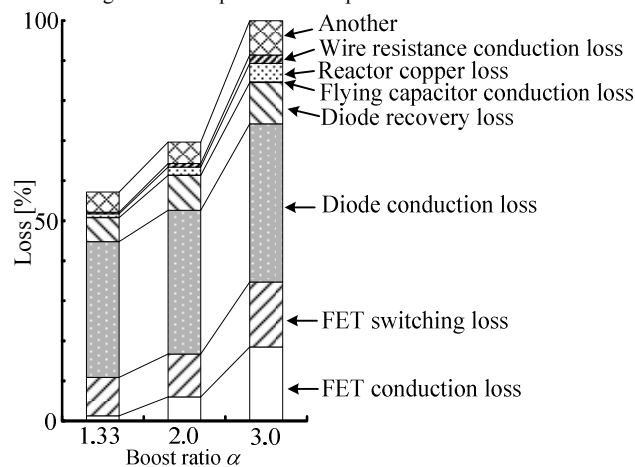


図 15 損失分離 (昇圧比特性)

Fig. 15. Loss separation of boost ratio characteristics.

Conversion System With Multiple DC Sources" IEEE Trans. on Power Electronics, Vol.23, No.1, pp.420-426 (2008)

- (4) O. Keiser, P.K. Steimer, and J.W. Kolar, "High power resonant switched-capacitor step-down converter," Proc. IEEE PESC'08, pp.2772-2777 (2008)
- (5) Dong Cao and Fang Zheng Peng: "Zero-Current-Switching Multilevel Modular Switched-Capacitor DC-DC Converter" ECCE 2009, pp.3516-3522 (2009)
- (6) Mummadi Veerachary: "Control of Switched Capacitor Step-Down Buck Converter", IECON 2006, pp. 2073-2076 (2006)
- (7) K. Sano and H. Fujita: "Dynamic Control and Performance of Resonant Switched-Capacitor Converter Based on Phase-Shift Control", IEEE Trans., Vol.128-D, No.10, pp.1190-1197(2008)  
佐野憲一朗・藤田英明: 「位相シフト制御法を適用した共振形スイッチトキャパシタコンバータの過渡特性の改善」, 電学論 D, Vol.128, No.10, pp.1190-1197(2008)
- (8) K. Sano and H. Fujita: "Improving Dynamic Performance and Efficiency of a Resonant Switched-Capacitor Converter Based on Phase-Shift Control", ECCE 2009, pp.3509-3515 (2009)
- (9) Qiu, B. Zhang and C.Zheng: "Duty Ratio Control of Resonant Switched Capacitor DC-DC Converter" ICEMS 2005, Vol.2, pp.11338-1141 (2005)
- (10) M. Shoyama and T. Ninomiya: "Output Voltage Control of Resonant Boost Switched Capacitor Converter", PCC-Nagoya2007, LS3-44, pp.899-903 (2007)
- (11) 松浦浩一, 伊東淳一: 「低インダクタによる高昇圧比向け DC-DC コンバータの基礎検討」, 半導体電力変換研究会, SPC-10-104 (2010)
- (12) 松浦浩一, 伊東淳一: 「スイッチドキャパシタコンバータの多レベル化による損失低減効果」, 平成 22 年度電気学会東京支部新潟支所研究発表会, IV-01(2010)
- (13) Wm. T. Mclyman: "Transformer and inductor design handbook", Marcel Dekker Inc. (2004)