

# GaN-FET 用駆動回路のパラメータ選定に関する一考察

渡邊 健太・伊東 淳一(長岡技術科学大学)

## 1. はじめに

近年, SiC や GaN を用いた次世代パワー半導体に関する研究が盛んに行われている<sup>(1)(2)</sup>。これらの素子の駆動回路に, 従来の IGBT 用駆動回路を用いると, 素子のゲートに大きな電流が流れ, 素子の破壊を招く恐れがある。本論文では, JFET 構造である GaN-FET の駆動回路を試作し, 回路パラメータに応じた駆動電力, スwitching 損失を評価する。その結果, パラメータの最適値を選定したので報告する。

## 2. 駆動回路構成と電力の計算方法

図 1 に, 駆動回路の構成を示す。本論文では, 図の (1), (2) の回路を用い, GaN-FET を駆動したときのゲートソース間電圧  $V_{GS}$  とゲート電流  $I_G$  を観測する。(1) はゲート抵抗  $R_G=3.3\Omega$  のみ, (2) は  $R_G=1k\Omega$  で,  $R_G$  に  $R_S(=3.3\Omega)$ ,  $C_S(=10nF)$  を並列に接続している。

GaN-FET は JFET 構造であるため, ゲートが絶縁されておらず, 正バイアス期間中に  $I_G$  が定常的に流れる。したがって駆動電力  $P_{Total}$  は, 定常時の駆動電力  $P_{ST}$  と, ターンオン・オフ時の駆動電力  $P_{TU}$  の合計となる。 $P_{ST}$  は, 定常時のゲートソース間電圧  $V_{GS(ST)}$ , ゲート電流  $I_{G(ST)}$ , デューティ比  $D$  より, (1)式にて求められる。

$$P_{ST} = V_{GS(ST)} I_{G(ST)} D \dots\dots\dots(1)$$

一方,  $P_{TU}$  は GaN-FET の入力容量  $C_{iss}(=321pF)$  と, ターンオン時にゲートソース間電圧が  $0V$  から  $+V_{GS(TU)}$  まで上昇するのに必要な電荷量  $Q_G$  より, (2)式となる。なお  $Q_G$  は, ターンオン時に発生するゲート電流と, その期間  $t$  の面積を求めることで得られる。また,  $-V_{GS(TU)}$  は, ターンオフ時のゲートソース間電圧である。

$$P_{TU} = f_{sw} \left( Q_G | +V_{GS(TU)} | + C_{iss} | -V_{GS(TU)} | \right) \dots\dots\dots(2)$$

## 3. 実験結果と考察

表 1 に各駆動回路における駆動電力の比較を示す。回路条件は, 図 1 に示す通りである。主回路は, 入力電圧  $100V$ , 定格容量  $100W$  の降圧チョップパを用いた。表 1 から, (2)は(1)に比べ, 駆動電力を約 97.9%低減できた。これは,  $R_G$  を大きくしたことで, 流れる  $I_{G(ST)}$  が小さくなり,  $P_{ST}$  が抑えられたからである。また  $P_{TU}$  がほぼ一定なのは, ターンオン・オフ時に必要なゲート充放電電流が両回路とも大きく変わらないからである。これより, (2)の回路構成で最適なパラメータを選定する。

図 2 に, (2)の回路構成で  $C_S=10nF$  一定とした時の,  $R_G$  と  $P_{ST}$ ,  $P_{TU}$ ,  $P_{LOSS(FET)}$  の関係を示す。 $P_{LOSS(FET)}$  は, GaN-FET のターンオン・オフ時のスitching 損失の合

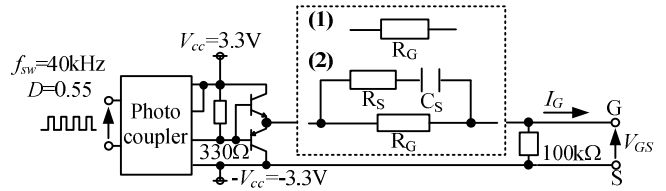


Fig. 1. Gate drive circuit configuration.

Table 1. Comparison of gate drives power.

	(1) Without speed-up circuit	(2) With speed-up circuit
Steady gate drive power $P_{ST}$ [mW]	245.96	2.31
Turn ON/OFF gate drive power $P_{TU}$ [mW]	3.42	2.94
Total gate drive power $P_{Total}$ [mW]	249.38	5.25

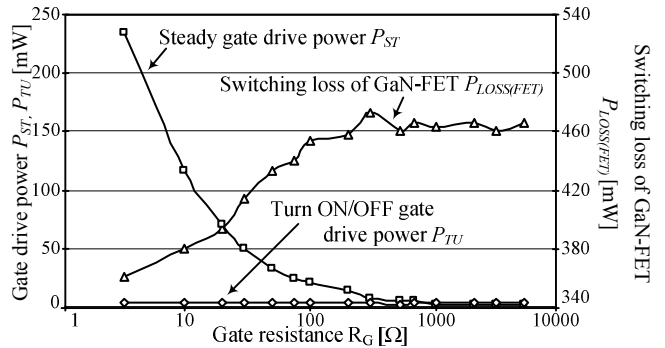


Fig. 2. Relations of gate resistance and consumed power. ( $\tau=20.9ns$ : constant)

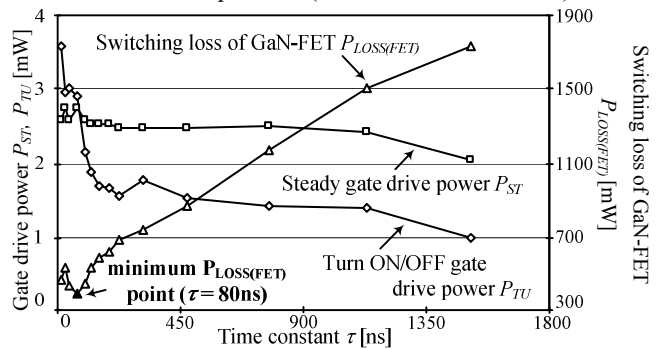


Fig. 3. Relations of time constant and consumed power. ( $R_G=1k\Omega$ : constant)

計である。図 2 から, 駆動電力は  $P_{TU}$  よりも  $P_{ST}$  が支配的であることが分かる。また,  $R_G=300\Omega$  以上では,  $P_{ST}$ ,  $P_{LOSS(FET)}$  共に変化が小さくなる。よって, ここでは  $R_G$  を  $1k\Omega$  に設計する。

図 3 に, (2)の回路構成での,  $\tau$  と  $P_{ST}$ ,  $P_{TU}$ ,  $P_{LOSS(FET)}$  の関係を示す。ここで,  $\tau$  は時定数で  $R_S$ ,  $C_S$  の積である。図 3 から  $P_{ST}$ ,  $P_{TU}$  が  $\tau$  によらず数 mW と十分小さいことから,  $\tau$  は  $P_{LOSS(FET)}$  の最小点である  $80ns$  で設計すれば良い。以上のように, 駆動電力から回路定数の最適値を選定した。

### 参考文献

(1) 高尾, 八尾, 荒井:電学論 D, 124 巻 9 号, 2004  
 (2) 釜我, 成, 大橋:電学論 D, 128 巻 5 号, 2008