

スイッチドキャパシタコンバータの多レベル化による損失低減効果

◎松浦浩一 伊東淳一 (長岡技術科学大学)

1. はじめに

近年、小型・軽量化を達成する回路としてリアクトルレス回路であるスイッチドキャパシタコンバータ(以下、SCC)が盛んに研究されている^{(1),(2)}。しかし、出力電圧を制御できないため応用範囲が限定される。筆者らはこれまでに、昇圧チョップと SCC を組み合わせた電圧制御形 SCC を検討しており、SCC を多レベル化することでインダクタンスを低減できることを確認している⁽²⁾。本論文では、多レベル化における電圧制御形 SCC の損失を定量的に評価する。その結果、多レベル化により損失の低減を明らかにしたので報告する。

2. 損失解析

図 1 に検討する n レベル電圧制御形 SCC の回路図を示す。本回路はスイッチ 2 つとフライングキャパシタ 1 つを追加することでレベル数を増加できる。多レベル化することで、スイッチング素子数は増加するが低耐圧素子を使用できる。本論文では以下の条件のもと損失解析を行う。

- (a) フライングキャパシタ電圧は一定とする。
- (b) デッドタイムは考慮しない。

(1)式に期間 $[t_1, t_2]$ 中に発生する導通損 P_{con} の式を、(2)式にスイッチング損失 P_{sw} の式を示す。ただし、 f_s はスイッチング周波数[Hz]、 I_d はドレイン電流[A]、 R_{on} は FET のオン抵抗[Ω]、 t_r は立ち上がり時間[sec]、 t_f は立ち下がり時間[sec]であり、 $2(n-1)$ は全スイッチング素子数を意味する。なお導通損は、デューティ d により導通時間が変化するため、 $d=50\%$ 以外では回路中点より上側の素子と下側の素子とで異なる。

$$P_{con} = 2(n-1) \times \left\{ f_s \int_{t_1}^{t_2} I_d^2 R_{on} dt \right\} \quad [\text{W}] \dots \dots \dots (1)$$

$$P_{sw} = 2(n-1) \times \left\{ \frac{f_s}{2} I_d \frac{V_{out}}{n-1} (t_r + t_f) \right\} \quad [\text{W}] \dots \dots \dots (2)$$

多レベル化することで素子耐圧が低減され、より低オン抵抗、高速スイッチング素子を使用できる。その結果、両損失の低減が可能となる。

リアクトルの損失は銅損と鉄損の和である。(3)式に表皮効果を考慮した銅損の式を、使用したコア PC40 の鉄損の式を(4)式に示す。ただし、 I_{in} は入力電流[A]、 R_{wire} は巻線抵抗[Ω]、 I_{AC} は交流成分電流[A]、 R_{AC} は交流成分抵抗[Ω]、 ΔB は磁束密度の変化量[Gauss]、 f_{ripple} はリプル電流の周波数[Hz]、 V_e はコアの実効体積[cm³]である。

$$P_{copper} = I_{in}^2 R_{wire} + I_{AC}^2 R_{AC} \quad [\text{W}] \dots \dots \dots (3)$$

$$P_{iron} = 4.5 \times 10^{-14} \times f_{ripple}^{1.55} \times \Delta B^{2.5} \times V_e \quad [\text{mW}] \dots \dots \dots (4)$$

多レベル化によりインダクタンスを低減できるので、巻数を減らせる。その結果、銅損を低減できる。鉄損は磁束密度の変化分が発生する。磁束密度はリプル電流により変化するため、リプル電流が小さければ鉄損は小さい値となる。

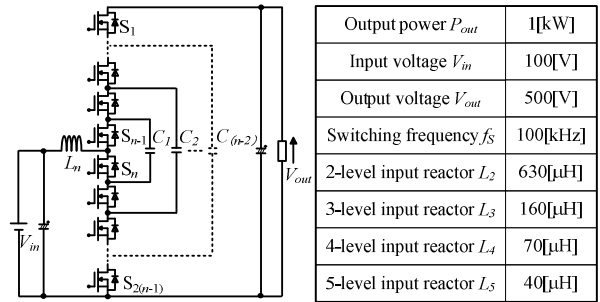


Fig.1. n -level voltage control SCC and analysis conditions.

Table2. MOSFET parameter.

Level	MOSFET	V_{ds} [V]	I_d [A]	R_{on} [mΩ]	t_r [nsec]	t_f [nsec]
2	2SK1629	500	30	270	140	100
3	2SK1629	500	30	270	140	100
4	RJK4015	400	30	165	75	58
5	2SK2967	250	30	68	20	35

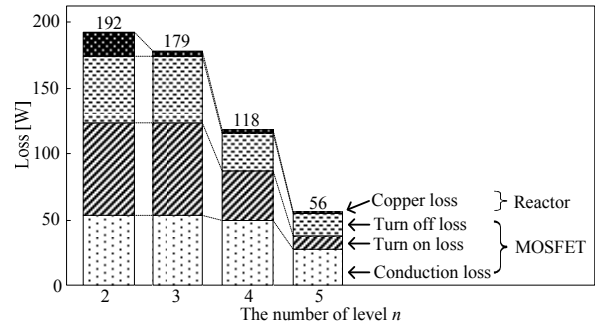


Fig. 2. Loss analysis results.

4. 解析結果

表 1 に損失解析に使用した MOSFET パラメータを、図 2 に解析結果を示す。各レベルの L はリプル電流を入力電流の 20% 以内になるように設計した値である。なお、2 レベルでは 3 レベル SCC の素子を 2 つ直列接続にしている。

鉄損はリプル電流が小さいことから数 mW 程度であり、全損失に対して無視できる。5 レベルは低オン抵抗、高速な素子を使用できるため FET 損失を低減できる。なお、3 レベルの FET 損失は、同じ素子を同じ数使用した 2 レベルと等しいが、銅損を低減できるため総合損失は低くなる。

以下、多レベル化により FET 損失を低減できる条件について考察する。(2)式より、スイッチング損は t_r と t_f が小さい素子を使えば損失は低減できる。一方、(1)式より、導通損はオン抵抗の減少割合が素子数の増加割合よりも小さくなくてはならない。例えば、2 レベルに対して 5 レベルで利点を出すためには、素子数が 4 倍に増加するため 1/4 以下のオン抵抗を持つ素子を選定しなくては損失を低減できない。つまり、素子耐圧とオン抵抗のトレードオフカーブが重要となる。そのため、より低いオン抵抗素子を使うことが重要である。今後は実機による検証を行う。

文 献

- (1) K. Sano and H. Fujita, ECCE 2009, pp.3509-3515 (2009)
- (2) 松浦・伊東, SPC 高知, SPC-10-104 (2010)