

5 レベルアクティブ NPC インバータのパラメータ設計

学生員 榎原 有吾* 正員 伊東 淳一*

Parametric design of a Five-level Active NPC Inverter

Yugo Kashihara*, Student Member, Jun-ichi Itoh*, Member

Abstract: This paper establishes a loss analysis and capacitor designing method for an active neutral-point-clamped (ANPC) multilevel inverter. The ANPC combines a neutral point clamp circuit and flying capacitor topology. This circuit can reduce the number of components in comparison to conventional multilevel converters. Then, the loss analysis using mathematical expressions are obtained. This analysis results are well agreed with the loss experimental results.

キーワード：マルチレベル変換器，アクティブ NPC，インバータ，パラメータ設計

Keywords：Multilevel converter, Active NPC, Inverter, Parametric design

1. はじめに

電力変換器の出力電圧の高調波低減，電流応答の高速化の観点から，マルチレベル電力変換器が研究されている⁽¹⁾⁻⁽³⁾。マルチレベル電力変換器は従来の 2 レベルの電力変換器と比較すると，レベル数 n に対しスイッチング素子の耐圧を $n-1$ 分の 1 に低減できること，複数レベルの電圧を出力するので出力電圧の高調波を低減できることが利点としてあげられる。そのため，新幹線や大容量ポンプ等の 3.3kV 系や 6.6kV 系の中電圧用途に使用されている。さらに，その一方で，200V 系や 400V 系の低圧の用途においても高効率化や低ノイズ化の観点からマルチレベル電力変換器は有効であり，太陽光発電用の系統連系インバータや UPS などに応用する動きがある⁽⁴⁾⁽⁵⁾。

代表的なマルチレベル変換器の回路構成として，中性点クランプ(以下 NPC)方式と，フライングキャパシタ(以下 FC)方式があげられる⁽⁶⁾⁽⁷⁾。NPC 方式は，ダイオードによって中性点電圧で出力電圧をクランプすることで複数の電圧レベルを出力する。しかし，出力レベルに応じてスイッチング素子が増加するため，各スイッチング素子の損失増加が懸念される。FC 方式は，直流リンクコンデンサと FC 電圧を合成することで複数の電圧レベルを出力する。しかし，レベル数の増加に伴い，コンデンサが多数必要となり，各コンデンサの電圧バランス制御が困難になる。

そこで筆者らは，マルチレベル電力変換器の一方式として，5 レベルアクティブ中性点クランプ形(以下 ANPC)イン

バータに注目している⁽⁸⁾⁽⁹⁾。ANPC 方式は，NPC 方式と FC 方式を組み合わせた回路構成となっており，従来方式と比較すると，通過素子数が少なく，従来方式の短所を解決でき，低コスト化，高効率化が期待できる。

しかし，マルチレベル電力変換器により高効率化を実現するには，損失の発生特性をよく把握しなくてはならない。変換器の損失特性を検討する手段として損失シミュレーションと数式による損失解析があげられる。損失シミュレーションの場合，ある特定条件での損失は確認できるが，損失最小点の検討をする場合には何度もカットアンドトライが必要である。よって，変換器の最適設計の観点から考えると非常に煩雑である。一方，数式を用いた理論解析の場合，式が導出できれば，デバイスパラメータや回路パラメータに応じて，容易に損失が求められるため，最適化の検討がしやすくなる。これによって，例えば，体積の検討や，高効率・高パワー密度等の要求を満たす変換器を設計する際に非常に有用と考える。しかし，現在まで ANPC の回路方式や制御方式について検討した報告は多い⁽⁹⁾⁻⁽¹¹⁾が，回路パラメータ設計や，発生損失を数式化して扱っている論文は著者らの知る限りない。

本論文では，5 レベル ANPC インバータ回路の半導体素子，キャパシタ素子の電力損失特性及びキャパシタ容量設計方法を明らかにする。本論文の目的は ANPC 方式の最適設計の指針を示す前段階として，回路パラメータや発生損失を定量的に扱う数式を導出することにある。これによって，ANPC 変換器の設計が容易にできる。

まず，本論文では，ANPC 変換器の動作原理について説明する。次に，変換器の動作をもとに 5 レベル ANPC インバータの半導体素子の損失とキャパシタ素子の容量設計及び

* 長岡技術科学大学
〒940-2188 新潟県長岡市上富岡町 1603-1
Nagaoka University of Technology,
1603-1, Kamitomioka, Nagaoka Niigata 940-2188

損失の計算法について述べる。最後に、実機を試作し基本動作を確認する。そして、各部の動作波形と設計値の妥当性、実機の損失と数式を用いた損失解析結果を比較し、設計法と損失解析式の妥当性の確認を行い、よく一致したので報告する。

2. アクティブ NPC 方式の動作

2.1 動作原理

Fig.1 に単相 5 レベル ANPC インバータの回路図を示す。Fig.1 より、5 レベル ANPC インバータ回路は一相あたり 8 つの素子と 3 つのキャパシタで構成される。5 レベル ANPC インバータ回路の半導体素子は、Cell ごとにスイッチング動作が異なる。Cell1 の素子は PWM 駆動し、Cell2 は出力周波数周期で駆動する。また、キャパシタ素子に関して、3 つのキャパシタの内、 C_1 はフライングキャパシタ、 C_2 、 C_3 は直流平滑キャパシタの働きをする。フライングキャパシタ C_1 に $1/4E_{dc}$ の電圧が、直流平滑キャパシタ C_2 、 C_3 に $1/2E_{dc}$ の電圧がクランプされている。

ANPC 回路の特徴は、電源側のスイッチング素子群 Cell2 ($S_5 \sim S_8$) は Cell1 ($S_1 \sim S_4$) のスイッチに比べ 2 倍の耐圧が必要となるが、Cell2 のスイッチング周波数は出力周波数と同じ周波数であるので Cell2 のスイッチング損失はほとんど発生しないこと、直流平滑キャパシタ C_2 、 C_3 およびフライングキャパシタ C_1 の電圧が制御可能なので電圧バランス回路が不要であること、があげられる。

Fig.2 に 5 レベル ANPC の正の電流経路を、Table3 に 5 レベル ANPC のスイッチングパターンを示す。Fig.2、Table1 より、ANPC 方式の出力電圧は、直流平滑キャパシタ電圧とフライングキャパシタ電圧を加減算することで、 $\pm 1/2E_{dc}$ 、 $\pm 1/4E_{dc}$ 、0 の 5 つの電圧を出力する。5 レベル ANPC のスイッチングパターンは全 8 パターンあり、 $\pm 1/4E_{dc}$ のスイッチングパターンを選択するときにはフライングキャパシタの充放電を行う。スイッチングパターンから、Cell ごとに最適な素子を選定することで効率の向上が期待できる。

2.2 制御方式

Fig.3 に ANPC 回路の PWM 信号生成法を示す。これは、フライングキャパシタ方式の PWM 信号生成法を応用したものである。Fig.3 より、Cell1 のゲート信号は正弦波指令値と位相が互いに反転した 2 本の三角波を比較して PWM 信号を得る。本制御方式におけるデューティ比 D_{ref} は(1)、(2)式で得られる。

$$\text{正の半周期: } D_{ref} = 2a \sin \theta - 1 \quad (0 \leq \theta \leq \pi) \quad (1)$$

$$\text{負の半周期: } D_{ref} = 2a \sin \theta + 1 \quad (\pi \leq \theta \leq 2\pi) \quad (2)$$

ここで、 a は指令値の振幅、 θ は出力位相角である。また、Cell2 のスイッチング素子は電圧指令値の極性判定を行い、正の半周期で S_5 、 S_7 を、負の半周期で S_6 、 S_8 を導通させる。また、フライングキャパシタの充放電モードをキャリア周期毎に選択するため、キャリア周波数の応答でコンデンサ

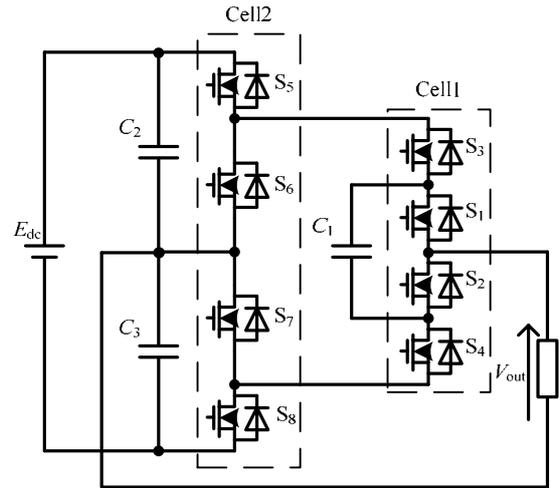


Fig.1. Single phase 5-level ANPC inverter circuit topology.

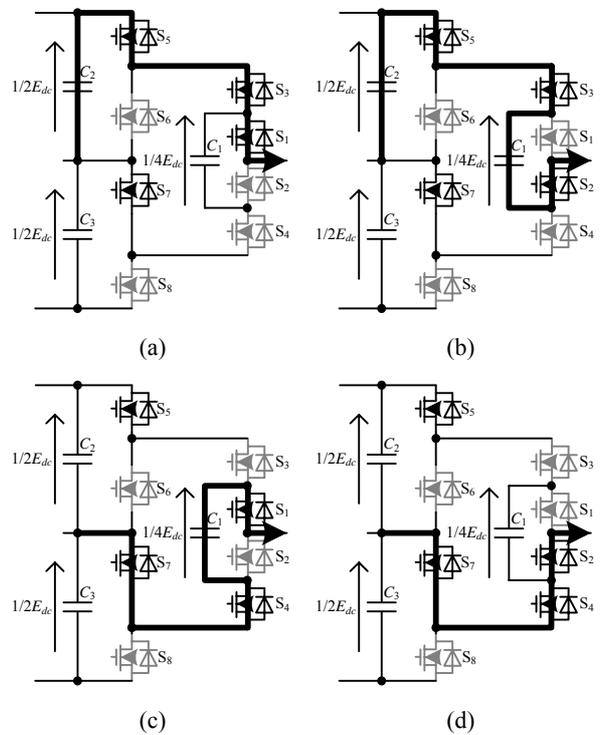


Fig.2. Current pathway of 5-level ANPC inverter circuit topology.

Table 1 Switching pattern and flying capacitor voltage.

No	Cell1				Cell2				Flying capacitor C_1		Output voltage
	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	$i_{FC} > 0$	$i_{FC} < 0$	
1	1	0	1	0	1	0	1	0	-	-	$+1/2E_{dc}$
2	0	1	1	0	1	0	1	0	Charge	Discharge	$+1/4E_{dc}$
3	1	0	0	1	1	0	1	0	Discharge	Charge	$+1/4E_{dc}$
4	0	1	0	1	1	0	1	0	-	-	+0
5	1	0	1	0	0	1	0	1	-	-	-0
6	0	1	1	0	0	1	0	1	Discharge	Charge	$-1/4E_{dc}$
7	1	0	0	1	0	1	0	1	Charge	Discharge	$-1/4E_{dc}$
8	0	1	0	1	0	1	0	1	-	-	$-1/2E_{dc}$

の電圧のバランスをとりながら、電圧指令値に追従したマルチレベル電圧が出力できる。

3. 半導体素子の損失計算法

5レベルANPCインバータの損失計算について説明する。計算を容易にするため、スイッチング周波数は出力周波数より十分高く、電力損失は以下の条件が成立すると見なす。

- 1) 負荷電流リップルは基本波に対し、十分小さく無視できる(電流源負荷とみなせる)
- 2) コンデンサのリップルはコンデンサ電圧に対し十分小さく、無視できる(コンデンサは直流電圧源とみなせる)

5レベルANPCインバータの電力損失 P_{Loss} は各部の損失より、(3)式により定義できる。

$$P_{Loss} = P_{Cell1} + P_{Cell2} + P_{FC} + C_{DCSC} \dots\dots\dots(3)$$

ここで、 P_{Cell1} は Cell1 の損失、 P_{Cell2} は Cell2 の損失、 P_{FC} はフライングキャパシタの損失、 P_{CDC} は直流平滑キャパシタの損失である。以下、各部の損失について検討する。

3.1 Cell1 の損失計算法

(1) 導通損失

導通損失は、スイッチ(IGBT, MOSFET)側とダイオード側に発生する損失に分けることができる。ここで、素子に流れる正の電流はすべてスイッチ側に、負の電流はFWD側を流れると仮定する。また、MOSFETの場合、オン抵抗が小さければスイッチ側に正負両方向に電流が流れる。しかし、FWDのオン電圧特性をMOSFETと同一に設定することで損失は計算できる。

Cell1の導通損失の平均値 P_{Switch} は、スイッチのオン電圧とスイッチに流れる電流から導出することができ、それぞれ(4)~(6)式にて表せる。

$$P_{Switch} = \frac{1}{2\pi} \int_{\phi}^{\pi-\phi} v_{on} i_{sw1} dx \dots\dots\dots(4)$$

$$v_{on} = r_{on} I + v_0 \dots\dots\dots(5)$$

$$i_{sw1} = I_m \sin(\theta + \phi) \left(\frac{1}{2} (1 + D_{ref}) \right) \dots\dots\dots(6)$$

ここで、 v_{on} はスイッチのオン電圧、 i_{sw1} は素子に流れる電流、 r_{on} はスイッチのオン抵抗、 I は素子に流れる電流、 v_0 は0Aの時のオン電圧降下、 I_m は負荷電流ピーク値、 ϕ は負荷力率である。また、オン電圧はIGBTを想定し、PN接合による電圧降下と抵抗分にある電圧降下として、(5)式にて表現しているが、MOSFETは抵抗特性であるため、(5)式において $v_0=0$ とすれば表現できる。 D_{ref} はデューティ比である我、パルス生成に三角波比較方式を使用すると仮定すれば、(1)、(2)式で表される。

以上より、Cell1の素子1つに発生する順方向の導通損失 P_{On_sw1} は(4)式に(5)、(6)式を代入して整理すると、(7)式にて得られる。

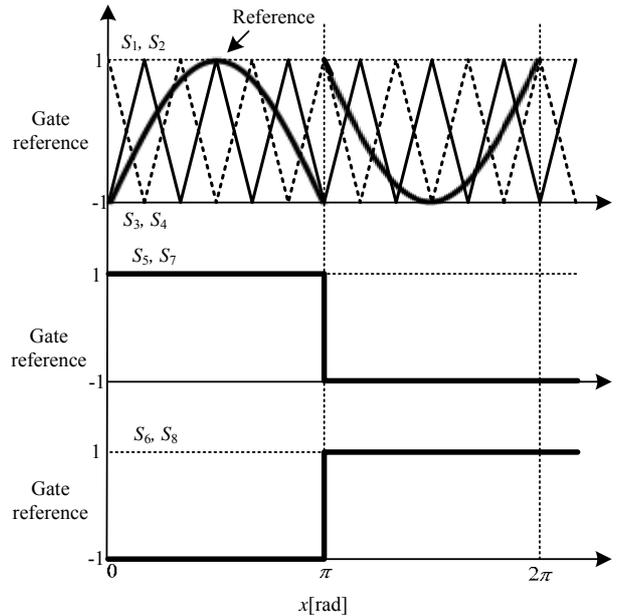


Fig.3. Gate signals.

$$P_{On_sw1} = I_m \left(\frac{v_0}{2\pi} - \frac{1}{2} v_0 \cos \phi + \frac{1}{8\pi} I_m r_{on} \sin 2\phi - \frac{1}{4\pi} I_m r_{on} \phi - \frac{2}{3\pi} I_m a r_{on} \cos \phi - \frac{1}{4} a v_0 \cos \phi \right) \dots\dots\dots(7)$$

一方、FWD側の損失 P_{On_FWD1} は出力電流の極性が負であることに注意して、(4)式の積分範囲を設定し、(5)、(6)式を代入すると(8)式で求められる。

$$P_{On_FWD1} = I_m \left(\frac{v_0}{2\pi} + \frac{1}{2} v_0 \cos \phi + \frac{1}{8\pi} I_m r_{on} \sin 2\phi + \frac{1}{4\pi} I_m r_{on} + \frac{1}{4\pi} I_m r_{on} \phi - \frac{2}{3\pi} I_m a r_{on} \cos \phi - \frac{1}{4} a v_0 \cos \phi \right) \dots\dots\dots(8)$$

(2) スイッチング損失

スイッチング損失はスイッチに印加される電圧とスイッチに流れる電流に比例すると仮定する。このとき、Cell1のスイッチング損失 P_{sw1} はデューティ比によらず、流れる電流とスイッチング回数に依存するので、(9)式で導出することができる。

$$P_{sw1} = \frac{1}{4\pi} E_{dc} I_m (e_{on} + e_{off}) f_c \dots\dots\dots(9)$$

ここで、 E_{dc} は入力電圧、 e_{on} はスイッチング1回のターンオン損失エネルギー(J)、 e_{off} はターンオフ損失エネルギー(J)、 f_c はキャリア周波数である。また、FWDのリカバリ損失 P_{Rec1} も(9)式と同様に導出することができ(10)式となる。

$$P_{Rec} = \frac{1}{4\pi} E_{dc} I_m e_{rr} f_c \dots\dots\dots(10)$$

ここで、 e_{rr} は1回のリカバリ損失のエネルギー(J)である。

3.2 Cell2 の損失計算法

(1) 導通損失

Cell2の導通損失は、Cell1の考え方と同様に導出すること

ができる。ただし、Cell2 素子の中で、 S_5, S_7 は出力電圧指令値が正の時にオン、 S_6, S_8 は出力電圧指令値が負の時にオンするため、各素子のスイッチ電流波形は Cell1 と異なる。すなわち、 S_5, S_7 に流れるスイッチ電流 i_{sw2A} は出力電圧指令値が正の期間のときに流れ、 S_6, S_8 に流れるスイッチ電流 i_{sw2B} は出力電圧指令値が負の期間のときに流れる。Cell1 のスイッチ電流 i_{sw1} を用いると、 S_5, S_7 に流れるスイッチ電流 i_{sw2A} は(11)式で、 S_6, S_8 に流れるスイッチ電流 i_{sw2B} は(12)式で得られる。

$$i_{sw2A} = \begin{cases} i_{sw1} = I_m \sin(\theta - \phi) \left(\frac{1}{2}(1 + D_{ref}) \right) & (0 < \theta < \pi) \\ 0 & (\pi < \theta < 2\pi) \end{cases} \quad (11)$$

$$i_{sw2B} = \begin{cases} 0 & (0 < \theta < \pi) \\ i_{sw1} = I_m \sin(\theta - \phi) \left(\frac{1}{2}(1 + D_{ref}) \right) & (\pi < \theta < 2\pi) \end{cases} \quad (12)$$

よって、 S_5, S_7 のスイッチ側の導通損失 P_{On_sw2A} は、(11)式を(4)式に代入して(13)式のように得られる。

$$P_{On_sw2A} = \frac{1}{2\pi} \left[ar_{on} \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) I_m^2 + av_0 \left(\frac{1}{2} \pi \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) \right] \quad \dots\dots(13)$$

Cell1 と同様に、 S_5, S_7 の FWD 側の導通損失 P_{On_FWD2A} は、逆方向に流れる電流から、(14)式で導出することができる。

$$P_{On_FWD2A} = \frac{1}{12\pi} \left[I_m a \left(8I_m r_{on} \sin \left(\frac{\phi}{2} \right)^4 - 3v_0 \sin \phi + 3\phi v_0 \cos \phi \right) \right] \quad \dots\dots(14)$$

S_6, S_8 のスイッチ側の導通損失と FWD 側の導通損失は、 S_5, S_7 と同様に、 S_6, S_8 の電流の流れる期間が異なることを考慮すると、それぞれ、(15)、(16)式で導出できる。

$$P_{on_sw2B} = \frac{1}{2\pi} \left[I_m v_0 (\cos \phi + 1) + I_m^2 r \left(\frac{\pi}{2} + \frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m av_0 \left(\frac{\pi}{2} \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) + I_m ar \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] \quad \dots\dots(15)$$

$$P_{on_FWD2B} = \frac{1}{2\pi} \left[I_m^2 r \left(\frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m v_0 + I_m v_0 \cos \phi - \frac{1}{2} I_m av_0 (\sin \phi - \phi \cos \phi) + I_m^2 ar \left(\frac{1}{6} \cos 2\phi - \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] \quad \dots\dots(16)$$

(2) スイッチング損失

Cell2 のスイッチング損失は、Cell2 のスイッチが出力周波数でスイッチングを行うため、キャリア周波数と同じ周波

数でスイッチングする Cell1 のスイッチング損失と比較して、Cell2 のスイッチング損失は十分小さく無視できる。

4. キャパシタ素子の設計法

4.1 フライイングキャパシタ

(1) 容量設計法

フライイングキャパシタの位相シフト三角波比較方式を用いた場合(Fig.3 に示すようにキャリア位相が 180° ずれた方式)の容量設計について検討する。位相シフト三角波比較方式は、1 スイッチングキャリア周期でフライイングキャパシタに流れる電流の総和が 0 になる。そのため、フライイングキャパシタの充電時間と放電時間の電圧時間積は同じであるので、コンデンサに発生する電圧リプルは充電時間もしくは放電時間どちらか一方だけ検討すればよい。

まず、充電モードの充電時間 T_{charge} について検討する。Table1 より、指令値 D_{ref} が正の時の充電モードの Cell1 スイッチングパターンは、 S_2, S_3 がオン、 S_1, S_4 がオフとなる。すなわち、 S_2, S_3 が同時にオンしている時間が T_{charge} となるので、(17)、(18)式のように得られる。

$$T_{charge} = \frac{2V_m}{E_{dc}} T \sin \theta \quad \left(\frac{2V_m}{E_{dc}} \sin \theta < 0.5 \right) \quad \dots\dots(17)$$

$$T_{charge} = T \left(1 - \frac{2V_m}{E_{dc}} \sin \theta \right) \quad \left(\frac{2V_m}{E_{dc}} \sin \theta \geq 0.5 \right) \quad \dots\dots(18)$$

ここで、 T はキャリア周期、 V_m は出力電圧最大値である。一方、コンデンサのリプル電圧 ΔV_c と電流の関係は微笑時間 ΔT では(19)式となる。

$$\Delta V_c = \frac{I}{C} \Delta T \quad \dots\dots(19)$$

(19)式より、電流と時間の積がわかれば、リプル電圧が求められることができる。すなわち、フライイングキャパシタの電圧リプル ΔV_{FC} は、充電モード時のすべての負荷電流がフライイングキャパシタに充電されることから、(17)、(18)式を用いると、(20)式となる。

$$\Delta V_{FC} = \frac{I_m \sin(\theta + \phi)}{C_{FC}} T_{charge} = \frac{I_m T}{C_{FC}} k \quad \dots\dots(20)$$

ここで、 k は電圧時間係数であり、(21)、(22)式となる。

$$k = \frac{2V_m}{E_{dc}} \sin \theta \sin(\theta + \phi) \quad \left(\frac{2V_m}{E_{dc}} \sin \theta < 0.5 \right) \quad \dots\dots(21)$$

$$k = \sin(\theta + \phi) - \frac{2V_m}{E_{dc}} \sin \theta \sin(\theta + \phi) \quad \left(\frac{2V_m}{E_{dc}} \sin \theta \geq 0.5 \right) \quad \dots\dots(22)$$

電圧時間積係数(21)、(22)式は無次元の変数であり、より、リプル電流の大きさは、出力位相角 θ 、負荷力率角、変調率に応じて変化する。なお、ここでは、UPS や対抗高インバータなどの系統連系運用用途を前提として、負荷力率 1 を想定したが、負荷力率 1 以外の場合でも(21)、(22)式を用い

て、電圧時間積係数を求めることができる。

Fig.4 に出力位相角と電圧時間積係数 k の変化を示す。Fig.4 より、電圧時間積係数の最大値を求める。まず、変調率 a は(23)式のように定義する。

$$a = \frac{2V_m}{E_{dc}} \dots\dots\dots (23)$$

出力位相と電圧時間積係数 k の変化は a によって変化することがわかる。 $0 < a < 0.5$ のとき、 $0.5 < a < 1$ のときの最大値 k_{max} は(24)、(25)式で得ることができる。

$$k_{max} = \frac{2V_m}{E_{dc}} \quad (0 < a < 0.5) \dots\dots\dots (24)$$

$$k_{max} = \frac{E_{dc}}{8V_m} \quad (0.5 < a < 1) \dots\dots\dots (25)$$

系統連系を想定した場合、変調率 a は 0.5 以上であるから、フライングキャパシタの電圧リプル ΔV_{FC} は、(19)-(25)式から(26)式となり、フライングキャパシタ容量 C_{FC} は(27)式のように得られる。

$$\Delta V_{FC} = \frac{I_m T}{8C_{FC}} \frac{E_{dc}}{V_m} \dots\dots\dots (26)$$

$$C_{FC} = \frac{I_m T}{8\Delta V_{FC}} \frac{E_{dc}}{V_m} \dots\dots\dots (27)$$

(2) 損失計算法

フライングキャパシタの損失 P_{FC} は、等価直列抵抗(以下 ESR)で発生する。 P_{FC} はキャパシタに流れる電流より(28)式で計算できる⁽⁶⁾。

$$P_{FC} = I_{rms_FC}^2 R_{FC} \dots\dots\dots (28)$$

ここで、 I_{rms_FC} はフライングキャパシタに流れるリプル電流の実効値、 R_{FC} はフライングキャパシタの ESR である。キャパシタは許容リプル電流が決められているため、 I_{rms_FC} はキャパシタの選定の際にも重要となる。スイッチング周波数帯のリプル電流実効値は非線形であるため、一般解を得ることは困難であり、また複雑な式は実用的でない。フライングキャパシタの電流は、負荷力率と変調率の関数となる。これらは無次元であるから、電流実効値係数 K_{cf} を導入し、(29)式にて、電流実効値を求める。電流実効値係数 K_{cf} は正規化したシミュレーションにより、リプル電流実効値、負荷力率と変調率の関係を求める。

$$I_{rms_FC} = K_{cf} I_m \dots\dots\dots (29)$$

Fig.5 に電流実効値係数 K_{cf} の変化を示す。 K_{cf} は、変調率 a と負荷力率 ϕ によって決定される。また、Fig.5 より、変調率 a が 0.5 から 0.6 のとき、 K_{cf} は最大 0.65 となることがわかる。

一方、キャパシタの ESR は R_{FC} は(30)式で導出することができる。

$$R_{FC} = \frac{\tan \delta}{2\pi f C_{FC} F_{jn}} \dots\dots\dots (30)$$

$\tan \delta$ は損失角の正接である。(30) 式の $\tan \delta$ は、実際の製品

では 120Hz で正規化されている値であるため、キャリア周波数もしくはスイッチング周波数における I_{rms_FC} 、 R_{FC} は周波数補正係数 F_{jn} を用いて求める⁽¹²⁾。

4・1 直流平滑キャパシタ

(1) キャパシタ容量設計法

ANPC 方式は、マルチレベル電圧の出力に直流中点電位を使用するため、直流平滑キャパシタ C_2 、 C_3 を直列に接続する。直流平滑キャパシタは、中点電位の変動をもとに設計法を検討する。

出力電圧が正の時、1 つのLEGから出力される電力 P_{out1} は(31)式となる。

$$P_{out1} = \frac{1}{2} \{V_m I_m \cos \phi - \cos(2\theta + \phi)\} \dots\dots\dots (31)$$

単相ハーフブリッジ構成を元に考えると、出力電圧指令値が正の時、この電力はすべて上アームのキャパシタから供給される。従って、U 相から中性点に戻る電流は(32)式となる。また他相も同様にして(33)、(34)式にて表すことができる。

$$I_{dc1} = \frac{P_{out1}}{E_{dc}/2} = \frac{V_m}{E_{dc}} I_m \{ \cos \phi - \cos(2\theta + \phi) \} \dots\dots\dots (32)$$

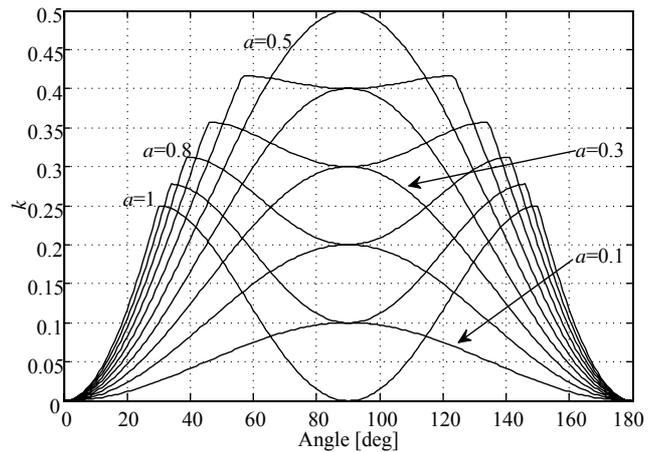


Fig.4. Relationship of output phase and voltage coefficient k .

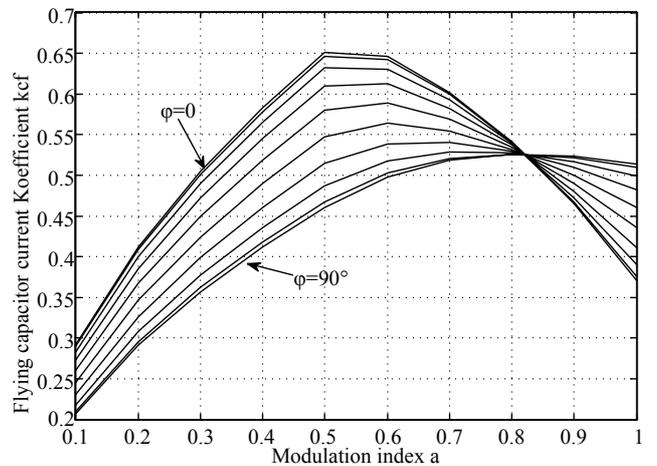


Fig.5. Current coefficient of flying capacitor.

$$I_{dc2} = \frac{V_m}{E_{dc}} I_m \left\{ \cos \phi - \cos \left(2 \left(\theta - \frac{2}{3} \pi \right) + \phi \right) \right\} \dots\dots\dots (33)$$

$$I_{dc3} = \frac{V_m}{E_{dc}} I_m \left\{ \cos \phi - \cos \left(2 \left(\theta - \frac{4}{3} \pi \right) + \phi \right) \right\} \dots\dots\dots (34)$$

直流中点電流はこれらの和で表すことができる。しかし、直流中点電流は出力電圧の極性に依じて直流中点電流方向が変化するため、各相電圧指令に対して、符号関数を導入して(35)式となる。

$$I_{dcn} = \text{sign}(\sin \theta) I_{dc1} + \text{sign} \left(\sin \left(\theta - \frac{2}{3} \pi \right) \right) I_{dc2} + \text{sign} \left(\sin \left(\theta - \frac{4}{3} \pi \right) \right) I_{dc3} \dots\dots\dots (35)$$

(35)式に(32)-(34)式を代入すると(36)、(37)式が得られる。 K_i は三角関数の演算なので、無次元であり力率角 ϕ と出力角 θ の関数となる。

$$I_{dcn} = \frac{V_m}{E_{dc}} I_m k_i \dots\dots\dots (36)$$

$$k_i = \text{sign}(\sin \theta) (\cos \phi - \cos(2\theta + \phi)) + \text{sign} \left(\sin \left(\theta - \frac{2}{3} \pi \right) \right) (\cos \phi - \cos \left(2 \left(\theta - \frac{2}{3} \pi \right) + \phi \right)) + \text{sign} \left(\sin \left(\theta - \frac{4}{3} \pi \right) \right) (\cos \phi - \cos \left(2 \left(\theta - \frac{4}{3} \pi \right) + \phi \right)) \dots\dots\dots (37)$$

Fig.6に負荷力率1のときの中性点電流係数 k_i の変化を示す。Fig.6より、 k_i は60°毎に極性が変化することがわかる。そこで、 $0 < \theta < \pi/3$ の領域について、詳細に検討し、中性点電流の大きさを求める。まず、各符号関数を調べると、符号関数は(36)-(38)式となる。

$$\text{sign}(\sin \theta) = 1 \dots\dots\dots (38)$$

$$\text{sign} \left(\sin \left(\theta - \frac{2}{3} \pi \right) \right) = -1 \dots\dots\dots (39)$$

$$\text{sign} \left(\sin \left(\theta - \frac{4}{3} \pi \right) \right) = 1 \dots\dots\dots (40)$$

このとき、 $0 < \theta < \pi/3$ の領域の直流中点電流は(36)式より、(41)式となる。

$$I_{dcn} = \frac{V_m}{E_{dc}} I_m \left\{ 1 - 2 \sin \left(2\theta + \frac{\pi}{6} \right) \right\} \dots\dots\dots (41)$$

(41)式より、直流平滑キャパシタのリプル電流の最大値は $\theta = \pi/6$ の時となり、その値は(42)式となる。

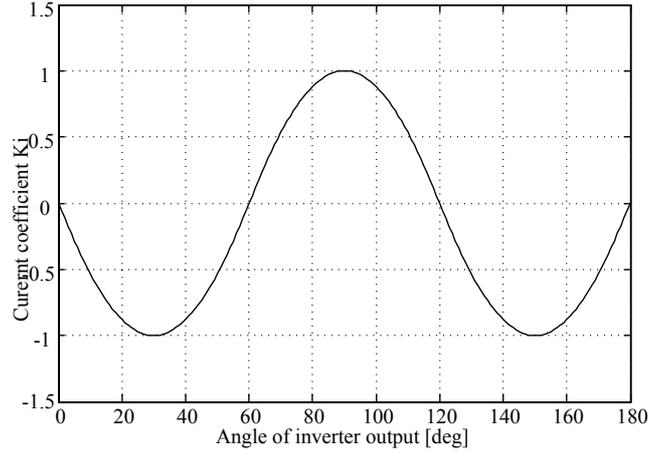


Fig.6 Relationship of angle of inverter output and current coefficient.

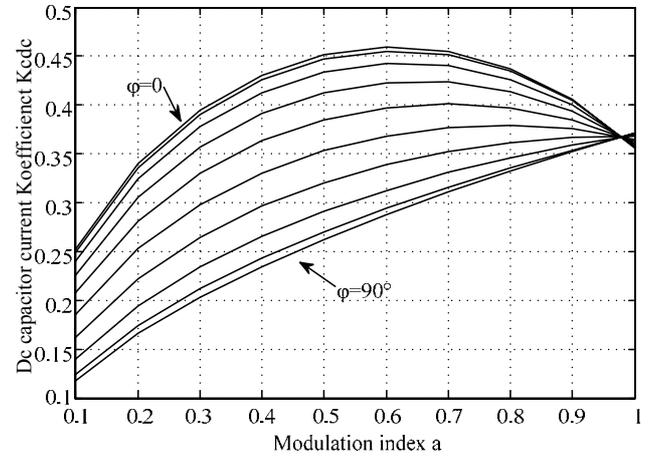


Fig.7. Current coefficient of DC smoothing capacitor.

$$I_{dcn} = \frac{V_m}{E_{dc}} I_m \dots\dots\dots (42)$$

直流平滑キャパシタ C_{DCSC} は、等価的に直流中点から負荷側をみると並列接続になるので、電圧変動 v_{cn} は(19)式から(41)のように表すことができる。

$$v_{cn} = \frac{1}{2C_{DCSC}} \int I_{dcn} dt \dots\dots\dots (43)$$

直流平滑キャパシタの電圧リプル最大値は、(43)式を $0 < \theta < \pi/3$ の区間について定積分すればよいので、(44)式となり、直流平滑キャパシタ容量 C_{DCSC} は(45)式のように得られる。

$$\Delta v_{cn} = \frac{V_m}{2\omega C_{DCSC} E_{dc}} I_m \left(\sqrt{3} - \frac{\pi}{3} \right) \dots\dots\dots (44)$$

$$C_{DCSC} = \frac{V_m}{2\omega \Delta v_{cn} E_{dc}} I_m \left(\sqrt{3} - \frac{\pi}{3} \right) \dots\dots\dots (45)$$

(2) 損失計算法

直流平滑キャパシタの損失 P_{DCSC} はフライングキャパシタの損失と同様の手順で(46)-(48)式のように計算できる。

$$P_{DCSC} = I_{rms_DCSC}^2 R_{DCSC} \dots\dots\dots (46)$$

$$I_{rms_DCSC} = K_{cdc} I_m \dots\dots\dots (47)$$

$$R_{DCSC} = \frac{\tan \delta}{2\pi f C_{DCSC}} \frac{1}{F_{fn}} \dots\dots\dots (48)$$

ここで、 I_{rms_CDC} は直流平滑キャパシタに流れるリップル電流実効値、 R_{CDC} は直流平滑キャパシタの ESR、 K_{cdc} は直流平滑キャパシタの実効値係数である。 K_{cdc} は正規化したシミュレーションにより、Fig.7 で得られる。Fig.7 より、 a が 0.6 のとき、最大 0.46 となる。また、キャパシタ電流の主成分はスイッチング周波数成分と出力周波数の 3 倍成分である。力率 1 の場合、スイッチング周波数成分の電流実効値 I_{rms_DCSC} は(47)式で得られ、出力周波数の 3 倍成分の実効値 $I_{rms_DCSC3rd}$ は、(49)式となる。

$$I_{rms_DCSC3rd} = \frac{1}{2\sqrt{2}} a I_m \dots\dots\dots (49)$$

5. 実験結果

5.1 動作確認

3 章、4 章において、ANPC 変換器中の素子に発生する損失計算方法について述べた。導出した損失計算方法およびパラメータ算定の妥当性を確認するために 1kW 定格の実機を試作し、動作確認を行った。

Fig.8 に 5 レベル ANPC インバータの動作波形を示し、Table2 に実験条件及び各素子パラメータを示す。Fig.8 より出力電流は良好な正弦波が出力されている。また、出力電圧は直流中点を基準とする出力相電圧は指令値に追従し、5 レベルの出力相電圧波形が得られた。さらに、フライングキャパシタ電圧は入力の 1/4 である 71V になっていることを確認した。なお、ゼロクロス時に発生しているサージ電圧は、Cell2 が出力電圧極性を切り替えるタイミングに対し、Cell1 のスイッチングタイミングが遅れていることに起因している。今後、切り替え時のスイッチングタイミングを見直すことで改善できると考えられる。

Fig.9 に直流平滑キャパシタ及びフライングキャパシタのリップル電圧波形及びそれぞれの拡大図を示す。Table2 より、各キャパシタは(27)式、(45)式を用いて、リップル電圧がそれぞれの定常値の 10%以下となるように設計した。Fig.9(b),(c)の点線は設計値を示している。Fig.9(b),(c)より、直流平滑キャパシタのリップル電圧は 9V(=6.4%)、フライングキャパシタのリップル電圧は 6.8V(=9.6%)となっており、リップル電圧が設計値以下になっていることを確認した。

Fig.10 に負荷を 600W から 1100W まで変化させたときの 5 レベル ANPC インバータの効率特性を示す。Fig.10 よりすべての測定範囲において効率 98%以上を達成し、600W のとき最高効率 98.7%であることを確認した。

5.2 損失比較

Fig.11 に実験により測定した損失と(7)式-(10)式、(13)式-(16)、(28)式、(46)式により推定した理論値の損失を比較した結果を示す。Fig.11 より、1kW 定格運転時の理論損失と実機の損失の誤差率 2%であり、理論式の妥当性を確認し

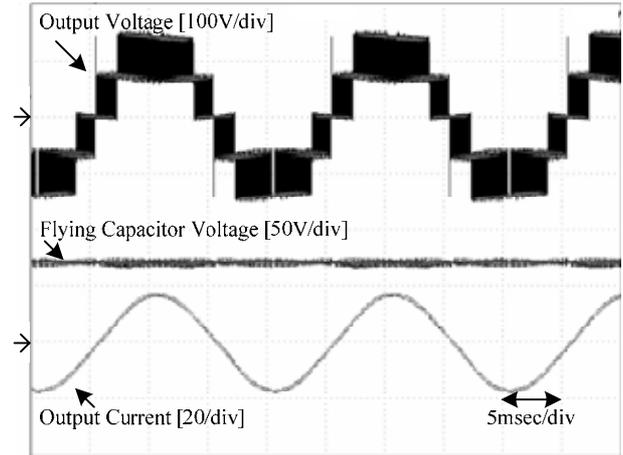
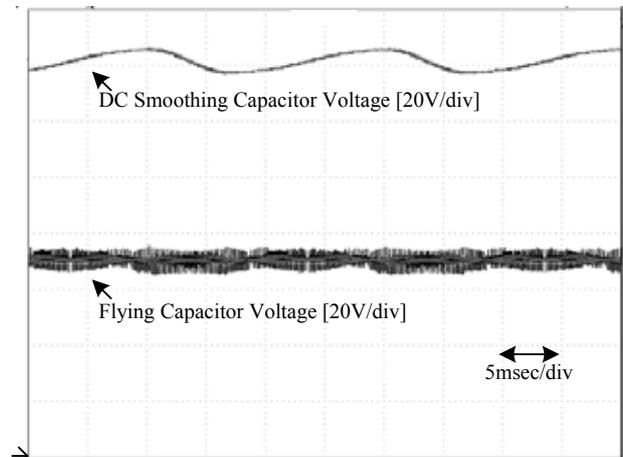
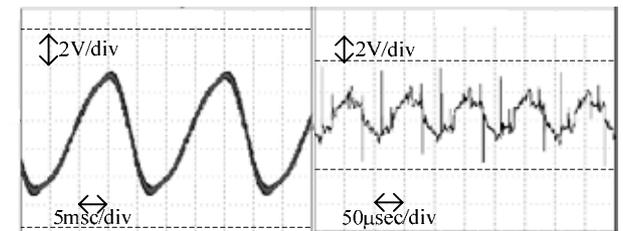


Fig. 8. Experimental waveform of the ANPC inverter.



(a) Voltage waveform of the capacitors.



(b) Ripple voltage of the DC smoothing capacitor. (c) Ripple voltage of the flying capacitor.

Fig.9. Experimental waveform of the capacitors.

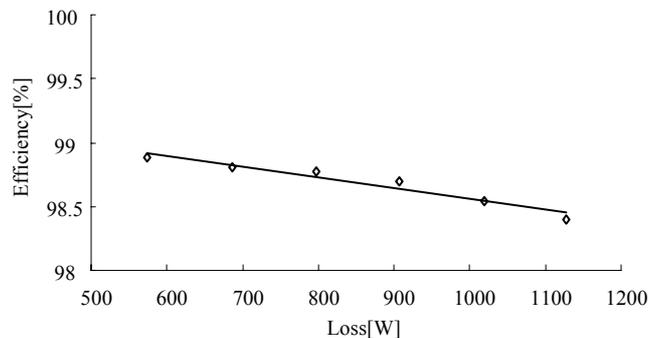


Fig.10. Efficiency of the ANPC inverter (Experimental results).

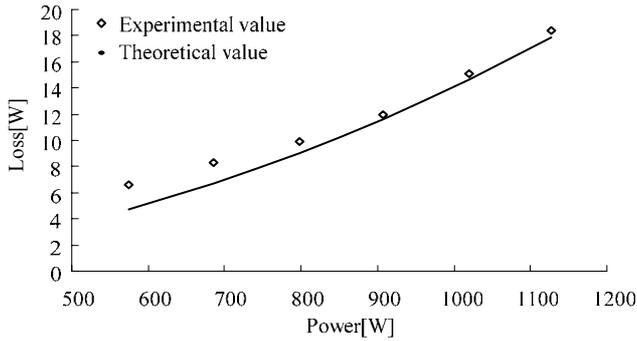


Fig.11 Loss of the ANPC inverter.

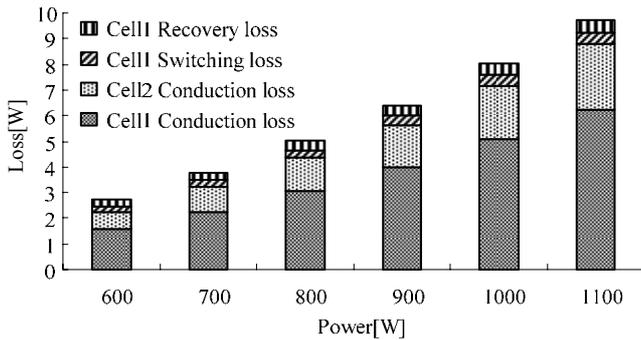


Fig.12. Loss analysis.

Table 2 Experimental parameters.

(a) Circuit parameters.

Input voltage	283V	Carrier frequency	10kHz
Output voltage	100V	Output frequency	50Hz
Output current	10A	RL load	resistance 8.78Ω
Rated power	1.0kW		inductance 2mH
Ripple Voltage	Flying capacitor	10%	
	DC smoothing capacitor	10%	

(b) MOSFET parameter1 (S_1 - S_4).

On resistance	8mΩ (125 deg C)	Body-Drain diode forward voltage	1.3V
Rise time	105ns	Body-Drain diode reverse recovery time	130ns
Fall time	74ns	Switching device	IRFP4668pBF (IR)

(c) MOSFET parameter2 (S_5 - S_8).

On resistance	18mΩ (125 deg C)	Body-Drain diode forward voltage	1.3V
Rise time	29ns	Body-Drain diode reverse recovery time	200ns
Fall time	16ns	Switching Device	IXFB170N30P (IXYS)

(d) Capacitor parameter (C_1 - C_3).

	Flying Capacitor	DC smoothing capacitor
Capacity	100μF	4700μF
ESR	300mΩ (measurement value)	12mΩ (measurement value)
Rated ripple current	0.69Arms	15.9Arms
Device	LGU2W101MELA (nichicon)	FXA2G472YD (Hitachi)

た。軽負荷になると一致しなくなるが、これは浮遊容量による電流の影響及び、スイッチング素子のコレクタエミッタ間の静電容量への充放電電流などの影響が考えられる。

Fig.12 に、ANPC の半導体素子の損失に注目し、損失を分離した結果を示す。Fig.12 より、5 レベル ANPC インバータの損失は、Cell1, Cell2 とともに導通損失が支配的であり、スイッチング損失の割合が低いことを確認できる。このことからさらなる高効率を実現するためにはオン抵抗もしくはオン電圧の小さい素子を選定すればよい。とくに Cell2 ではスイッチング損失がほとんど発生しないため、導通損失に重点を置いた素子選定が重要となる。

6. 結論

本論文では、ANPC 変換器のパラメータ設計の指針を明確に示すことを目的として 5 レベル ANPC インバータのパラメータ設計について検討を行った。まず、変換器を構成する半導体素子、キャパシタ素子に注目し、電力損失や、キャパシタ容量設計の計算法について検討した。そして、1kW 実機を試作し、実験による動作確認を行い理論式との比較を行った。実験では、1kW 定格時における基本動作を確認し、変換器最高効率が 98.9% (P_{out} :450W 時) を達成した。また、各キャパシタの電圧リプルは設計値とよく一致し、設計方法の妥当性を実験により確認した。加えて、1kW 定格運転時の理論損失と実機の損失の誤差率 2% であり、理論式の妥当性を確認した。今後は、変換器のパワー密度に注目し、変換器体積に着目したキャパシタとヒートシンク的设计・選定について検討を行う。さらに、変換器の効率とパワー密度、それぞれに応じた最適設計方法について検討する予定である。

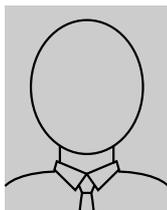
(平成 年 月 日受付,平成 年 月 日再受付)

文 献

- (1) Fang Zheng Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, Vol.37, No.2, p.611-618 (2001)
著書名 : 「タイトル」, 雑誌名, Vol.巻数, No.号数, p.頁数 (発行年)
- (2) NJose Rodrigues, Jih-Sheng Lai, and Fang Zheng Peng : "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, Vol.49, No.4 pp.724-738 (2002) (in Japanese)
著書名・著書名 : 「タイトル」, 雑誌名, Vol.巻数, No.号数 pp.開始頁-終了頁 (発行年)
- (3) Kazuki Iwaya, Isao Takahashi : "Switching Type Power Amplifier Using Multilevel Inverter", IEEJ, Vol.123, No.11 pp.1339-1344 (2003) (in Japanese)
岩谷 一生・高橋 勲 : 「マルチレベルインバータを用いたスイッチング形電力増幅器」, 電学論 D, Vol.123, No.11 pp.1339-1344 (2003)
- (4) Masaki Yamada, Akihiro Suzuki, Akihiko Iwata, Toshiyuki Kikunaga, Hajimu Yoshiyasu, Kazuo Yamamoto, and Nobuhiko Hatano : "Proposal of Voltage Transient Sag Compensator with Controlled Gradational Voltage", IEEJ, Vol.125, No.2 pp.119-125 (2005) (in Japanese)
山田 正樹・鈴木 明弘・岩田 明彦・菊永 敏之・菊永 敏之・吉安 一・山本 和生・羽田野 信彦 : 「階調制御型瞬停補償装置の提案」, 電学論 D, Vol.125, No.2 pp.119-125 (2005)
- (5) Lin Ma, Tamas Kerekes, Remus Teodorescu, Xinmin Jin, Dan Floricaeu,

- Marco Liserre : 「The High Efficiency Transformer-less PV Inverter Topologies Derived From NPC Topology」, EPE 2009-Barcelona , pp.1-10 (2009)
- (6) Z. Pan, F. Z. Peng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S.Gataric : “Voltage Balancing Control of Diode-Clamped Multilevel Rectifier/Inverter Systems”, IEEE Transactions on industry applications, Vol.41, No.6, pp.1698-1706(2005)
- (7) X. Kou, K. A. Corzine, and Y. L. Familant : “A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter”, IEEE Transactions on power electronics, Vol.19, No.4, pp. 979-987 (2004)
- (8) Barbosa, P.; Steimer, P.; Steinke, J.; Meysenc, L.; Winkelkemper, M.; Celanovic, N: “Active Neutral-point-Clamped Multilevel Converter”, Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th 16-16 June 2005 Page(s):2296 – 2301
- (9) J. Itoh , Y. Noge and T. Adachi: “A novel Five-level PWM Rectifier Using 12 switches”, ECCE IEEE, P8-13 1394 (2009)
- (10) Toufann Chaudhuri, Peter Steimer, and Alfred Rufer: “Introducing the Common Cross Connected Stage (C³S) for the 5L ANPC Multilevel Inverter”, PESC 2008, P167-173 (2009)
- (11) L. A. Serpa, P. M. Barsa, P. K. Steimer, and J. W. Kolar : “Five-Level Virtual-Flux Direct Power Control for the Active Neutral-Point Clamped Multilevel Inverter”, PESC 2008, P1668-1674 (2008)
- (12) (株)日本ケミコン: テクニカルノート <http://www.chemi-con.co.jp/pdf/al-j/al-sepa-j/001-guide/al-technote-j-090901.pdf>

櫻原 有 吾 (学生員) 1986年3月24日生まれ。2009年3月長岡技術科学大学大学院工学研究科修士課程電気電子情報工学専攻に進学。主に電力変換回路に関する研究に従事。



伊東 淳 一 (正員) 1972年1月6日生まれ。1996年3月長岡技術科学大学大学院工学研究科修士課程修了。同年4月、富士電機(株)入社。2004年4月長岡技術科学大学電気系准教授。現在に至る。主に電力変換回路、電動機制御の研究に従事。博士(工学)(長岡技術科学大学)。2007年第63回電気学術振興賞進歩賞受賞。IEEE 会員。

