

## 12 スイッチで構成する 5 レベル PWM 整流器の 高周波電源下での動作検証

学生員 野下 裕市\* 正員 伊東 淳一\*

### An Experimental Verification of a Simplified Five-Level PWM Rectifier with Twelve Switches for Use in High-Frequency Power Supply Systems

Yuichi Noge\*, Student Member, Jun-ichi Itoh\*, Member

In this paper evaluates a reduced switch count five-level PWM rectifier in a high frequency power supply system. The rectifier is combined a diode clamp type topology with a flying capacitor type topology. Moreover, it uses only four switches per leg in spite of being a five-level converter. This paper describes the features of the proposed circuit topology and the corresponding methods of the high input frequency. Finally, the performance of the input current control of the proposed circuit is confirmed using the experimental setup. In addition, the operation of the proposed circuit at a high frequency of 800Hz is confirmed experimentally.

キーワード : PWM 整流器, マルチレベル, 空間ベクトル変調, 高周波電源

Keywords : PWM rectifier, Multilevel, Space vector modulation, High frequency power supply

#### 1. はじめに

近年, 航空機では従来の油圧式アクチュエータを用いた飛行制御システムに代わり, 小型軽量化が可能な電気式アクチュエータの採用が進み, 電源設備の容量が増大している。エンジンに直接接続された発電機の出力周波数は変動するため, 機内系統に連系する変換器が必要である。現在は機械的な無段階変速機を用いて発電機を一定の回転数で駆動するシステムや, 移相変圧器とダイオード整流器を用いた多パルス整流回路とインバータを組み合わせたシステムが用いられている<sup>(1)</sup>。しかし, いずれも変速機や変圧器が大型で重いという欠点がある。特にダイオード整流器を用いたシステムでは, 入力電流の高調波規制を達成するため, フィルタが大型化する。また入力電圧や負荷に応じて出力電圧が変動する問題もある。これらの理由から小型軽量で入力電流高調波が少ない整流回路が必要とされている。

入力電流高調波を抑制できる整流回路として, 力率改善(PFC)整流器があり, さまざまな回路構成や適用例が報告されている<sup>(2-11)</sup>。中でも 2 レベルの PWM 整流器はスイッチ素子で構成されるため入力電流の制御性が高く, 入力電流高調波抑制に効果的であることから実用化が進んでいる。

PWM 整流器を航空機電源システムに適用する場合, エン

ジンに接続された発電機の出力周波数が 400~800Hz と高く, 制御性を確保するため, 一般的な商用電源に用いる PWM 整流器に比べてスイッチング周波数を高く設定することが望ましい。しかし一般的な 2 レベル PWM 整流器ではスイッチング素子の制約から, スwitching周波数を向上させるのが困難である。

そこで高周波スイッチングを実現する技術として, マルチレベル構成が考えられる。n レベル構成でスイッチ印加電圧を  $1/(n-1)$  に低減できるため, 低耐圧で高速な MOSFET が使用できることから, スwitching周波数が向上し, 連系リアクトルの小型化や入力電流高調波の低減が実現できる。しかし従来から提案されているダイオードクランプ方式またはフライングキャパシタ方式マルチレベル PWM 整流器はスイッチ素子が多く, 回路構成と制御方法が複雑化する問題がある。

本論文では, 著者らが提案<sup>(12)</sup>しているスイッチ素子数を半減した新たな 5 レベル PWM 整流器を高周波電源用途に適用する際の問題点を明らかにし, その対策法を提案する。また提案回路を高周波電源用途に適用した際の制御特性を実験により明らかにする。提案する 5 レベル PWM 整流器はフライングキャパシタ方式とダイオードクランプ方式を組み合わせた回路構成を持ち, 外側クランプダイオードに出力電圧  $V_{dc}$  の  $1/2$  を持たせることで電流の通過素子数を削減し, 同時にスイッチ素子の印加電圧を  $1/4V_{dc}$  に保つことができる。

\* 長岡技術科学大学  
〒940-2188 新潟県長岡市上富岡町 1603-1  
Nagaoka University of Technology,  
1603-1 Kamitomioka, Nagaoka, Niigata 940-2188

本論ではまず、提案する整流回路の特徴及び動作を紹介する。次に高周波入力において問題となる波形ひずみについて、発生原因と補償法を説明し、動作特性を実機検証する。電源周波数 800Hz 時の動作を示し、高周波電源システムに適用可能であることを示す。

## 2. 提案回路の構成と制御法

### (2-1) 従来回路

Fig.1 に従来の 5 レベル PWM 整流器 1 相分の回路構成を示す。回路図中の各素子は  $1/4V_{dc}$  を基準としている。Fig.1(a) はダイオードクランプ形、Fig.1(b) はフライングキャパシタ形で、 $1/4V_{dc}$  耐圧の素子を用いた場合の構成である。いずれもスイッチ素子耐圧は  $V_{dc}$  の  $1/4$  となるが、1 相あたり 8 個のスイッチ素子が必要であり、コストアップや制御系が複雑化する欠点がある。

### (2-2) 提案回路

Fig.2 に提案回路を示す。提案回路はダイオードクランプ形とフライングキャパシタ形と組み合わせた構成になっている。さらにパワーフローを AC-DC 方向に限定することで従来回路と比較してスイッチ数を半分に削減する。 $C_1$  はフライングキャパシタで、 $1/4V_{dc}$  の電圧を保つようにスイッチングパターンを切り替えて充放電制御する。 $C_3$  の電位はダイオード  $D_{R1}$ ,  $D_{S1}$ ,  $D_{T1}$  を経て出力平滑コンデンサ  $C_2$  の中性点電位にクランプされ、 $C_2$  の電位を制御すれば  $C_3$  のバランス制御は不要である。

Table 1 に提案回路の変換器入力電圧とスイッチングパターンを示す。提案回路は 2 種類のゼロレベルを含む 5 レベルを出力できる。フライングキャパシタ電圧を  $V_{C1}=V_{dc}/4$  一定とすると、No. 2 と 3, No. 6 と 7 が同一のレベルとなる。つまり、同一のレベルを保ちながら  $C_1$  の充電、放電モードを切り替えられるため、スイッチングパターンを使い分けることによる  $C_1$  の充放電制御が可能となる。

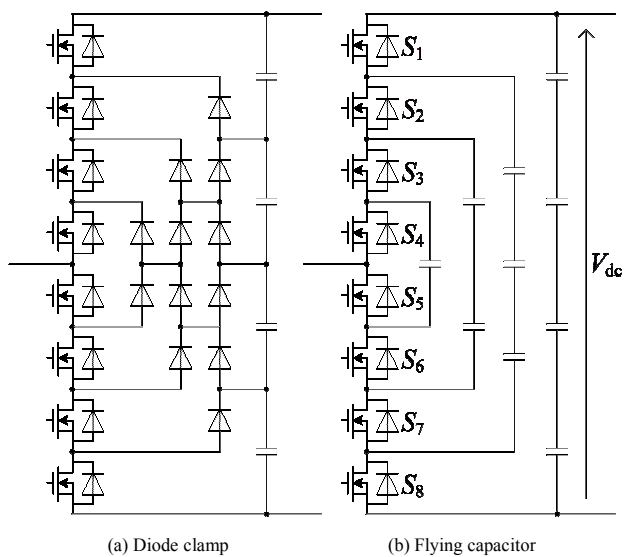


Fig. 1. Configuration of the conventional circuit (single leg)

Table 2 に従来回路と提案回路の回路素子数の比較を示す。提案回路の最大の利点はスイッチ素子数が従来回路の半分となることである。またダイオードクランプ形よりもダイオードが少なく、フライングキャパシタ形よりもコンデンサが少ない。また、補助回路なしにコンデンサの電圧を制御できる特徴がある。以上から提案回路は他の 5 レベル PWM 整流器よりも低コストで実現できる。なお、提案回路はパワーフローが交流から直流への一方向となるが、航空器電源用途においては発電機に流入するパワーフローは望ましくなく、問題とはならない。

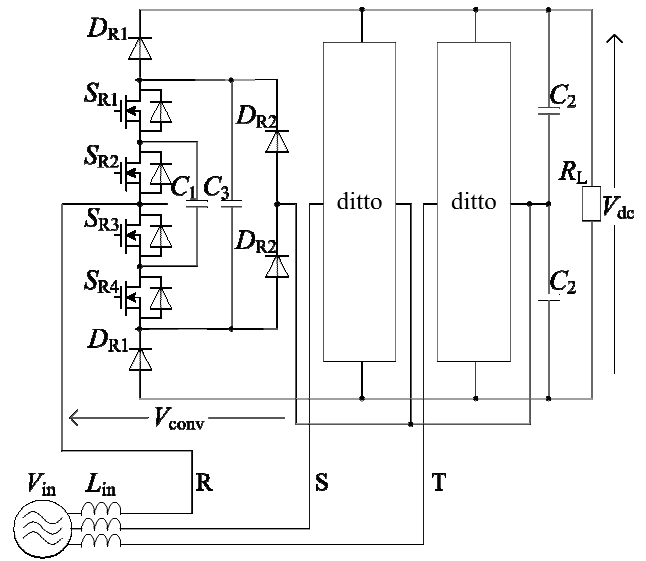


Fig. 2. Configuration of the proposed circuit

Table 1. Switching patterns for the proposed circuit

No.	$v_{in}$ polarity	Flying capacitor	Output voltage	On state switch
1	+	-	$+1/2 V_{dc}$	$S_1, S_2$
2		Discharge	$+1/4 V_{dc}$	$S_1, S_3$
3		Charge	$+1/4 V_{dc}$	$S_2, S_4$
4		-	+0	$S_3, S_4$
5	-	-	-0	$S_1, S_2$
6		Charge	$-1/4 V_{dc}$	$S_1, S_3$
7		Discharge	$-1/4 V_{dc}$	$S_2, S_4$
8		-	$-1/2 V_{dc}$	$S_3, S_4$

Table 2. Comparing of component device counts among the conventional circuits and proposed circuit

	Diode clamp	Flying capacitor	Proposed circuit
Switch	24	24	<b>12</b>
Diode	60	24	36
Capacitor	4	30	13
Voltage Control of C	Impossible	Possible	Possible

〈2・3〉 制御方式

Fig.3 に提案回路の制御ブロック図を示す。制御ブロックは、入力電流制御と出力電圧制御からなる。三相入力電流を入力電圧から検出した電源角度を用いて回転座標変換し、d-q 軸上で制御する。d 軸が有効電流、q 軸が無効電流を表す。q 軸電流指令値  $I_q^*=0$  とすることで、連系リアクトル電源側の入力力率を 1 に制御する。電流制御系の PI 制御器で得られた出力電圧指令値を  $\alpha$ - $\beta$  座標に変換し、空間ベクトル変調により PWM を出力する。Table 1 に示される 8 個のベクトルから指令値に応じて 3 種類の電圧ベクトル  $V_1, V_2, V_3$  を選択し、それぞれの電圧ベクトル出力時間  $T_1, T_2, T_3$  を決定し、キャリア比較により PWM パルスを得る。空間ベクトル変調により計算された電圧ベクトル出力時間に加えて、入力電圧極性とフライングキャパシタの充放電モード判定結果を用いてスイッチングパターンが選択される。

空間ベクトル変調方式を採用した理由は、(1)キャリア変調に比べてフライングキャパシタ制御に伴うスイッチングパターンの切り替えを簡単化するため。(2)全体のスイッチング回数を低減するためである。

3. 高周波電源適用時の問題点と対策

〈3・1〉 問題点

提案回路はスイッチ数を削減するために、パワーフローを AC から DC の一方向に限定している。これは航空機のエンジンに向かってパワーを流し込まないことが保証されており、保護上の観点から都合がよい特性である。しかしこれにより 2 つの問題が生じる。1 つ目は入力に接続された連系リアクトルに発生する電圧による、変換器入力電圧と入力電流位相の誤差、2 つ目は制御器のサンプリング遅れに起因する極性切り替えの遅れに伴う誤差である。

(1)連系リアクトルによる位相遅れ

Fig.4 にシステムの単相等価回路図と電圧ベクトル図を示す。提案回路では d-q 座標の角度情報を電源電圧から検出する。しかし実際に出力される変換器入力電圧  $V_{conv}$  は、連系リアクトルに印加される電圧  $V_L$  による位相差  $\Delta\theta$  を伴う。 $V_L$  を考慮せず、入力電圧  $V_{in}$  に基づいたスイッチングパターン選択を行う場合、 $V_{conv}$  は  $V_{in}$  と同位相に近づく。このとき入力電流  $I_{in}$  は、 $V_{in}$  に対して遅れ位相となる。

Fig.5 に入力電圧とコンバータ出力電圧領域の分割を示す。提案回路は力率 1 を前提に動作しており、入力電圧と入力電流は同位相である。またスイッチングパターンは入力電圧を基準に選択する。 $V_L$  の影響で電流位相が遅れると、提案回路はパワーフローの制限により無効分の電流を出力できないため、入力電流にひずみが発生する。これは提案回路のスイッチングパターン(Table 1 No. 1, 4, 5, 8)において、電流経路にクランプダイオードが存在することから、電流方向が制限されるためである。中でも No. 4,5 の 0V 出力パターンは、電流極性の反転に合わせて切り替える必要があり、電流位相遅れの影響を大きく受ける。

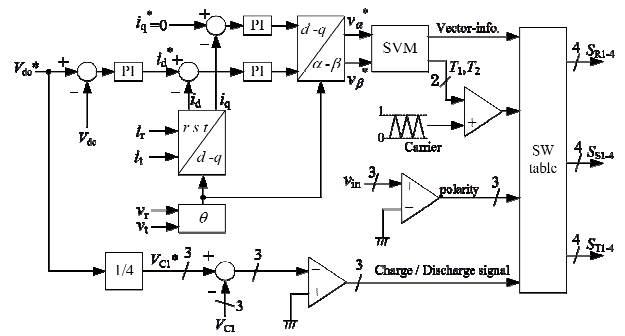
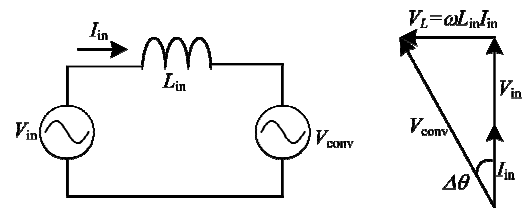


Fig. 3. Control block diagram



(a) Equivalent circuit of the rectifier (b) Input voltage vectors

Fig. 4. Influence of the reactor voltage

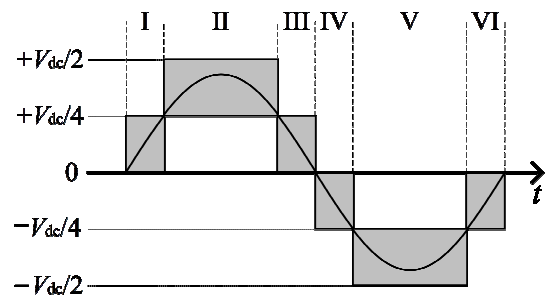


Fig. 5. Input voltage area of 5-level rectifier

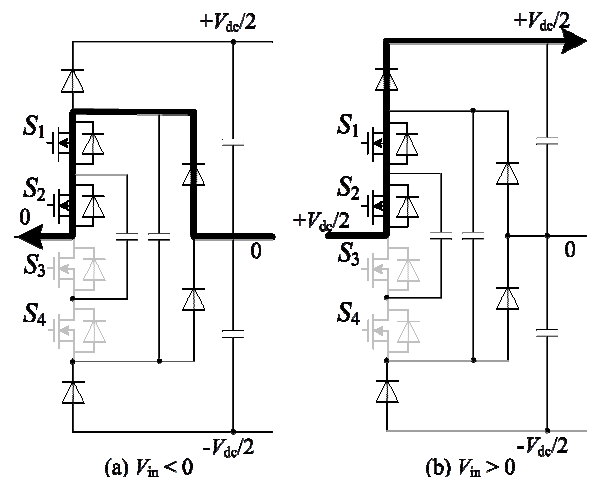


Fig. 6. Example of the switching sequence error

(2)極性切り替え遅れ

提案回路では入力電流極性によってスイッチングパターンを切り替える必要があり、一般的なキャリア同期でパターンを切り替える制御器（以下同期極性切り替え）を使用すると、切り替えタイミングまで待ち時間があるので、遅

れが生じる。遅れ時間を短縮するためにスイッチング周波数を高く設定すると、スイッチング損失の増加による変換効率の低下や、制御器の計算速度向上によるコスト上昇の問題がある。

Fig. 6 を用いて入力電圧が負から正に切り替わるゼロクロス点(Fig.5 領域VI~I)における問題点を説明する。領域IVにおけるスイッチングパターンは Table 1 No.5 に示す+0V出力である。(a)は通常動作であり、入力電流は中性点から流出する方向となる。入力電圧が正に切り替わる点の極性検出が遅れた場合、スイッチングパターンは領域VIの状態に保持される。入力電流はクランプダイオードに阻止され中性点に流れず、(b)の経路を通り+1/2V<sub>dc</sub>に接続される。この結果、本来は+0Vと+1/4V<sub>dc</sub>でスイッチングすべき Fig.5 領域Iの出力電圧が、キャリア周期による遅れの間+1/2V<sub>dc</sub>と+1/4V<sub>dc</sub>となり、入力電流にひずみを生じる。

同期極性切り替えでは、入力電圧極性の検出が制御器の割り込み発生直後のみとなるため、キャリア周波数が26.7kHzの場合、遅延時間は最短で1キャリア周期37.5μsから、最大で2周期分75.0μsまで変化する。遅延時間は変換器入力電圧誤差となり、入力電流にひずみを生じる。この変換器入力電圧誤差は電源周期1/f<sub>in</sub>とキャリア周期1/f<sub>c</sub>の最小公倍数から決まる長周期のビート電流として現れる。ビート電流の周波数f<sub>beat</sub>は(1)式で表される。

$$f_{beat} = \frac{1}{\{1/f_{in}, 1/f_c\}} \dots\dots\dots(1)$$

このビート電流は電源周波数よりも低く、発電機や連系リアクトルの騒音や振動などの問題を生じる。

### 〈3・2〉連系リアクトル電圧の補償

連系リアクトル電圧に起因するひずみを改善するため、d-q座標の位相を補償する。Fig.7に補償器の構成を示す。電源周波数をf<sub>in</sub>[Hz]とすると、V<sub>s</sub>とV<sub>conv</sub>の位相差Δθ[rad]は(2)式で表される。

$$\Delta\theta = \tan^{-1} \frac{2\pi f_{in} L_m I_s}{V_s} [rad] \dots\dots\dots(2)$$

f<sub>in</sub>は常時変動するが、制御器内のd-q座標回転速度から検出可能である。このΔθを電源電圧より検出した角度に計算する。

### 〈3・3〉極性切り替え時のサンプリング遅れ低減

極性切り替わり付近の0V出力スイッチングパターン(Table 1 No.4,5)をキャリア周期と非同期に切り替える(以下非同期極性切り替え)ことで、スイッチング周波数を上昇させずに遅れを低減する。具体的には入力電圧検出回路に付随した電圧極性判定回路の出力を、FPGA内部のカウントクロック40MHzでサンプリングし、0Vパターンの極性をキャリア周期と非同期で瞬時に切り替える。この場合、入力電圧極性反転から0Vパターンが切り替わるまでの遅れ時間は、電圧極性検出回路の遅延とデッドタイムが支配的となる。今回の実験では非同期極性切り替えの遅延時間は15μsとなる。キャリア周波数が26.7kHzの場合、キャリア周期の37.5μsに対して遅れ時間が大幅に短縮される。また

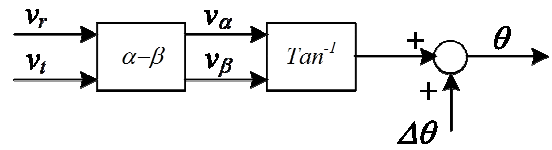


Fig. 7. Reactor voltage compensator in Fig.3

非同期極性切り替えのもう一つの利点として、極性切り替えタイミングの時間方向の離散化誤差を一定に保てるので、(1)式のビート成分を抑制できる。

## 4. 実験結果

Table 3に示す実験パラメータにより、プロトタイプを作成し、提案回路の動作を実機実験により確認した。実験は以下の3条件で行った。

1. 連系リアクトル電圧補償なし、同期極性切り替え
2. 連系リアクトル電圧補償あり、同期極性切り替え
3. 連系リアクトル電圧補償あり、非同期極性切り替え

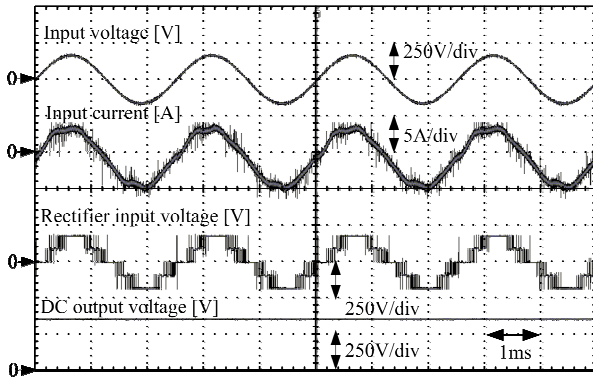
交流電源は高周波発電機を模擬するために電源環境シミュレータ(NF回路設計ブロック製4400)を使用し、周波数は航空機電源を想定した400~800Hzとする。またデッドタイム500nsを各スイッチのターンオンに付加する。波形はそれぞれ上から入力電圧、入力電流、変換器入力電圧、直流出力電圧を示す。

Fig.8(a)の連系リアクトル電圧補償と同期極性切り替えを使用する場合、連系リアクトル電圧の影響により、極性切り替わり付近で入力電流と変換器のスイッチングパターン極性が一致せず、電流波形がゼロに停滞する。その結果電流制御系の過渡応答が生じ、入力電流波形が振動的になる。このとき入力電流の全高調波ひずみ率は6.54%である。

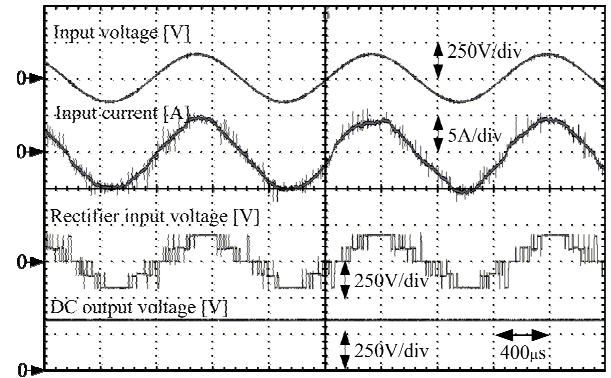
Fig.8(b)の連系リアクトル電圧補償と同期極性切り替えを行う場合では、極性切り替わり付近の電流停滞が減少する。このとき入力電流の全高調波ひずみ率は3.57%と、連系リアクトル電圧補償を行わない場合と比較して45%低減する。しかし極性切り替わり付近で大きくひずむ場合があり、これはサンプリング遅れの影響が大きく出たときに発生する。また電流波形のピーク両肩のひずみは、3相構成の他相の影響である。

Fig.8(c)の連系リアクトル電圧補償と、スイッチングパターン非同期切り替えを併用した場合には、入力電流の全高調波ひずみ率は3.34%と、3方式中最も低い値となった。またFig.8(b)に見られた入力電流極性切り替わり付近のひずみが減少している。

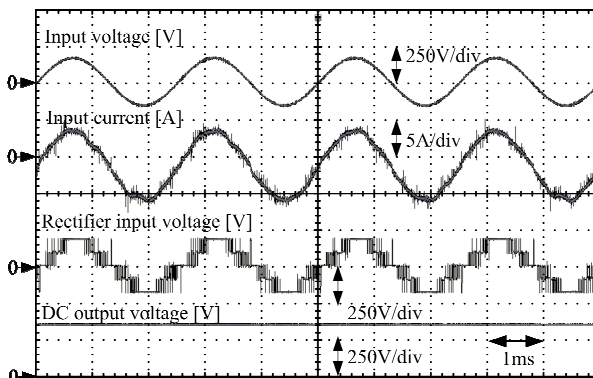
Fig.9(a)に連系リアクトル電圧補償と同期極性切り替えを用いた場合の800Hz動作波形を示す。入力電流の全高調波ひずみ率は3.13%と400Hz動作よりも12%低下するが、実際の波形のひずみは400Hz動作時より大きい。これは電源周波数の上昇により、電源周波数とキャリア周波数との差が小さくなるために生じる。同期極性切り替えに起因する



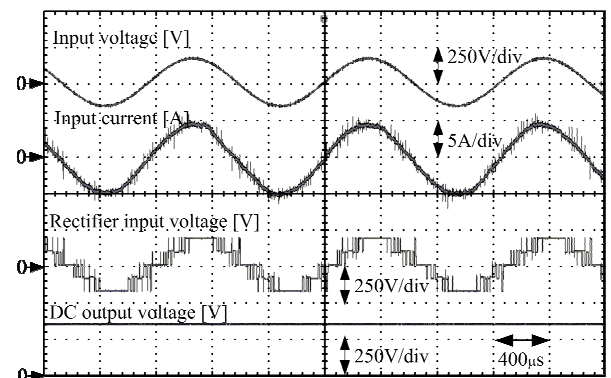
(a) Without compensation (THD: 6.54 [%])



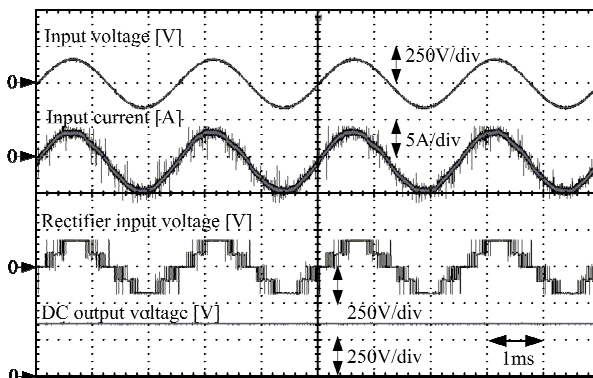
(a) Reactor voltage compensation (THD: 3.13 [%])



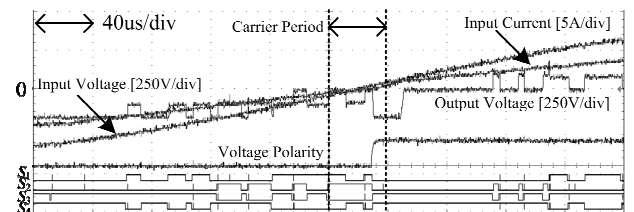
(b) Reactor voltage compensation (THD: 3.57 [%])



(b) Asynchronous polarity switching (THD: 2.86 [%])



(c) Asynchronous polarity switching (THD: 3.34 [%])



(c) Enlarged waveforms and switching patterns

Fig. 9. Operation waveforms when the input frequency is 800 Hz

を出力し、電流を変換器から連系リアクトルへ流している。キャリア区間の途中、入力電圧極性が正側に切り替わると同時に、電圧極性判定信号を用いて、キャリア周期と非同期に  $S_3, S_4$  ON の+0V パターンに切り替えている。なお切り替え直後に  $-1/2V_{dc}$  の誤差電圧パルスが発生している。この誤差電圧パルスの幅は、電圧極性判定回路とデッドタイムにより決定するため  $15\mu s$  と短く、上下対称となる。

Fig.10 に入力周波数を変化させた場合の、各制御法における入力電流全高調波ひずみ率の変化を示す。連系リアクトル電圧補償なしの場合、周波数の上昇に比例してひずみ率が上昇し、400Hz 以上では制御できない。連系リアクトル電圧補償を加えると、ひずみ率は電源周波数によらず 3% 近辺に安定する。また非同期極性切り替えを用いることで、さらに低減する。

Fig.11 に 0V パターンの同期/非同期極性切り替えによる

Fig. 8. Operation waveforms when the input frequency is 400 Hz  
 サンプリング遅れにより変換器出力電圧に生じる  $+1/2V_{dc}$  または  $-1/2V_{dc}$  の誤差電圧パルス幅が、電源 1 周期中で非対称となり、電流波形も同様に上下非対称なひずみを生じる。

Fig.9(b)に連系リアクトル電圧補償と非同期極性切り替えを用いた場合の 800Hz 動作波形を示す。Fig.9(a)と入力電流波形を比較すると極性切り替わり付近のひずみが減少し、誤差電圧パルス幅も電源 1 周期中で対称である。全高調波ひずみ率は 2.86%で、400Hz 動作よりも 14%低下する。

Fig.9(c)に Fig.9(b)の動作波形を拡大して示す。キャリア周期で示す区間において、前半では  $S_1, S_2$  ON の-0V パターン

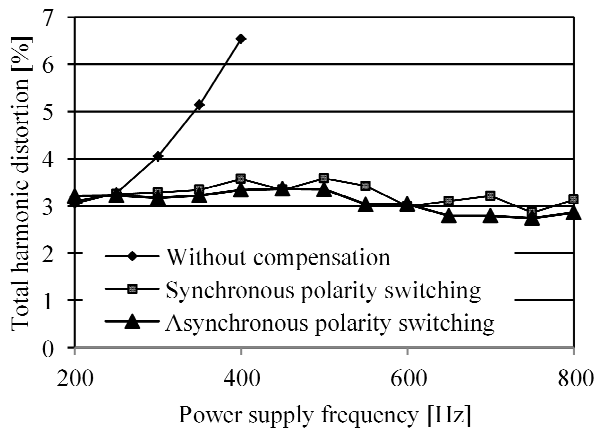


Fig. 10. Relationships between the power supply frequency and the input current THD

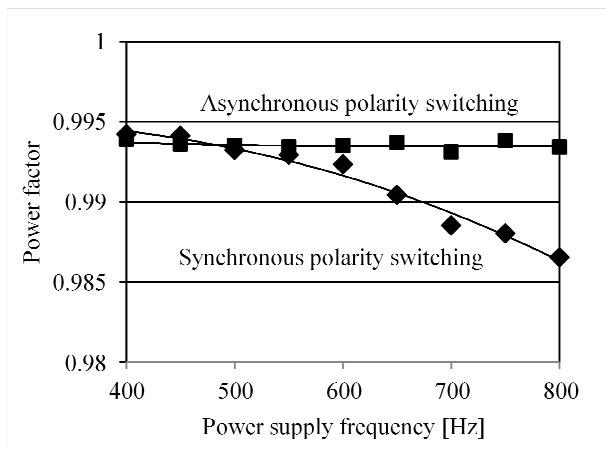


Fig. 11. Relations between the power supply frequency and the input power factor

入力力率の周波数特性を示す。非同期極性切り替えでは、電源周波数に関わらず高い力率を得られる。同期極性切り替えでは入力電流に非対称なひずみを生じ、これに伴う位相誤差により力率が低下する。

Fig.8 Fig.9 で発生した、同期極性切り替えを用いた場合に発生する入力電流の非対称な電流ひずみは、3・1 (2)で示した極性切り替えの遅れに伴うビート電流による。ビート電流の周波数は電源周波数 400Hz と 800Hz、キャリア周波数 26.7kHz の周期の最小公倍数から、(1)式より算出される。電源周波数 400Hz において 133Hz、800Hz では 267Hz となる。

Fig.12 に特にひずみの大きい 800Hz 動作時のビート電流成分(267Hz)の大きさを、入力電流基本波に対する割合で示す。非同期極性切り替えを行うことで、ビート電流を 0.56% から 0.06%へと 1/9 に低減できる。

## 5. まとめ

航空機電源などの高周波電源を対象とした PFC 整流器として、スイッチ数を削減した5レベルPWM整流器を適用し、高周波電源下における波形改善手法の提案を行った。

1、連系リアクトル電圧の影響を補償し、実験により

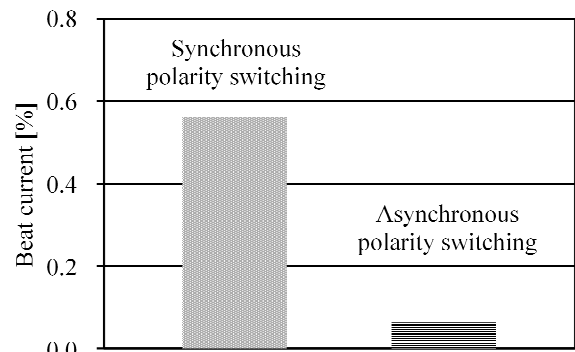


Fig. 12. Comparison of the beat current component (Beat frequency: 267 [Hz])

Table 3. Experimental parameters

Output power	0.9kW
Input AC voltage	200V
Input frequency	400~800Hz
Switching frequency	26.7kHz
DC output voltage command	350V
Load resistance	130Ω
Input inductor	2mH
Flying capacitor	47μF
Clamping capacitor	100μF
DC link capacitor	220μF

400Hz における入力電流全高調波ひずみ率を 6.54%から 3.34%に 45%低減した。

2、スイッチングパターンの非同期極性切り替えを行うことで、電源周波数 800Hz における入力電流ビート成分を 1/9 に低減した。

今後の課題として、電圧・電流検出回路のひずみ・遅れの低減により、入力電流波形をさらに改善する。また変換器設計の最適化を行うことで、提案法の有用性を高める。

(平成 23 年 4 月 11 日受付, 平成 23 年 10 月 7 日再受付)

## 文 献

- (1) H. Wolf, T. Gathmann : "Active Three-Phase Rectifier for Aircraft Equipment", IEEE EPE.2005.219263 (2005)
- (2) B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D. P. Kothari : "A Review of Three-Phase Improved Power Quality AC-DC Converters", IEEE Transactions on industrial electronics, Vol.51, No.3, pp.641-660 (2004)
- (3) J. Rodriguez, J. Lai, and F. Z. Peng: "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", IEEE Transactions on industrial electronics, Vol.49, No.4, pp.724-738(2002)
- (4) U. Drofenic, JW. Kolar, Y. Nishida, Y. Okuma, and J. Sun : "Three-Phase PFC Rectifier Systems", PCC-Osaka 2002 Tutorials, pp.2-93(2002)
- (5) Yasuyuki Nishida : "Passive and Hybrid PFC Rectifiers -A Survey and Exploration of New Possibilities-", IEEJ Transaction, Vol.126, No.7, pp.927-940 (2006)
- (6) I. Ashida, J. Itoh : "A Novel Three-Phase PFC Rectifier Using a Harmonic Current Injection Method", PCC-Nagoya 2007, pp.1302-1307(2007)

- (7) F. Z. Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (8) X. Yuan, I. Barbi : "Fundamentals of a New Diode Clamping Multilevel Inverter", IEEE Transactions on power electronics, Vol.15, No.4, pp.711-718(2000)
- (9) Z. Pan, F. Z. Peng, K. A. Corzine, V. R. Stefanovic, J. M. Leuthen, and S. Gataric : "Voltage Balancing Control of Diode-Clamped Multilevel Rectifier/Inverter Systems", IEEE Transactions on industry applications, Vol.41, No.6, pp.1698-1706(2005)
- (10) A. A. Sneineh, M. Wang : "Novel Hybrid Flying-Capacitor -Half-Bridge 9-Level Inverter", TENCON 2006(2006)
- (11) X. Kou, K. A. Corzine, and Y. L. Familant : "A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter", IEEE Transactions on power electronics, Vol.19, No.4, pp. 979-987 (2004)
- (12) J. Itoh, Y. Noge and T. Adachi: "A novel Five-level PWM Rectifier Using 12 switches", ECCE IEEE, P8-3 1394 (2009)

**野 下 裕 市**

(学生員) 1987年1月7日生まれ。2009年3月長岡技術科学大学卒業。同年4月同大学大学院工学研究科修士課程電気電子情報工学専攻に進学。主に電力変換回路に関する研究に従事。IEEE 会員。

**伊 東 淳 一**

(正員) 1972年1月6日生まれ。1996年3月長岡技術科学大学大学院工学研究科修士課程修了。同年4月、富士電機(株)入社。2004年4月長岡技術科学大学電気系准教授。現在に至る。主に電力変換回路、電動機制御の研究に従事。博士(工学)(長岡技術科学大学)。2007年第63回電気学術振興賞進歩賞受賞。2010年 Isao Takahashi Power Electronics Award 受賞。IEEE 会員。

