

# 高周波パワーデバイスを用いた電力変換回路の ゲート電位変動に関する基礎検討

学生員 渡邊 健太 正員 伊東 淳一 (長岡技術科学大学)

## Basic Investigation of a Gate Voltage Oscillation in Power Converter Circuit using High-Frequency Power Devices

Kenta Watanabe, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

This paper investigates a gate voltage oscillation in power converter circuit using high-frequency power devices. This gate voltage oscillation is generated at the switching of devices. The quantum of voltage oscillation changes by gate resistance, wiring inductance and parasitic capacitance of the switching devices. Thus the calculating formula concerning the voltage oscillation was derived by the circuit analysis. The circuit analysis should use an easy calculating formula. Therefore, the compensation coefficient  $k$  was defined by the calculating formula. The compensation coefficient  $k$  is decided according to circuit parameters. The calculating formula was compared with the experiment result. As a result, the validity of the calculating formula was confirmed.

キーワード：高周波パワーデバイス、パラメータ設計、高周波動作、チョップパ、回路解析

**Keywords** : High-frequency power devices, Parametric design, High-frequency operation, Chopper, Circuit analysis

### 1. はじめに

近年、ハイブリッド自動車や鉄道車両など多くのシステムで、電力変換回路の小型、高密度化の要求が高まっており、開発が盛んに行われている<sup>(1),(2)</sup>。電力変換回路の小型、高密度化には、ヒートシンクや受動素子の小型化、電力変換回路のパワー密度向上が必要不可欠である。しかしながら、電力変換回路のスイッチングデバイスに広く用いられているシリコン(Si)を主材料とするMOSFETやIGBTを用いて、大幅な小型、高密度化を行うには、Siの物性値からくる限界が迫りつつあるため、困難であるとされている<sup>(3)</sup>。

一方で、シリコンカーバイド(SiC)やガリウムナイトライド(GaN)を用いた次世代パワー半導体デバイスは、Siを用いたパワー半導体デバイスに比べ、高耐圧、高速スイッチング、低損失、高温動作が可能など従来の素子を大きく超える動作特性が確認されており、注目が集まっている<sup>(4)</sup>。

Siパワー半導体デバイスを高周波駆動可能なSiC、GaNパワー半導体デバイスに置き換えるには、より高密度実装技術の確立が必要となる。これは、主回路と制御回路が近接配置され、回路から発生する放射ノイズに弱くなるという懸念があるためである<sup>(5)</sup>。また、SiCやGaNパワー半導体デバイスは、ゲートしきい値電圧 $V_{GS(th)}$ がSi-MOSFETなど

に比べて低いため、放射ノイズによるゲートの誤点弧、誤消弧の可能性も高くなると予想されている。

本論文では、電力変換回路にGaN-FETの適用を想定し、電力変換回路の回路パラメータ設計に関する基礎検討を行う。回路パラメータは、FETのスイッチング時に発生するゲートソース間電圧 $V_{GS}$ の電位変動 $\Delta V_{GS}$ に注目して設計を行う。前述の通り、GaN-FETは $V_{GS(th)}$ が低い。そのため、 $\Delta V_{GS}$ によるゲート誤点弧、誤消弧を引き起こさないようパラメータ設計を行う必要がある。しかし、ゲートソース間電圧 $V_{GS}$ の $\Delta V_{GS}$ に注目し、解析、設計を行った論文は、筆者らの知る限り報告されていない。従って、回路解析からパラメータが電位変動 $\Delta V_{GS}$ に与える影響を考察する。そして解析結果から、回路パラメータによって変化する $\Delta V_{GS}$ を計算する。最後に実機試験により、計算式の妥当性を確認したので報告する。

### 2. ゲート電位変動の発生

図1に本論文で用いる試験回路を示す。試験回路は、DCリンク電圧140Vで負荷が約700Wの降圧チョップパを用いる。この回路をスイッチングさせ、その時のFETゲートソース間電圧 $V_{GS}$ を測定する。本論文は、GaN-FETを用いるための基礎解析という観点から、同様な高速スイッチング

特性を持つ Si-MOSFET を用いて、 $\Delta V_{GS}$  について評価・解析を行う。表 1 に試験回路の条件を示す。

図 2 に、試験回路を高速スイッチングさせたときに発生する  $V_{GS1,2}$  の電位変動を示す。筆者らは、このような現象がスイッチング時に発生することを確認している<sup>(6)</sup>。本論文では、電位変動の中でも上アームがオンした瞬間の、下アームのゲートソース間に発生する電位変動  $\Delta V_{GS2}$  に焦点を当てる。本現象は、試験回路の寄生パラメータ(主に配線インダクタンス)により変動するため、低い  $V_{GS(th)}$  を持つ GaN-FET を駆動させる場合、ゲートの誤点弧、誤消弧を起す可能性が Si パワー半導体デバイスより高くなる。

### 3. 回路解析

#### (3.1) 実験回路のシミュレーション

図 3 にシミュレーションで用いる降圧チョップを示す。シミュレーションを行うシミュレータは LTspice IV (Linear Technology 社)を用いる。この回路中の  $R_{G1,2}$  はゲート抵抗、 $C_{add1,2}$  はゲートドレイン間に追加する接合容量、 $L_W$  は配線インダクタンスを模擬している。図 3 のシミュレーション回路は、後に示す等価回路解析の単純化のため、 $L_W$  を 1 か所のみ模擬した形としている。表 2 にシミュレーション回路の条件を示す。このシミュレーション回路で、 $R_{G2}$  を 0 から 24 $\Omega$ 、 $C_{add2}$  を 0 から 1000pF、 $L_W$  を 0 から 1000nH の間で変化させたときの、 $\Delta V_{GS2}$  の最大値  $\Delta V_{GS2\_peak}$  を観測する。その際、可変パラメータは 3 つのうち 1 つとして、残り 2 つのパラメータは基準値を用いる。基準値は  $R_{G2}=3\Omega$ 、 $C_{add2}=60\text{pF}$ 、 $L_W=350\text{nH}$  とする。

#### (3.2) 等価回路のシミュレーション

図 4 にシミュレーションで用いる降圧チョップの等価回路を示す。図 4 は、チョップ上アームがオン、チョップ下アームがオフの状態における等価回路を示している。なお、回路条件は表 2 と同じである。3.1 節と同様に、 $R_{G2}$  を 0 から 24 $\Omega$ 、 $C_{add2}$  を 0 から 1000pF、 $L_W$  を 0 から 1000nH の間で可変させたときの、 $\Delta V_{GS2}$  の最大値  $\Delta V_{GS2\_peak}$  を観測する。その際、可変パラメータは 3 つのうち 1 つとして、残り 2 つのパラメータは基準値を用いる。

その後、等価回路の妥当性を確認するため、3.1 節の電位変動  $\Delta V_{GS2\_peak}$  との比較を行う。

#### (3.3) シミュレーション回路と等価回路の比較

図 5 に  $C'_{GD}=100\text{pF}$  ( $C'_{GD}=C_{GD}+C_{add2}$ )、 $L_W=350\text{nH}$  一定としたときの、ゲート抵抗  $R_{G2}$  と  $\Delta V_{GS2}$  の最大値  $\Delta V_{GS2\_peak}$  の関係を示す。図から、等価回路とチョップシミュレーションの結果がほぼ一致しており、それぞれの測定ポイントにおける誤差率の平均値である平均誤差率が 1.0%であることを確認した。

図 6 に  $R_{G2}=3\Omega$ 、 $L_W=350\text{nH}$  一定としたときの、ゲートドレイン間合成容量  $C'_{GD}$  と  $\Delta V_{GS2\_peak}$  の関係を示す。図から、等価回路とチョップシミュレーションの結果がほぼ一致しており、平均誤差率が 1.6%であることを確認した。

図 7 に  $R_{G2}=3\Omega$ 、 $C'_{GD}=100\text{pF}$  一定としたときの、配線イン

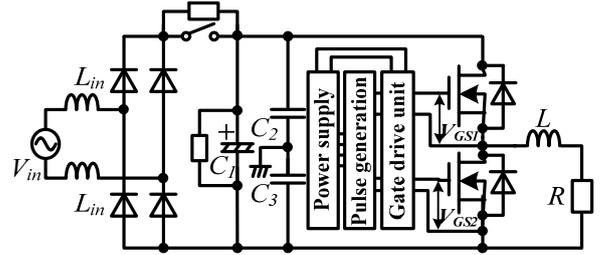


図 1 試験回路構成

Fig. 1. Experimental circuit composition of Step-down.

表 1 試験回路の条件

Table 1. Experimental conditions of Step-down.

Input voltage $V_{in}$	100[V]
Switching frequency $f_{sw}$	100[kHz]
Input reactor $L_{in}$	2[mH]
DC link capacitor $C_1$	2200[ $\mu$ F]
Line bypass capacitor $C_2, C_3$	1[ $\mu$ F]
Reactor $L$	6[mH]
Load resistance $R$	10[ $\Omega$ ]
MOSFET	2SK3928-01 (Fuji Electric)

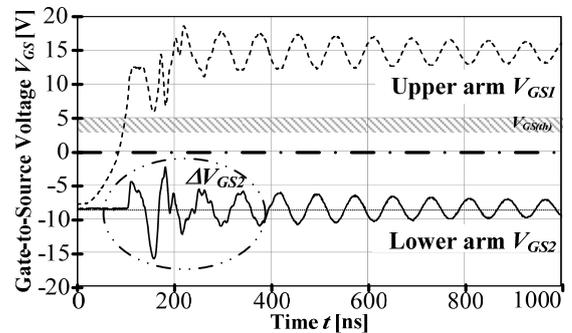


図 2 FET ゲートソース間の電圧変動

Fig. 2. Voltage oscillation of Source-to-Gate.

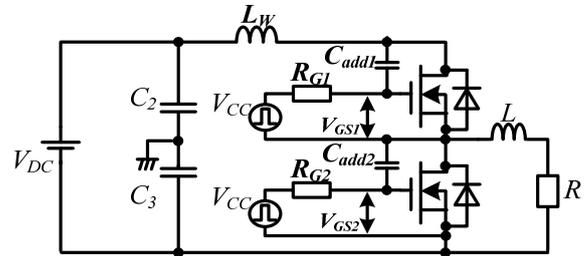


図 3 降圧チョップのシミュレーション回路

Fig. 3. Simulation circuit composition of Step-down.

表 2 シミュレーション回路の条件

Table 2. Conditions of simulation circuit.

DC link voltage $V_{DC}$	140[V]
Power supply of the drive circuit $V_{CC}$	12V/-12V
Dead time $DT$	150[ns]
Switching frequency $f_{sw}$	100[kHz]
Wiring inductance $L_W$	0 - 1000[nH]
Additional capacitor $C_{add1}$	60[pF]
Additional capacitor $C_{add2}$	0 - 1000[pF]
Gate resistance $R_{G1}$	3[ $\Omega$ ]
Gate resistance $R_{G2}$	0 - 21[ $\Omega$ ]
Source-to-Drain capacitor of FET $C_{DS}$	80[pF]
Source-to-Gate capacitor of FET $C_{GS}$	1700[pF]
Gate-to-Drain capacitor of FET $C_{GD}$	40[pF]
On resistance of FET $R_{DS(on)}$	60[m $\Omega$ ]

ダクタンス  $L_W$  と  $\Delta V_{GS2\_peak}$  の関係を示す。図から、等価回路とチョップシミュレーションの結果がほぼ一致しており、平均誤差率が 1.6%であることを確認した。なお、 $L_W=20\text{nH}$  より小さい領域で  $\Delta V_{GS2\_peak}$  が減少するのは、素子のスイッチング時間が増加すること起因している。

以上の結果より、図 4 の等価回路の妥当性が確認できた

ので、以降は図4の等価回路を用いて回路解析を行う。

### 〈3・4〉 ゲート電位変動の計算式の導出

図4で示した等価回路から、回路方程式を立て、 $\Delta V_{GS2\_peak}$ を求める式を導出する。まず、回路方程式を解き、ラプラス変換した後の $\Delta V_{GS2}(s)$ を、(1)式に示す。

$$\Delta V_{GS2}(s) = \frac{1}{C_{GS}} \frac{V_{DC}}{As^3 + Bs^2 + Cs + D} \dots\dots\dots (1)$$

ここで、定数AからDは(2)から(5)式で表される。

$$A = \frac{L_W (C'_{GD} C_{DS} + C_{DS} C_{GS} + C_{GS} C'_{GD})}{C'_{GD} C_{GS}} \dots\dots\dots (2)$$

$$B = \frac{L_W (C'_{GD} + C_{DS})}{R_{G2} C'_{GD} C_{GS}} + \frac{R_{DS(ON)} R_{G2} (C'_{GD} C_{DS} + C_{DS} C_{GS} + C_{GS} C'_{GD})}{R_{G2} C'_{GD} C_{GS}} \dots\dots\dots (3)$$

$$C = \frac{R_{DS(ON)} (C'_{GD} + C_{DS}) + R_{G2} (C'_{GD} + C_{GS})}{R_{G2} C'_{GD} C_{GS}} \dots\dots\dots (4)$$

$$D = \frac{1}{R_{G2} C'_{GD} C_{GS}} \dots\dots\dots (5)$$

しかしながら、(1)式は3次系であるため回路解析が困難である。ここでは、近似的に求める方法を検討する。

図8に図4を単純化した等価回路を示す。この回路は、図4において、 $R_{G2} = \infty$ とした構成であり、この場合単純なRLC直列回路になる。図8から $C_{GS}$ の両端電圧を求め、定常値分を減算したゲート電圧の変動分 $\Delta V'_{GS2}$ は(6)式で表される。

$$\Delta V'_{GS2} = \mathcal{N}_{DC} \left[ 1 - e^{-\alpha t} \left\{ \cos(\beta t) + \frac{\alpha}{\beta} \sin(\beta t) \right\} \right] - \mathcal{N}_{DC} \dots\dots (6)$$

$$\text{ただし、 } \alpha = \frac{R_{DS(ON)}}{2L_W}, \quad \beta = \frac{\sqrt{(4L_W/C_O) - R_{DS(ON)}^2}}{2L_W}$$

$$\gamma = \frac{C'_{GD}}{C'_{GD} + C_{GS}}, \quad C_O = \frac{C'_{GD} C_{GS}}{C'_{GD} + C_{GS}} + C_{DS}$$

そして、 $\Delta V'_{GS2}$ の最大値 $\Delta V'_{GS2\_peak}$ は式(7)で表される。

$$\Delta V'_{GS2\_peak} = \mathcal{N}_{DC} \left[ 1 - e^{-\frac{\alpha T_f}{2}} \left\{ \cos\left(\beta \frac{T_f}{2}\right) + \frac{\alpha}{\beta} \sin\left(\beta \frac{T_f}{2}\right) \right\} \right] - \mathcal{N}_{DC} \dots\dots\dots (7)$$

ここで、 $T_f$ は等価回路の共振周期であり、(6)式の $t$ に共振周期 $T_f$ の1/2を乗算することで、 $\Delta V'_{GS2\_peak}$ が求まる。次に、近似の影響を打ち消すため、無次元化した補正係数を導入する。すなわち、図4と図8における $\Delta V_{GS2}$ の最大値 $\Delta V_{GS2\_peak}$ と $\Delta V'_{GS2\_peak}$ の関係は $k$ を補正係数とすれば、(8)式で表される。

$$\Delta V_{GS2\_peak} = k \Delta V'_{GS2\_peak} \dots\dots\dots (8)$$

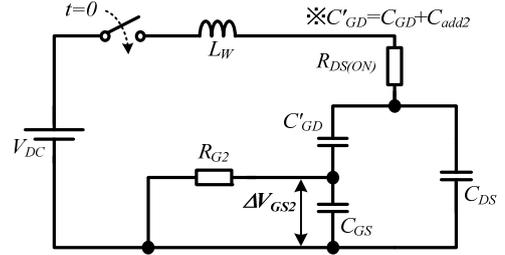


図4 等価回路構成  
Fig. 4. Composition of the equivalent circuit.

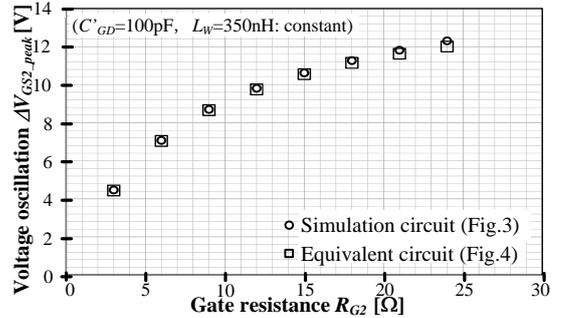


図5  $R_{G2}$ 変化時のシミュレーション結果  
Fig. 5. Simulation result of  $\Delta V_{GS2\_peak}$  ( $R_{G2}$ :variable parameter).

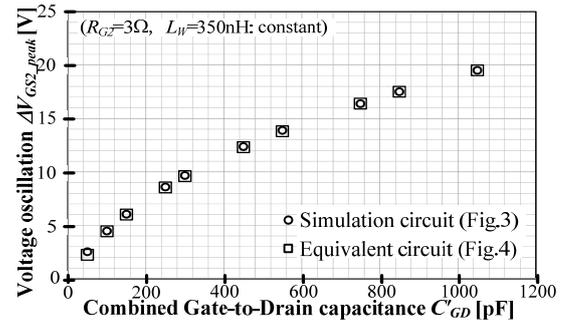


図6  $C'_{GD}$ 変化時のシミュレーション結果  
Fig. 6. Simulation result of  $\Delta V_{GS2\_peak}$  ( $C'_{GD}$ :variable parameter).

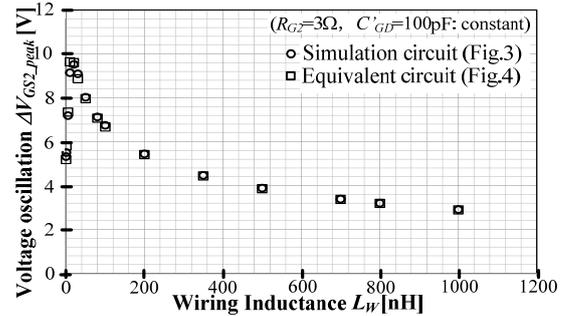


図7  $L_W$ 変化時のシミュレーション結果  
Fig. 7. Simulation result of  $\Delta V_{GS2\_peak}$  ( $L_W$ :variable parameter).

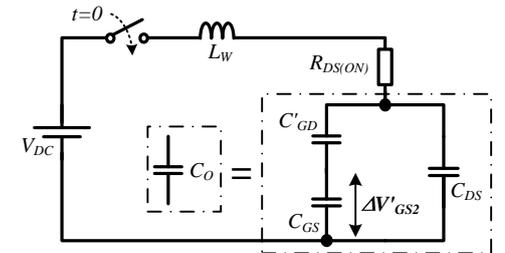


図8 等価回路の単純化  
Fig. 8. Simplification of the equivalent circuit.

図9に、補正係数 $k$ と係数 $1/\omega_f C_{GS} R_{G2}$ の関係を示す。なお、 $\omega_f$ は回路の共振角周波数である。図9のポイントは、等価

回路のパラメータ( $C'_{GD}$ ,  $C_{DS}$ ,  $C_{GS}$ ,  $L_W$ ,  $R_{DS(ON)}$ ,  $V_{DC}$ )を基準値から変化させたときの,  $R_{G2}$ - $k$  特性を示している。図 9 から, 図 8 に存在する回路パラメータのどれを変化させても, 基準値とほぼ同じ曲線を描くことが確認できる。

以上の結果から, 図 8 の回路パラメータにより  $\omega_f$  が決まり, 設計したい  $R_{G2}$  を選択することで  $k$  が決定する。そして,  $\Delta V'_{GS2\_peak}$  を計算することで  $\Delta V_{GS2\_peak}$  の設計が可能となる。

#### 4. 実機試験

(8)式の妥当性を確認するため,  $R_{G2}$ ,  $C'_{GD}$ ,  $L_W$  を変化させたときの  $V_{GS2\_peak}$  を, 実機試験により観測する。試験回路は図 1 に示す通りであり,  $R_{G2}$ ,  $C'_{GD}$ ,  $L_W$  の各パラメータを試験回路に接続する。そして, (8)式から算出した  $\Delta V_{GS2\_peak}$  と実機試験結果から得られた  $\Delta V_{GS2\_peak}$  を比較する。

図 10, 図 11 および図 12 に  $R_{G2}$ ,  $C'_{GD}$ ,  $L_W$  の各パラメータを変化させた場合の  $\Delta V_{GS2\_peak}$  を示す。図中, 実線が(8)式より算出した計算結果で, ポイントが実機試験結果である。図 10, 図 11 および図 12 では, 実機試験結果と計算結果に誤差が生じているが, 傾向はどれも概ね一致している。実機試験に発生する誤差要因としては, 回路パラメータの測定誤差, プローブが有している寄生容量等による誤差, 等価回路簡略化時に除いたパラメータの影響などが考えられる。

以上の結果から, 実機試験結果との多少の誤差はあるが, 傾向の一致は確認できるため, (8)式を用いてパラメータ設計が可能であることを確認した。

#### 5. まとめ

本論文では, 高周波パワーデバイスを用いた電力変換回路のゲート電位変動の解析を目的とし, 回路パラメータが電位変動に与える影響を考察した。解析結果から,  $\Delta V_{GS2\_peak}$  を容易に求める計算式を示し, 実機試験により計算式の妥当性を確認した。そして, 計算式から求めた  $\Delta V_{GS2\_peak}$  と実機試験により求めた  $\Delta V_{GS2\_peak}$  は, 概ね傾向が一致した。今後は, 実機試験で発生した誤差を考慮した設計, GaN-FET の適用,  $\Delta V_{GS\_peak}$  を抑制可能な回路構成の検討を行う予定である。

#### 文 献

- (1) M. Kamaga, K. Sung and H. Ohashi: "A Study on Switching Frequency Limitation in Combination of Si-IGBT and SiC-SBD", IEEJ Trans., Vol.128-D, No.5, pp.569-576 (2008)  
釜我昌武・Sung Kyungmin・大橋弘通:「変換器高周波化のための Si-IGBT と SiC-SBD の検討」, 電学論 D, Vol.128, No.5, pp.569-576 (2008)
- (2) H. Sheng, Y. Pei and W. Fred: Impact of Resonant Tank Structures on Transformer Size for a High Power Density Isolated Resonant Converter", Power Electronics Specialists Conference, 2008, Vol.7, pp.2975-2981 (2008)
- (3) 荒井 和雄・吉田 貞史 共編: "SiC 素子の基礎と応用", オーム社 (2003)
- (4) J. Wang, X. Zhou, J. Li, T. Zhao, A. Q. Huang, R. Callanan, F. Husna and A. Agarwal: "10-kV SiC MOSFET-Based Boost Converter", IEEE Trans. on Industry Applications, Vol.45, No.6, pp.2056-2063 (2009)

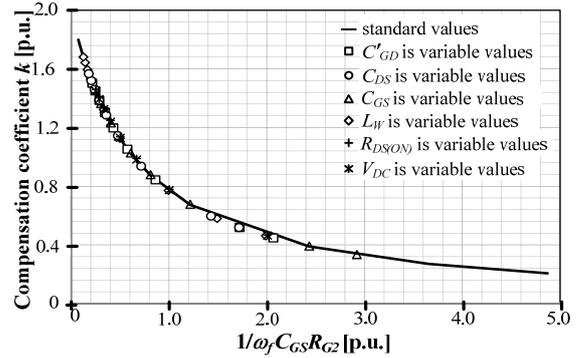


図 9 補正係数算出曲線

Fig. 9. Compensation coefficient calculation curve.

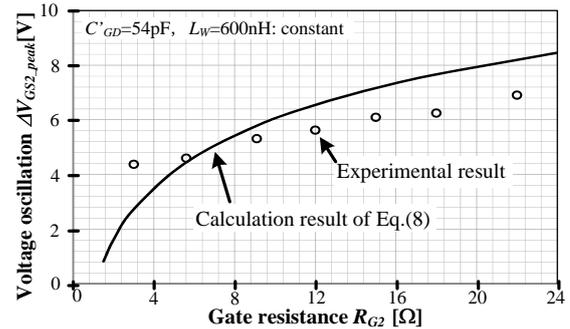


図 10  $R_{G2}$  変化時の実機試験結果と計算結果

Fig. 10. Experimental and calculation results. ( $R_{G2}$ :variable parameter)

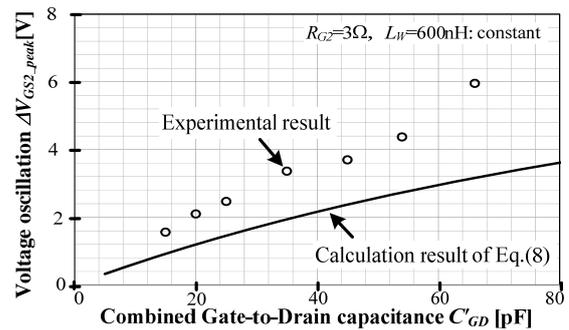


図 11  $C'_{GD}$  変化時の実機試験結果と計算結果

Fig. 11. Experimental and calculation results. ( $C'_{GD}$ :variable parameter)

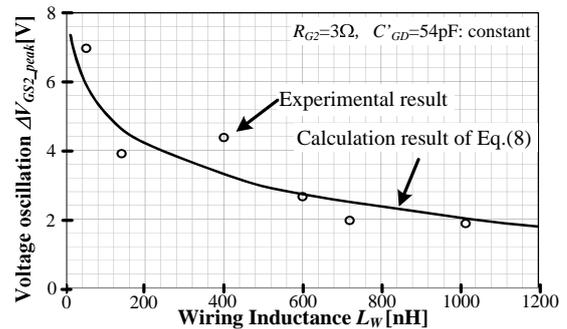


図 12  $L_W$  変化時の実機試験結果と計算結果

Fig. 12. Experimental and calculation results. ( $L_W$ :variable parameter)

- (5) T. Noguchi, S. Yajima and H. Komatsu: "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", IEEJ Trans., Vol.129-D, No.1, pp.46-52 (2009)  
野口 季彦・矢島 哲志・小松 宏禎:「次世代超高速スイッチング素子ゲート駆動回路の開発」, 電学論 D, Vol.129, No.1, pp.46-52 (2009)
- (6) 渡邊 健太・折川 幸司・伊東 淳一:「高速スイッチング素子の実装法に関する一考察」, 平成 21 年度電気関係学会北陸支部連合大会, A-72 (2009)