

高周波パワーデバイスを用いた電力変換回路の ゲート電位変動に関する解析と抑制法

渡邊 健太* 伊東 淳一 (長岡技術科学大学)

An Analysis and a Suppression Method of a Gate Voltage Oscillation in Power Converter Circuit using High-Frequency Power Devices

Kenta Watanabe*, Jun-ichi Itoh (Nagaoka University of Technology)

This paper investigates a gate voltage oscillation in power converter circuit using high-frequency power devices. This gate voltage oscillation is generated at the switching of devices. The quantum of voltage oscillation changes by gate resistance, wiring inductance and parasitic capacitance of the switching devices. Thus the calculating formula concerning the voltage oscillation was derived by the circuit analysis. The circuit analysis should use an easy calculating formula. Therefore, the compensation coefficient k was defined by the calculating formula. The compensation coefficient k is decided according to circuit parameters. The calculating formula was compared with the experimental results. However, gap occurs in results. About the gap, analysis was conducted using the simulation. As a result, the gap has improved from 5V to 2V at the maximum.

キーワード: 高周波パワーデバイス, パラメータ設計, 高周波動作, チョップ回路, 電位変動

(Keyword: High-frequency power devices, Parametric design, High-frequency operation, Chopper, Voltage oscillation)

1. はじめに

近年, ハイブリッド自動車や鉄道車両など多くのシステムで, 電力変換回路の小型, 高密度化の要求が高まっており, 開発が盛んに行われている^{(1),(2)}. 電力変換回路の小型, 高密度化には, ヒートシンクや受動素子の小型化, 電力変換回路のパワー密度向上が必要不可欠である。しかしながら, 電力変換回路のスイッチングデバイスに広く用いられているシリコン(Si)を主材料とするMOSFETやIGBTを用いて, 大幅な小型, 高密度化を行うには, Siの物性値からくる限界が迫りつつあるため, 困難であるとされている⁽³⁾.

一方で, シリコンカーバイド(SiC)やガリウムナイトライド(GaN)を用いた次世代パワー半導体デバイスは, Siを用いたパワー半導体デバイスに比べ, 高耐圧, 高速スイッチング, 低損失, 高温動作が可能など従来の素子を大きく超える動作特性が確認されており, 注目が集まっている⁽⁴⁾.

Siパワー半導体デバイスを高周波駆動可能なSiC, GaNパワー半導体デバイスに置き換えるには, より高密度実装技術の確立が必要となる。これは, 主回路と制御回路が近接配置され, 回路から発生する放射ノイズに弱くなるという懸念があるためである⁽⁵⁾。また, SiCやGaNパワー半導体デバイスは, ゲートしきい値電圧 $V_{GS(th)}$ がSi-MOSFETなどに比べて低いため, 放射ノイズによるゲートの誤点弧, 誤

消弧の可能性も高くなると予想されている。

本論文では, 電力変換回路にGaN-FETの適用を想定し, 電力変換回路の回路パラメータ設計に関する検討を行う。回路パラメータは, FETのスイッチング時に発生するゲートソース間電圧 V_{GS} の電位変動 ΔV_{GS} に注目して設計を行う。前述の通り, GaN-FETは $V_{GS(th)}$ が低い。そのため, ΔV_{GS} によるゲート誤点弧, 誤消弧を引き起こさないようパラメータ設計を行う必要がある。しかし, ゲートソース間電圧 V_{GS} の ΔV_{GS} に注目し, 解析, 設計を行った論文は, 筆者らの知る限り報告されていない。従って, 回路解析からパラメータが電位変動 ΔV_{GS} に与える影響を考察する。そして解析結果から, 回路パラメータによって変化する ΔV_{GS} を計算する。最後に実機試験により, 計算式の妥当性を確認し, 結果に発生するズレの推定と電位変動抑制法の検討を行ったので報告する。

2. ゲート電位変動の発生

図1に本論文で用いる試験回路を示す。試験回路は, DCリンク電圧が約140Vの降圧チョップを用いる。この回路をスイッチングさせ, その時のFETゲートソース間電圧 V_{GS} を測定する。本論文は, GaN-FETを用いるための基礎解析という観点から, 同様な高速スイッチング特性を持つSi-MOSFETを用いて, ΔV_{GS} について評価・解析を行う。表

1に試験回路の条件を示す。

図2に、試験回路を高速スイッチングさせたときに発生する $V_{GS1,2}$ の電位変動を示す。筆者らは、このような現象がスイッチング時に発生することを確認している⁽⁶⁾。本論文では、電位変動の中でも上アームがオンした瞬間の、下アームのゲートソース間に発生する電位変動 ΔV_{GS2} に焦点を当てる。本現象は、試験回路の寄生パラメータ(主に配線インダクタンス)により変動するため、低い $V_{GS(th)}$ を持つGaN-FETを駆動させる場合、ゲートの誤点弧、誤消弧を起こす可能性がSiパワー半導体デバイスより高くなる。

3. 回路解析

(3.1) 実験回路のシミュレーション

図3にシミュレーションで用いる降圧チョップを示す。シミュレーションを行うシミュレータはLTspice IV(Linear Technology)を用いる。この回路中の $R_{G1,2}$ はゲート抵抗、 $C_{add1,2}$ はゲートドレイン間に追加する接合容量、 L_W は配線インダクタンスを模擬している。図3のシミュレーション回路は、後に示す等価回路解析の単純化のため、 L_W を1か所のみ模擬した形としている。表2にシミュレーション回路の条件を示す。このシミュレーション回路で、 R_{G2} を0から24 Ω 、 C_{add2} を0から1000pF、 L_W を0から600nHの間で変化させたときの、 ΔV_{GS2} の最大値 $\Delta V_{GS2,peak}$ を観測する。その際、可変パラメータは3つのうち1つとして、残り2つのパラメータは基準値を用いる。基準値は $R_{G2}=3\Omega$ 、 $C_{add2}=60\text{pF}$ 、 $L_W=350\text{nH}$ とする。

(3.2) 等価回路のシミュレーション

図4にシミュレーションで用いる降圧チョップの等価回路を示す。図4は、チョップ上アームがオン、チョップ下アームがオフの状態における等価回路を示している。なお、回路条件は表2と同じである。3.1節と同様に、 R_{G2} を0から24 Ω 、 C_{add2} を0から1000pF、 L_W を0から600nHの間で可変させたときの、 ΔV_{GS2} の最大値 $\Delta V_{GS2,peak}$ を観測する。その際、可変パラメータは3つのうち1つとして、残り2つのパラメータは基準値を用いる。

その後、等価回路の妥当性を確認するため、3.1節の電位変動 $\Delta V_{GS2,peak}$ との比較を行う。

(3.3) シミュレーション回路と等価回路の比較

図5(a)に $C'_{GD}=100\text{pF}$ ($C'_{GD}=C_{GD}+C_{add2}$)、 $L_W=350\text{nH}$ 一定としたときの、ゲート抵抗 R_{G2} と $\Delta V_{GS2,peak}$ の関係を示す。図から、等価回路とチョップシミュレーションの結果がほぼ一致しており、最大誤差率が2.5%であることを確認した。

図5(b)に $R_{G2}=3\Omega$ 、 $L_W=350\text{nH}$ 一定としたときの、ゲートドレイン間合成容量 C'_{GD} と $\Delta V_{GS2,peak}$ の関係を示す。図から、等価回路とチョップシミュレーションの結果がほぼ一致しており、最大誤差率が3.8%であることを確認した。

図5(c)に $R_{G2}=3\Omega$ 、 $C'_{GD}=100\text{pF}$ 一定としたときの、配線インダクタンス L_W と $\Delta V_{GS2,peak}$ の関係を示す。図から、等価回路とチョップシミュレーションの結果がほぼ一致してお

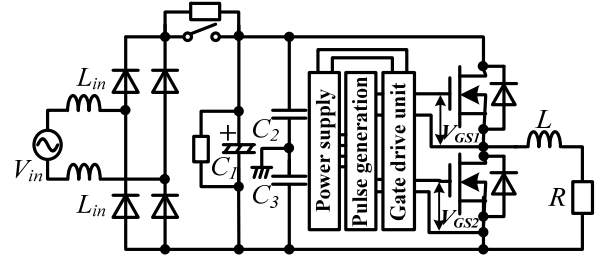


図1 試験回路構成

Fig. 1. Experimental circuit composition of Step-down.

表1 試験回路の条件

Table 1. Experimental conditions of Step-down.

Input voltage V_{in}	100[V]
Switching frequency f_{sw}	100[kHz]
Input reactor L_{in}	2[mH]
DC link capacitor C_1	2200[μ F]
Line bypass capacitor C_2, C_3	1[μ F]
Reactor L	6[mH]
Load resistance R	10[Ω]
MOSFET	2SK3928-01 (Fuji Electric)

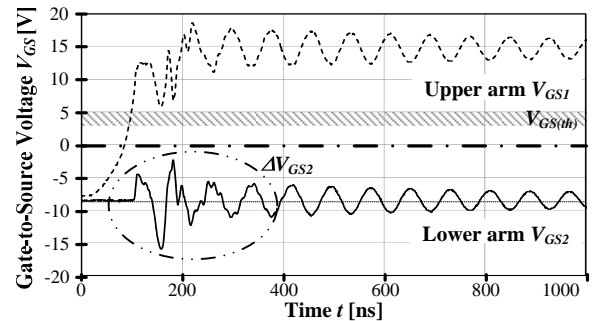


図2 FET ゲートソース間の電圧変動

Fig. 2. Voltage oscillation of Source-to-Gate.

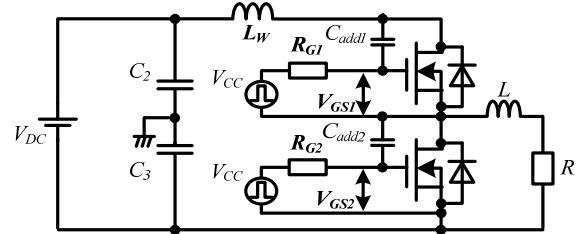


図3 降圧チョップのシミュレーション回路

Fig. 3. Simulation circuit composition of Step-down.

表2 シミュレーション回路の条件

Table 2. Conditions of simulation circuit.

DC link voltage V_{DC}	141[V]
Power supply of the drive circuit V_{CC}	12V/-12V
Dead time DT	300[ns]
Wiring inductance L_W	0 - 600[nH]
Additional capacitor C_{add1}	51[pF]
Additional capacitor C_{add2}	0 - 1000[pF]
Gate resistance R_{G1}	3[Ω]
Gate resistance R_{G2}	0 - 24[Ω]
Source-to-Drain capacitor of FET C_{DS}	80[pF]
Source-to-Gate capacitor of FET C_{GS}	1650[pF]
Gate-to-Drain capacitor of FET C_{GD}	40[pF]
On resistance of FET $R_{DS(ON)}$	60[m Ω]

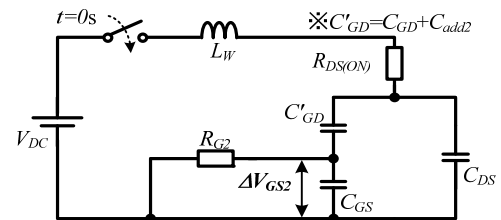


図4 等価回路構成

Fig. 4. Composition of the equivalent circuit.

り、平均誤差率が 5.1%であることを確認した。なお、 $L_w=20\text{nH}$ より小さい領域で ΔV_{GS2_peak} が減少するのは、素子のスイッチング時間が増加することに起因している。

以上の結果より、図 4 の等価回路の妥当性が確認できたため、以降は図 4 の等価回路を用いて回路解析を行う。

〈3・4〉 ゲート電位変動の計算式の導出

図 4 で示した等価回路から、回路方程式をたて、 ΔV_{GS2_peak} を求める式を導出する。まず、回路方程式を解き、ラプラス変換した後の $\Delta V_{GS2}(s)$ を、(1)式に示す。

$$\Delta V_{GS2}(s) = \frac{1}{C_{GS}} \frac{V_{DC}}{As^3 + Bs^2 + Cs + D} \dots\dots\dots(1)$$

ここで、定数 A から D は(2)から(5)式で表される。

$$A = \frac{L_w(C'_{GD}C_{DS} + C_{DS}C_{GS} + C_{GS}C'_{GD})}{C'_{GD}C_{GS}} \dots\dots\dots(2)$$

$$B = \frac{L_w(C'_{GD} + C_{DS})}{R_{G2}C'_{GD}C_{GS}} + \frac{R_{DS(ON)}R_{G2}(C'_{GD}C_{DS} + C_{DS}C_{GS} + C_{GS}C'_{GD})}{R_{G2}C'_{GD}C_{GS}} \dots\dots\dots(3)$$

$$C = \frac{R_{DS(ON)}(C'_{GD} + C_{DS}) + R_{G2}(C'_{GD} + C_{GS})}{R_{G2}C'_{GD}C_{GS}} \dots\dots\dots(4)$$

$$D = \frac{1}{R_{G2}C'_{GD}C_{GS}} \dots\dots\dots(5)$$

しかしながら、(1)式は 3 次系であるため回路解析が困難である。ここでは、近似的に求める方法を検討する。

図 6 に図 4 を単純化した等価回路を示す。この回路は、図 4 において、 $R_{G2}=\infty\Omega$ とした構成であり、この場合単純な RLC 直列回路になる。図 6 から C_{GS} の両端電圧を求めると、(6)式で表される。

$$\Delta V'_{GS2} = \gamma V_{DC} \left[1 - e^{-\alpha t} \left\{ \cos(\beta t) + \frac{\alpha}{\beta} \sin(\beta t) \right\} \right] \dots\dots\dots(6)$$

$$\text{ただし、 } \alpha = \frac{R_{DS(ON)}}{2L_w}, \quad \beta = \frac{\sqrt{(4L_w/C_o) - R_{DS(ON)}^2}}{2L_w}$$

$$\gamma = \frac{C'_{GD}}{C'_{GD} + C_{GS}}, \quad C_o = \frac{C'_{GD}C_{GS}}{C'_{GD} + C_{GS}} + C_{DS}$$

なお、(6)式は定常項 γV_{DC} を含む解であるため、定常項 γV_{DC} を減算したゲート電位変動を求める必要がある。そのゲート電位変動は(7)式で表される。

$$\Delta V'_{GS2} = \gamma V_{DC} \left[1 - e^{-\alpha t} \left\{ \cos(\beta t) + \frac{\alpha}{\beta} \sin(\beta t) \right\} \right] - \gamma V_{DC} \dots\dots(7)$$

そして、ゲート電位変動の最大値 $\Delta V'_{GS2_peak}$ は式(8)で表される。

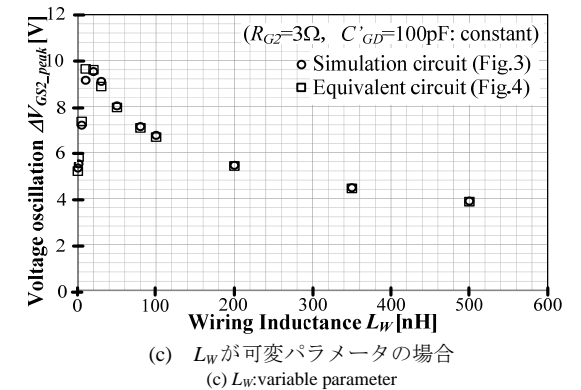
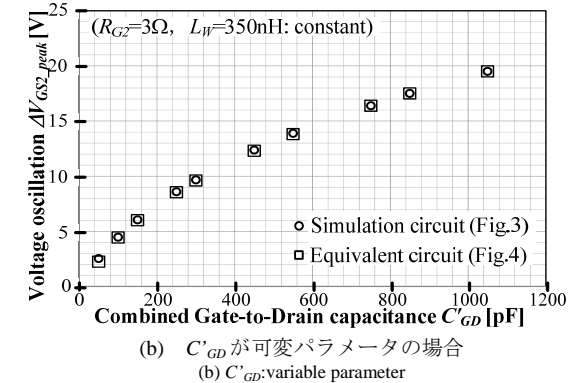
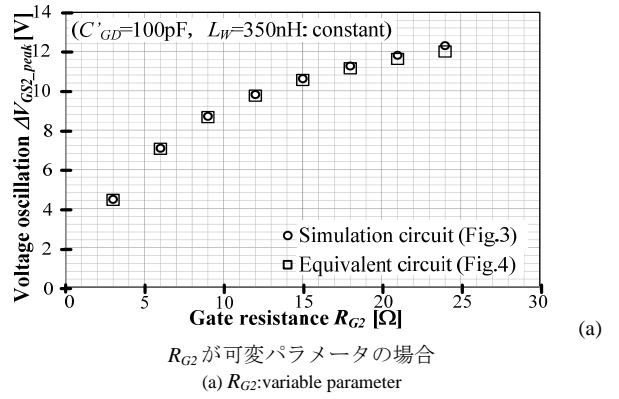


図 5 $\Delta V'_{GS2}$ のシミュレーション結果
Fig. 5. Simulation result of $\Delta V'_{GS2_peak}$

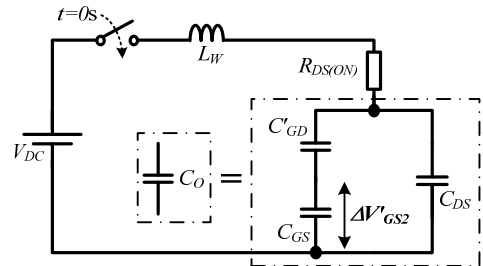


図 6 等価回路の単純化
Fig. 6. Simplification of the equivalent circuit.

$$\Delta V'_{GS2_peak} = \gamma V_{DC} \left[1 - e^{-\frac{\alpha T_f}{2}} \left\{ \cos\left(\beta \frac{T_f}{2}\right) + \frac{\alpha}{\beta} \sin\left(\beta \frac{T_f}{2}\right) \right\} \right] - \gamma V_{DC} \dots\dots\dots(8)$$

ここで、 T_f は等価回路の共振周期であり、(9)式で表される。

$$T_f = 2\pi\sqrt{L_W C_o} \dots\dots\dots(9)$$

これらの結果から、(7)式の t に共振周期 T_f の 1/2 を乗算することで、 $\Delta V'_{GS2_peak}$ が求まることが分かる。次に、近似の影響を打ち消すため、無次元化した補正係数を導入する。すなわち、図4と図6における ΔV_{GS2} の最大値 ΔV_{GS2_peak} と $\Delta V'_{GS2_peak}$ の関係は k を補正係数とすれば、(10)式で表される。

$$\Delta V_{GS2_peak} = k\Delta V'_{GS2_peak} \dots\dots\dots(10)$$

図7に、補正係数 k と係数 $1/\omega_f C_{GS} R_{G2}$ の関係を示す。なお、 ω_f は回路の共振角周波数である。図7は、等価回路のパラメータ (C'_{GD} , C_{DS} , C_{GS} , L_W , $R_{DS(ON)}$, V_{DC}) を基準値から変化させたときの、 $R_{G2}-k$ 特性を示している。図7は、図6に存在する回路パラメータのどれを変化させても、基準値とほぼ同じ曲線を描くことを示していることが重要な点である。

以上の結果から、図6の回路パラメータにより ω_f が決まり、設計したい R_{G2} を選択することで k が決定する。そして、 $\Delta V'_{GS2_peak}$ を計算することで ΔV_{GS2_peak} の設計が可能となる。

4. 実機試験

(10)式の妥当性を確認するため、 R_{G2} , C'_{GD} , L_W を変化させたときの V_{GS2_peak} を、実機試験により観測する。試験回路は図1に示す通りであり、 R_{G2} , C'_{GD} , L_W の各パラメータを試験回路に接続する。そして、(10)式から算出した ΔV_{GS2_peak} と実機試験結果から得られた ΔV_{GS2_peak} を比較する。

図8(a),(b),(c)に R_{G2} , C'_{GD} , L_W の各パラメータを変化させた場合の ΔV_{GS2_peak} を示す。図中、実線が(10)式より算出した計算結果で、ポイントが実機試験結果である。図8(a),(b),(c)では、実機試験結果と計算結果にズレが生じているが、傾向はどれも概ね一致している。この結果から、実機試験結果との多少のズレはあるが、傾向の一致は確認できるため、(10)式を用いてパラメータ設計が可能であることを確認した。なお、発生するズレの要因に関しては、次章にて解析を行う。

5. ズレ要因の解析

〈5・1〉 シミュレーション回路の再構成

図9に(1)前章で用いたスイッチングデバイス(2sk3928-01,Fuji electric), (2)シミュレータのデバイスモデルが存在するデバイス(STW11NM80,STMicroelectronics)を用いて、配線インダクタンス L_W を変化させた場合のゲート電位変動特性を示す。図9から、 L_W に対する ΔV_{GS2_peak} 特性の変化は、スイッチングデバイスに依存することが分かる。つまり、前章で示した計算式では、各スイッチングデバイスを用いた場合の ΔV_{GS2_peak} を求めることができないことが図9から確認できる。したがって、前章の等価回路で考慮していない特性を、シミュレーション回路にて模擬する必要がある。

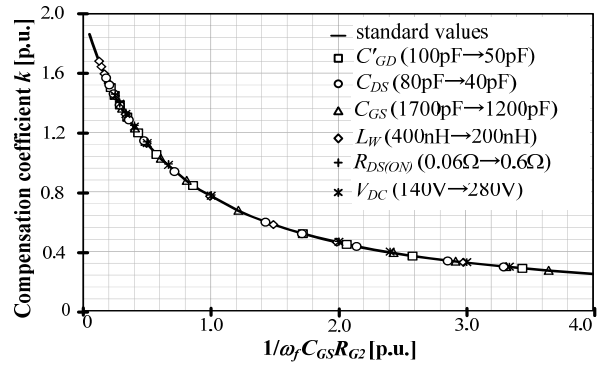
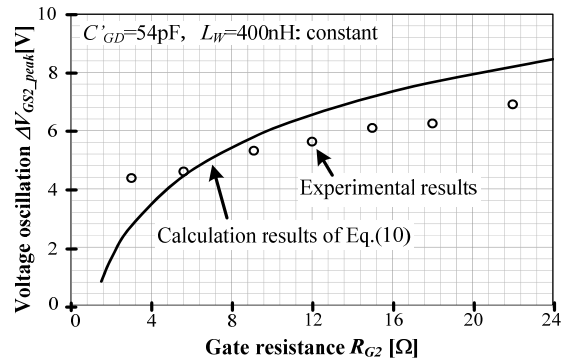
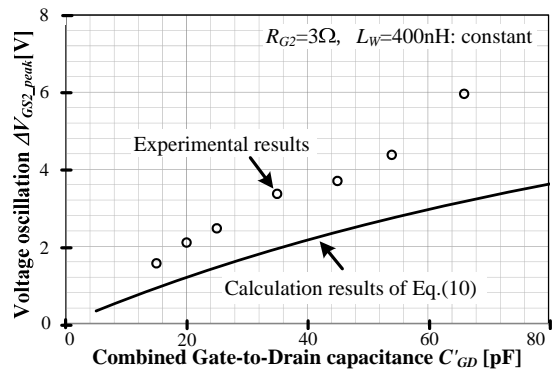


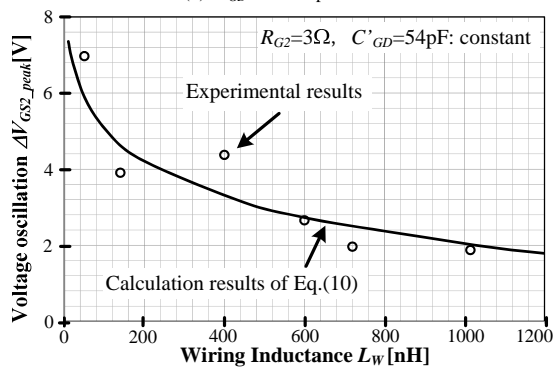
図7 補正係数算出曲線
Fig. 7. Compensation coefficient calculation curve.



(a) R_{G2} が可変パラメータの場合
(a) R_{G2} :variable parameter



(b) C'_{GD} が可変パラメータの場合
(b) C'_{GD} :variable parameter



(c) L_W が可変パラメータの場合
(c) L_W :variable parameter

図8 実機試験結果と計算結果

Fig. 8. Experimental results and calculation results using a 2sk3928-01.

図10に、新たに構成したシミュレーション回路を示す。この回路は、図3のシミュレーション回路に以下の特性を

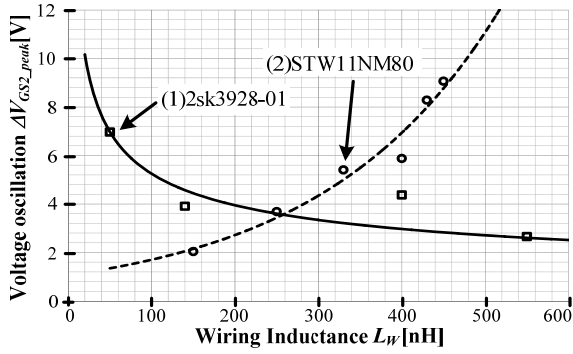


図9 スイッチングデバイスによる特性の不一致
Fig. 9. The difference in the characteristics by switching devices.

付加した回路である。

- (1) ゲート駆動回路の配線インダクタンス L_{G1}, L_{G2}
- (2) スイッチングデバイスのリードインダクタンス L_l
- (3) スイッチングデバイスのリカバリ特性

特に、(3)スイッチングデバイスが有しているリカバリ特性の模擬は、図3のシミュレーション回路では正確に模擬できない。そのため、シミュレーション回路に実機試験で発生するリカバリ特性を付加する必要がある。図10は、下アーム還流ダイオードに並列にリカバリ電流を模擬した電流源 I_{Rec} を接続した回路となる。 I_{Rec} には、実機試験で測定したドレイン電流 I_D のリカバリ部分を抽出した電流波形を電流源として用いる。

(5.2) シミュレーション結果と実機試験結果

図11に、各パラメータ可変時における ΔV_{GS2_peak} のシミュレーション結果と実機試験結果の比較を示す。ここで、実線は実機試験結果で、点線は図10を用いたシミュレーション結果、破線は、図3を用いたシミュレーション結果とである。図11から、図10を用いたシミュレーション結果と実機試験結果のズレが最大2V程度で、結果が概ね一致していることを確認した。そして、図3を用いたシミュレーション結果よりも精度が向上していることが確認できる。残りのズレ要因としては、デバイスモデル特性と実機使用素子特性の不一致や、配線インダクタンスを正確に模擬できないことの2つが支配的である。

以上の結果から、(1)-(3)の特性を付加していなかったことがズレの原因であることが推測される。

6. 変動抑制に関する基礎検討

図12に、ゲートソース間の電位変動発生時のドレイン電流波形を示す。図12から、電位変動は2つのタイミングで発生していることが確認できる。それぞれ、(i)は、リカバリ電流の dI_D/dt 特性による変動、(ii)は、ドレインソース間電圧の dV_{DS}/dt 特性による変動であると推測できる。本章では(i)のリカバリ電流の dI_D/dt 特性による電位変動について議論する。 dI_D/dt は、ゲート抵抗 R_{G1} と FET ゲートソース間寄生容量 C_{GS1} で変化する。ここで、この2つのパラメータを掛け合わせた時定数 τ を定義し、 τ を一定としたときの R_{G1} 、 C_{GS1} の比率による ΔV_{GS2_peak} の変化に関して検討する。

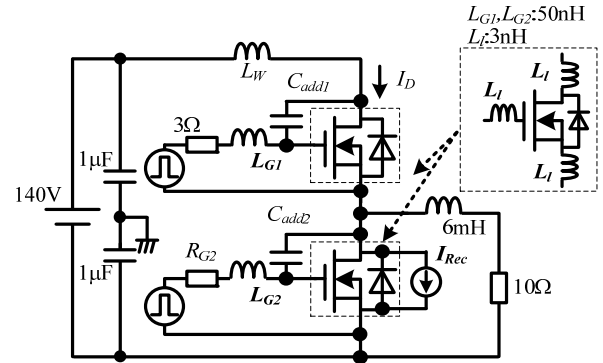
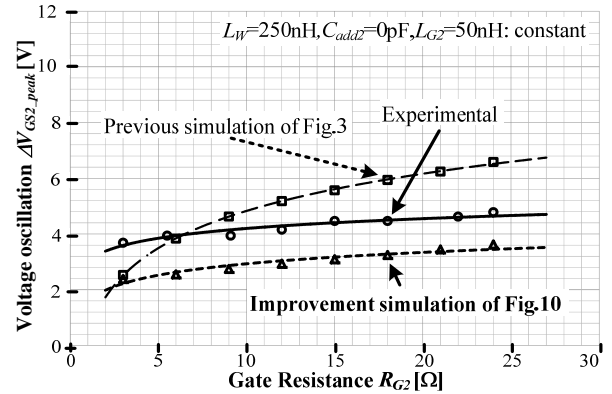
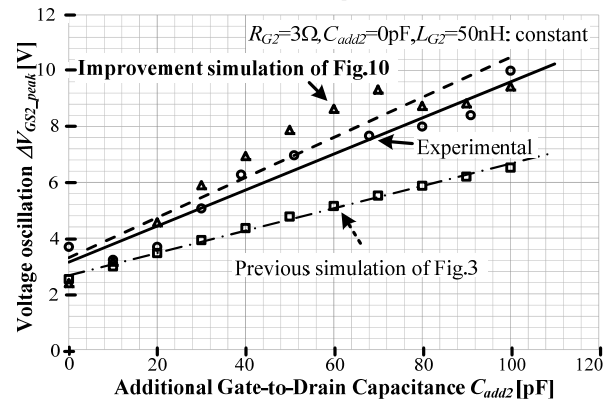


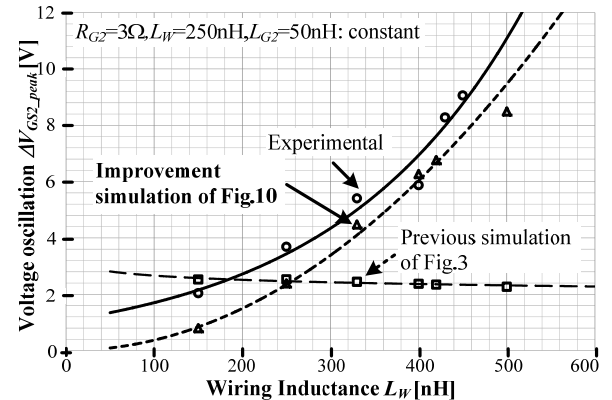
図10 (1)から(3)を考慮した場合のシミュレーション回路
Fig. 10. The simulation circuit in consideration of (1) to (3).



(a) R_{G2} が可変パラメータの場合
(a) R_{G2} :variable parameter



(b) C_{GD} が可変パラメータの場合
(b) C_{GD} :variable parameter



(c) L_W が可変パラメータの場合
(c) L_W :variable parameter

図11 実機試験結果とシミュレーション結果
Fig. 11. Experimental and simulation results using a STW11NM80.

図 13 に実験結果を示す。本論文では τ を約 20ns 一定値, 0A からリカバリ電流最大値までの電流変化率 dI_{D_peak}/dt を $700A/\mu s$ 一定値として実験を行い, R_{GI} が 12Ω , C_{GSI} が $1650pF$ を基準として, R_{GI} , C_{GSI} の比率を変化させた。図 13 から, R_{GI} を小さく, C_{GSI} を大きくするほど, ΔV_{GS2_peak} は小さくなることを確認できる。

図 14 に, ゲートソース間の電位変動発生時のドレイン電流波形を示す。(a)は, R_{GI} が 12Ω , C_{GSI} が $1600pF$ の場合, (b)は, R_{GI} が 1.1Ω , C_{GSI} が $16900pF$ の場合を示している。図 13 の結果は, リカバリ電流最大値までの dI_{D_peak}/dt を一定として測定を行っている。しかしながら, 図 14(a),(b)のドレイン電流の変化率は常に変化しているため, 電位変動値を決定する電流変化率 dI_{D_osc}/dt を求める必要がある。本論文では, 0A から約 10A までの期間が電位変動を決定する dI_{D_osc}/dt と仮定する。図 14 から, (a)の dI_{D_osc}/dt が $740.7A/\mu s$, (b)の dI_{D_osc}/dt が $253.2A/\mu s$ となることが分かり, 両者の dI_{D_osc}/dt が大きく値が異なるため, 電位変動値に差が出たものと考えられる。

以上の結果より, 図 12(i)の変動抑制のためには, リカバリ電流最大値までの dI_{D_peak}/dt を小さくするのではなく, 電位変動値に寄与する期間の dI_{D_osc}/dt を小さくすることが重要となることを確認した。

7. まとめ

本論文では, 高周波パワーデバイスを用いた電力変換回路のゲート電位変動の解析を目的とし, 回路パラメータが電位変動に与える影響を考察した。解析結果から, ΔV_{GS2_peak} を容易に求める計算式を導出し, 実機試験により計算式の妥当性を確認した。また, 結果に発生するズレを, シミュレーションにより確認し, シミュレーションから求めた ΔV_{GS2_peak} と実機試験により求めた ΔV_{GS2_peak} のズレを, 最大 2V 程度に改善した。今後は, 改善したシミュレーション回路における計算式の導出, ΔV_{GS_peak} を抑制可能な回路構成の検討を行う予定である。

文 献

- (1) M. Kamaga, K. Sung and H. Ohashi: "A Study on Switching Frequency Limitation in Combination of Si-IGBT and SiC-SBD", IEEJ Trans., Vol.128-D, No.5, pp.569-576 (2008)
釜我昌武・Sung Kyungmin・大橋弘通:「変換器高周波化のための Si-IGBT と SiC-SBD の検討」, 電学論 D, Vol.128, No.5, pp.569-576 (2008)
- (2) H. Sheng, Y. Pei and W. Fred: "Impact of Resonant Tank Structures on Transformer Size for a High Power Density Isolated Resonant Converter", Power Electronics Specialists Conference, 2008, Vol.7, pp.2975-2981 (2008)
- (3) 荒井 和雄・吉田 貞史 共編: "SiC 素子の基礎と応用", オーム社 (2003)
- (4) J. Wang, X. Zhou, J. Li, T. Zhao, A. Q. Huang, R. Callanan, F. Husna and A. Agarwal: "10-kV SiC MOSFET-Based Boost Converter", IEEE Trans. on Industry Applications, Vol.45, No.6, pp.2056-2063 (2009)
- (5) T. Noguchi, S. Yajima and H. Komatsu: "Development of Gate Drive Circuit for Next-Generation Ultra High-Speed Switching Devices", IEEJ Trans., Vol.129-D, No.1, pp.46-52 (2009)
野口 季彦・矢島 哲志・小松 宏禎:「次世代超高速スイッチング素

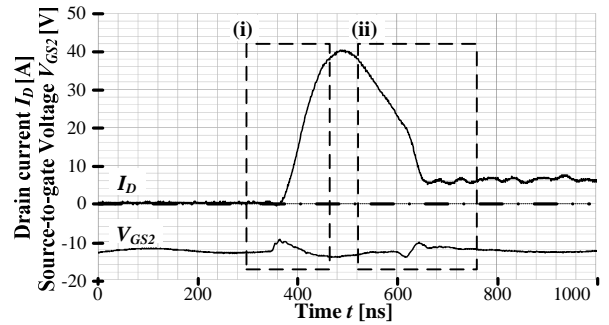


図 12 ドレイン電流波形とゲートソース間電圧波形
Fig. 12. A drain current I_D waveform and a source-to-gate voltage V_{GS2} waveform.

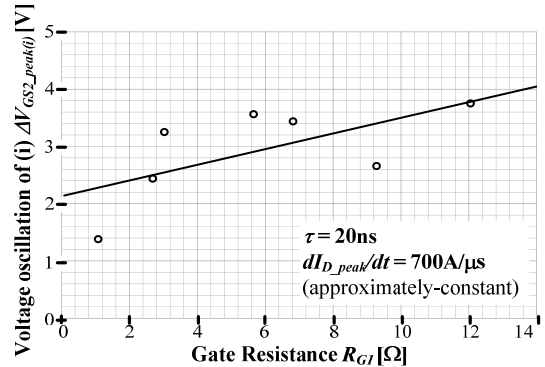
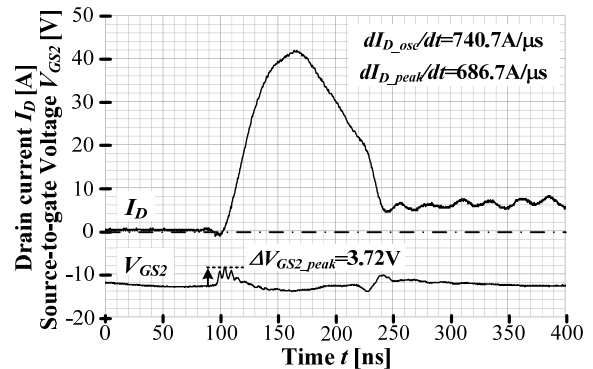
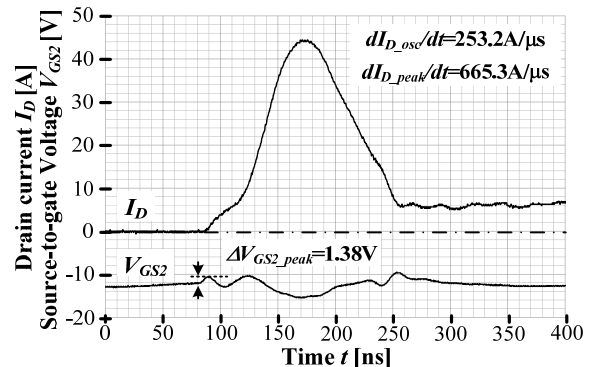


図 13 時定数一定時の実験結果
Fig. 13. Experimental results (τ is approximately constant).



(a) R_{GI} が 12Ω , C_{GSI} が $1600pF$ の場合の各種波形
(a) In case of $R_{GI}=12\Omega$, $C_{GSI}=1600pF$.



(b) R_{GI} が 1.1Ω , C_{GSI} が $16900pF$ の場合の各種波形
(b) In case of $R_{GI}=1.1\Omega$, $C_{GSI}=16900pF$.

図 14 時定数一定時の実験波形
Fig. 14. Experimental waveforms (τ is approximately constant).

- (6) 子ゲート駆動回路の開発, 電学論 D, Vol.129, No.1, pp.46-52 (2009)
渡邊 健太・折川 幸司・伊東 淳一:「高速スイッチング素子の実装法に関する一考察」, 平成 21 年度電気関係学会北陸支部連合大会, A-72 (2009)