

サージ電圧抑制の低損失化に関する検討

荒木 隆宏・伊東 淳一（長岡技術科学大学）

1. はじめに

近年、電力変換回路の高効率化および小型化が進められている。電力変換する際のスイッチングによって発生するサージ電圧を抑制するには、配線インダクタンスを最小化するのはもちろんであるが、残存する分についてはゲート抵抗もしくはスナバ回路により調整する。しかし、ゲート抵抗を増加させた場合、スイッチング速度が遅くなるためスイッチング損失が増加する。一方、スナバ回路を接続した場合はスナバ損失が発生する。本論文では許容するサージ電圧に対してゲート抵抗とスナバ回路を低損失化の観点から設計する方法を検討する。

2. 測定回路構成と実験条件

図 1 に測定回路の構成図を示す。同一の素子を 2 つ用いて RL 負荷の降圧チョップを構成する。ハイサイドの S_1 は常にオフし、負荷の還流ダイオードとして使用する。ゲート抵抗 R_G を変化させて、 S_2 のコレクタエミッタ間電圧 V_{CE} とエミッタ電流 I_E を観測する。測定した V_{CE} と I_E の積をスイッチング期間において積分して損失を計算する。スナバ回路には RCD スナバを使用する。スナバ回路は文献(1)に従って設計した。

3. 実験結果

図 2 にスナバ回路を接続した場合としない場合において S_2 の IGBT をオフした際の電圧電流波形を示す。スナバ回路を接続することでサージ電圧は 548V から 360V まで抑制される。

図 3 に IGBT と MOSFET それぞれの素子において発生するサージ電圧と、それに対するスナバ損失とスイッチング損失の合計損失の関係を示す。サージ電圧は素子印加電圧、損失は測定時の印加電圧・通過電流積で規格化している。損失とサージ電圧はトレードオフの関係にあるので、このマップは原点に近いほど低損失でサージの抑制効果が高いことを示す。図からスナバコンデンサの容量やゲート抵抗の増加に伴うサージ電圧の抑制と損失の増加が確認できる。また、スナバ回路を接続した場合、ゲート抵抗を増加させてもサージ電圧は抑制されず、損失だけが增加する。これは配線インダクタンスに蓄えられていたエネルギーのほとんどがスナバ回路によって吸収され、スイッチングの低速化に伴う損失の増加だけが現れるためである。

本実験条件において IGBT の許容サージ電圧が

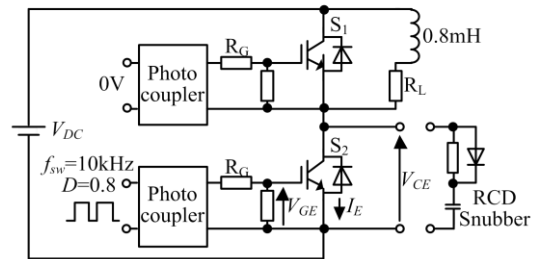


Fig. 1. Measurement circuit configuration

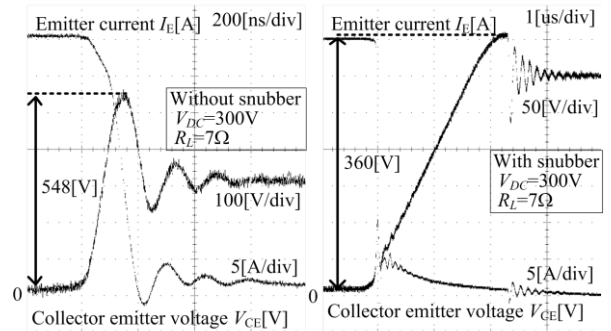


Fig. 2. Operation waveform of IGBT

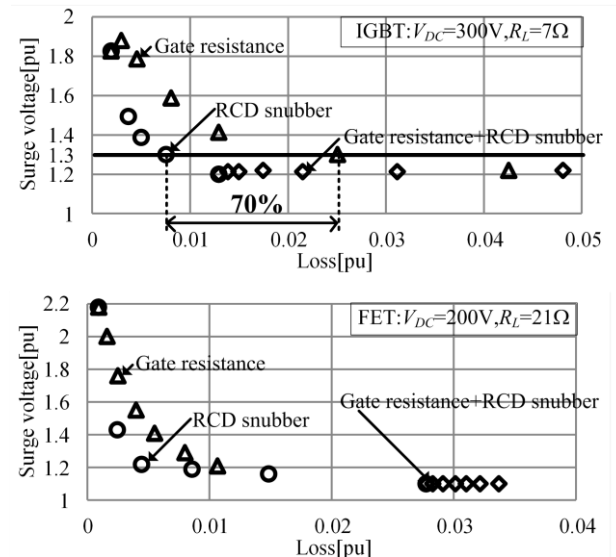


Fig. 3. Relation of total loss and surge voltage

印加電圧の 1.3 倍である 390V 以下になるよう設計する場合、ゲート抵抗だけで抑制する場合と比較し、損失が 70% 低減される。以上の結果より、どちらの素子を使用する場合も許容するサージ電圧に対してゲート抵抗を調整するよりも、最低限のスナバ回路を接続するほうが損失の観点からは有効なことがわかる。

文 献

(1)五十嵐征輝:「パワーデバイス IGBT 活用の基礎と実際」 CQ 出版社