

# Hブリッジクランプ回路を用いた 単相三線式系統連系用マルチレベル回路

野下 裕市\*, 伊東 淳一 (長岡技術科学大学)

A Basic Verification of Multilevel Converter with H-Bridge Clamp Circuit  
for Single-Phase Three-Wire Utility Connected Systems  
Yuichi Noge, Jun-ichi Itoh (Nagaoka University of Technology)

## 1. はじめに

近年、太陽光発電システムが普及し、系統連系インバータを高効率化する観点から、非絶縁型が主流となっている。三相電源に連系する機種では、マルチレベル回路による半導体損失と連系リアクトル損失の低減が検討されている<sup>(1)</sup>。

一方、家庭用の単相三線式系統では、漏洩電流抑制のために、インバータ直流中点を接地したHブリッジ構成が使用される<sup>(2)</sup>。マルチレベル回路はレベル数  $n$  の  $2(n-1)$  個のスイッチ素子が必要で、特に家庭用では半導体・その他受動部品のコスト増加が課題となる。マルチレベル回路の部品削減、制御簡略化の手法として、ANPC回路が提案されている<sup>(3)</sup>。また、三相一括クランプとしてスイッチ数を削減した、ASNPC回路が提案されている<sup>(4)</sup>。

本論文では、単相三線式系統が接地点基準で相補的に動作することに着目し、ANPC回路二相分を一体化、出力側にHブリッジクランプ回路を設け、部品点数を削減できる新たな回路構成を提案する。提案回路の動作とパラメータ設計法をシミュレーションにより確認したので報告する。

## 2. 提案回路

図1に提案回路の概念図を示す。提案回路は直流中点の上下に  $n$  レベルのインバータ、出力側にHブリッジ型のクランプ回路を持つ。単相三線式系統は  $u, w$  相の電圧極性が相補的に変化するため、電源半周期ごとにクランプ極性を切り替える。出力電圧レベル数は  $2n-1$  レベルとなる。

図2に5レベル構成の回路図を示す。フライングキャパシタ(FC)型3レベルで  $1/4V_{dc}$  ステップの出力電圧を得る。

表1に提案回路と他の回路について、半導体とキャパシタ使用量を、5レベル  $1/4V_{dc}$  で基準化して比較する。提案回路とANPCはDCLP、FCに対してスイッチ数が多い一方、DCLPはダイオード、FCはキャパシタが多数必要となる。

提案回路とANPCを比較すると、基準化したスイッチ数は同一だが、実際のスイッチ数は12個と最も少ない。よってゲート駆動回路の削減と、実装コストの低減が可能である。また、Hブリッジクランプ回路には最大で  $V_{dc}$  の耐圧が必要で、高耐圧でオン抵抗の低いスイッチが必要となる。

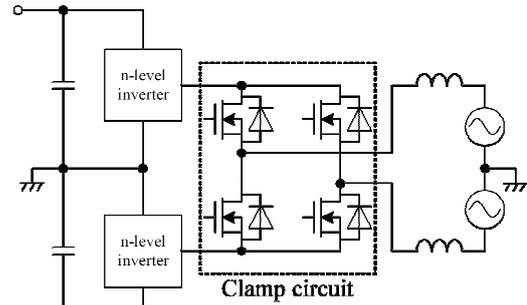


Fig. 1. Configuration of the proposed circuit

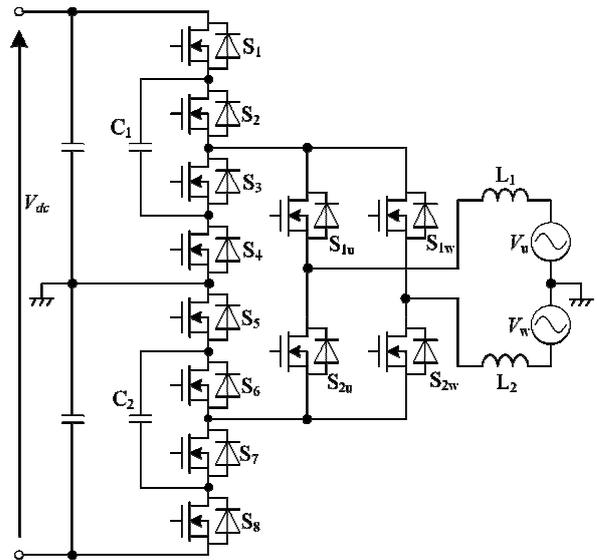


Fig. 2. Five-level configuration

Table 1. Comparison of the number of devices in four different multi-level topologies based on a  $1/4V_{dc}$  voltage rating

	Proposed	ANPC	DCLP	FC
Switch (Carrier freq.)	8	8	16	16
Switch (Grid freq.)	16 (4)*	16 (8)*	0	0
Diode	0	0	24	0
Flying Capacitor	2	2	0	12 (6)*

\*Actual number of devices

この部分には近年開発の進む CoolMOS や、SiC/GaN-MOS などが適している。

図 3 に提案回路の制御ブロック図を示す。各相の電流を PI 制御し、出力電圧指令値の極性に応じて上下インバータの相を入れ替える。また H ブリッジランプ回路は、電圧極性に応じて切り替えるのみで、PWM 動作しない。3 レベルの上下インバータは位相シフト PWM 変調を適用する。

### 3. パラメータ設計

<3・1>連系リアクトル (1)式に連系リアクトルの設計式を示す。リアクトルの電流リップルは、変調率 0.5 のとき最大となる。よって位相シフト PWM を使用し、キャリア周波数  $f_s$  とした場合、一定電圧が印可される時間は  $1/4f_s$  となる。またリアクタンスの電圧降下を無視すると、変調率 0.5 のときリアクトル印可電圧は  $\pm 1/8V_{dc}$  となる。この時の電流リップル  $\Delta i$  を指定し、必要なインダクタンスを求める。

$$L = \frac{1}{8} V_{dc} \cdot \frac{1}{4 \Delta i \cdot f_s} [H] \dots \dots \dots (1)$$

<3・2>フライングキャパシタ 位相シフト PWM 制御を適用した 3 レベル FC と同様に設計可能である。3 レベルの中点付近、提案回路では  $\pm 1/4V_{dc}$  付近を出力する際、リップルが最大となる。この時の相電流  $I$  を(2)式に示す。 $I_m$ ,  $V_m$  は電源電流と電圧の最大値を示す。

$$I = \frac{1}{4} \frac{I_m V_{dc}}{V_m} [A] \dots \dots \dots (2)$$

(3)式に最低限必要な静電容量を示す。キャパシタの充放電は 1/2 キャリア周期、許容電圧リップル幅を  $\Delta v$  とする。

$$C = \frac{1}{4} \frac{I_m V_{dc}}{V_m} \frac{1}{2 \Delta v f_s} [F] \dots \dots \dots (3)$$

### 4. 回路シミュレーション

表 2 に、設計仕様と 3 章の設計法に基づいた、連系リアクトルとフライングキャパシタのパラメータを示す。

図 4 にシミュレーション結果を示す。入力電流は良好な正弦波に制御されている。また各相の出力電圧波形は、5 レベルの階段状となり、マルチレベル動作が行われている。

パラメータ設計の妥当性を確認するため、フライングキャパシタ  $C_1$  の電圧と、出力電流  $I_u$  のリップルを測定する。図 4 より、電流リップルは設計値 1.41A に対して良好に一致している。しかしフライングキャパシタの電圧リップルは、設計値 8.75V に対して最大 10.0V と超過している。これは電流制御の位相遅れにより系統側の力率が完全に 1 とならず、(2)式の電流値に誤差が生じるためである。

### 5. まとめ

H ブリッジランプ回路を用いた単相三線式系統連系用マルチレベル回路を提案した。提案回路は ANPC 回路二相分を、H ブリッジランプ回路を用いて一体化し、スイッチ数を削減した。提案回路は、従来の ANPC, DCLP, FC の各回路中、部品点数が最小である。提案回路の構成と制御法を説明し、連系リアクトルとフライングキャパシタの定

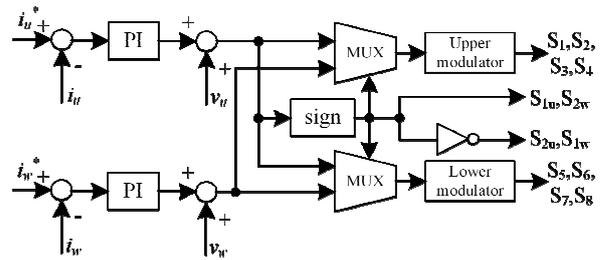
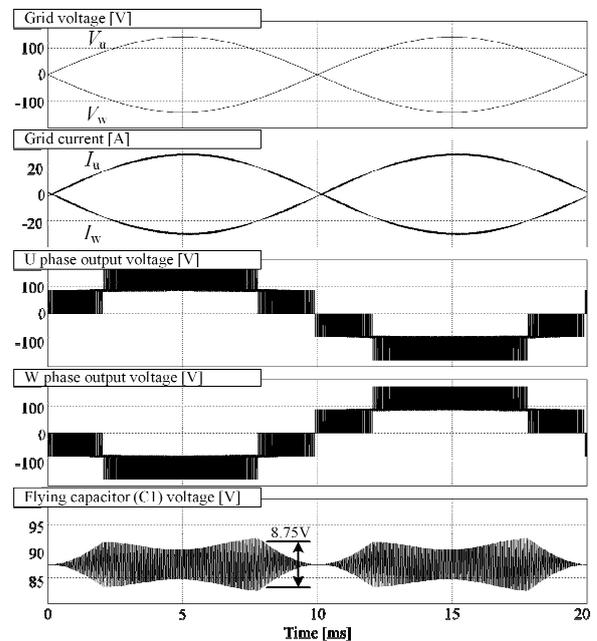
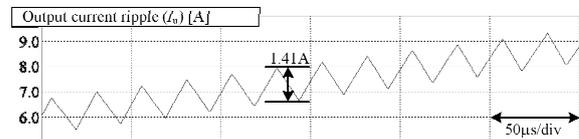


Fig. 3. Control block diagram  
Table 2. Parameters and conditions

Rated power	4kW	Inductor	387μH
DC bus voltage	350V	Flying capacitor	50μF
Grid voltage	200V	Carrier frequency	20kHz
Grid frequency	50Hz	Output current ripple	5%
Grid current	20A	FC voltage ripple	10%



(a) Output current and voltages



(b) Output current ripple

Fig. 4. Operation waveforms

量的な設計法を示し、シミュレーションによる動作確認と、設計の検証を行った。今後は実験による動作確認を行う。

### 文 献

(1) Lin Ma, et.al. : EPE 2009, No.0079 (2009)  
(2) 平地克也, 平地研究室技術メモ No.20090930, (2009)  
(3) P.Barbosa, et.al. :EPE 2005, No.0856 (2005)  
(4) A.Leredde, et.al, IECON2009, pp673-678 (2009)