

# Hブリッジクランプ回路を用いた 単相三線式系統連系用マルチレベル回路の動作検証

学生員 唐木 隆行 学生員 野下 裕市 正員 伊東 淳一 (長岡技術科学大学)

## Experimental Verification of Multi-level Circuit for Single-phase Three-wire System using H-bridge Clamp Circuit

Takayuki Karaki, Student Member, Yuichi Noge, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

A multilevel inverter with H-bridge clamp circuit is proposed for single-phase three-wire (1P3W) utility connected applications such as PV system. The proposed inverter consists of two n-level inverters and a H-bridge clamp circuit. The proposed inverter features high compatibility with next generation semiconductors because of the uses of a high voltage H-bridge clamp circuit at grid frequency switching. The proposed inverter requires only 12 controllable switches to obtain a 5-level output voltage. In conventional multi-level converters with grounded neutral point of the DC-bus, 16 switches are required. The basic operation of the proposed circuit is confirmed by 5-level experimental setup.

キーワード：マルチレベルインバータ，単相三線，太陽光発電

**Keywords** : Multi-level inverter, Single-phase three-wire connection, Photo voltaic(PV) systems

### 1. はじめに

近年，太陽光発電システムの普及が進み，系統連系インバータを高効率化する観点から，非絶縁型が主流となっている。家庭用の単相二線式系統では，Hブリッジインバータを線間3レベル動作させた場合，大地と太陽電池パネル間の寄生容量を介してコモンモード漏れ電流が流れる。この問題に対し，DCリンクに挿入した補助スイッチにより回避する回路が提案されている<sup>(1)</sup>。この回路構成を使用すると，コモンモード電圧が全てのスイッチング状態で一定に保持できるが，補助スイッチによる損失が増加する。一方，日本国内で広く使用される単相三線式系統ではインバータ直流中点を接地したHブリッジ構成によって，コモンモード電圧の変動を抑制できる。さらに3レベルの線間出力電圧による連系リアクトル損失の低減，及び直流中点の接地による安全性の向上を図ることができる<sup>(2)(3)</sup>。

三相電源に連系する機種では，マルチレベル回路による半導体損失と連系リアクトル損失の低減が検討されている<sup>(1)(4)</sup>。一般的に，nレベルのマルチレベルインバータは，スイッチング素子の電圧ストレスをDCバス電圧の $1/(n-1)$ 倍に低減することができる。しかしマルチレベル回路はレベル数nの $2(n-1)$ 個のスイッチ素子が必要で，特に家庭用では半導体・その他受動部品のコスト増加が課題となる。マルチレベル回路の部品削減，制御簡略化の手法として，ANPC

回路が提案されている<sup>(5)</sup>。また系統連系用途において，他のマルチレベル回路と比較し，高い効率を得られることが確認されている<sup>(6)</sup>。しかし，ANPC回路はスイッチ素子数が従来のマルチレベル回路と同等であり，高コスト化の一因となっている。

本論文では，単相三線式系統が接地点基準で相補的に動作することに着目し，ANPC回路二相分を一体化，出力側にHブリッジクランプ回路を設け，部品点数を削減する新たな回路構成を提案する<sup>(7)</sup>。提案するインバータは，5レベルの構成で12個スイッチを使用する。これは同様のレベル数で16個のスイッチを使用する他のマルチレベル回路よりも少なく，安価に実現できる可能性がある。高耐圧素子を使用するHブリッジクランプ回路は系統周波数で動作するため，スイッチング損失が削減される。

これまで筆者らは，提案回路についてシミュレーションを行い，基本動作を確認している。本稿では，5レベル構成の実機を製作し，インバータ動作特性を検証する。750WのRL負荷において，効率98.7%の良好な値を得たので報告する。

### 2. 提案回路の構成と制御法

#### 〈2.1〉 従来回路

図1に単相三線式系統に適用した $2n-1$ レベルのANPC回路を示す。ANPC回路は，8個のスイッチをクランプ回路に

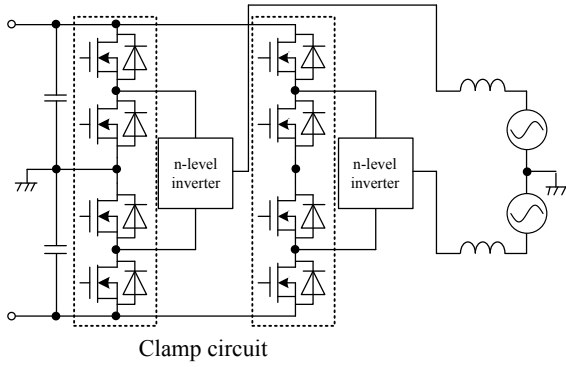
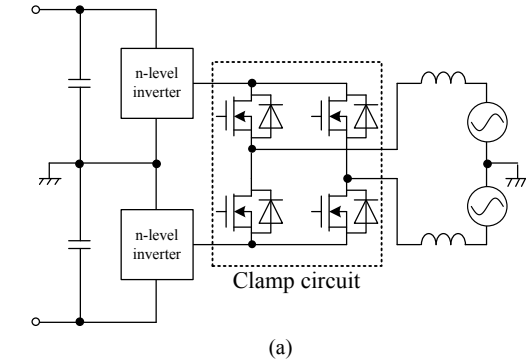
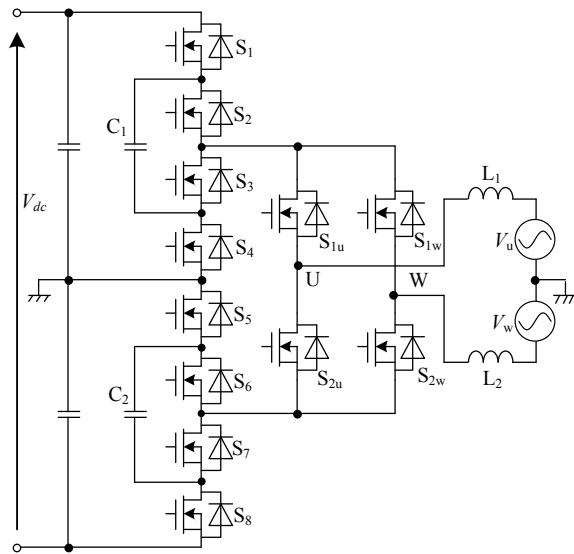


Fig. 1. Active neutral point clamped (ANPC) multi-level inverter.



(a)



(b)

Fig. 2. Circuit configuration of a multilevel inverter for single-phase three-wire utility connected system. (a) Proposed H-bridge clamped converter. (b) Proposed H-bridge clamped converter at five-level configuration.

使用し、耐圧は  $1/2V_{dc}$  となる。

### 〈2・2〉 提案回路

図 2(a)に提案回路の概念図を示す。提案回路は直流中点の上下に  $n$  レベルのインバータ、出力側に H ブリッジ型のクランプ回路を持つ。単相三線式系統は U, W 相の電圧極性が相補的に変化するため、系統周波数の半周期ごとにクランプ極性を切り替える。よってクランプ回路のスイッチング損失は非常に小さい。また出力電圧レベル数は  $2n-1$  レベルとなり、ANPC 回路と同一である。

図 2(b)に 5 レベル構成の回路図を示す。フライングキャパ

Table 1. Comparison of the number of devices in four different multi-level topologies based on a  $1/4V_{dc}$  voltage rating.

	Proposed	ANPC	DCLP	FC
Switch (Carrier freq.)	8	8	16	16
Switch (Grid freq.)	16 (4)*	16 (8)*	0	0
Diode	0	0	24	0
Flying Capacitor	2	2	0	12 (6)*

\*Actual number of devices

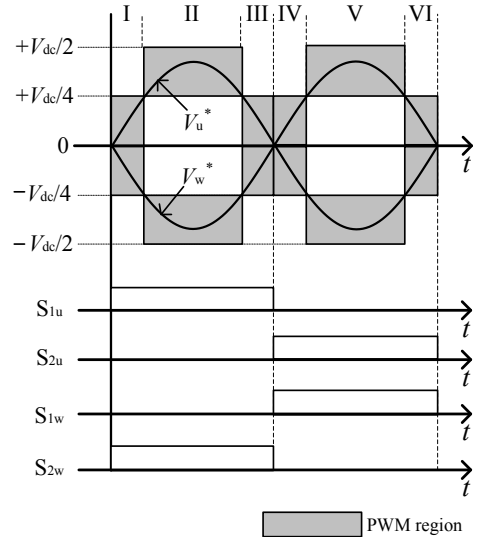


Fig. 3. Operation of upper/lower inverter and clamp switches.

シタ(FC)型 3 レベル回路を用いて、 $V_{dc}/4$  ステップの出力電圧を得る。

表 1 に提案回路と他の回路について、半導体とキャパシタ使用量を、5 レベル  $V_{dc}/4$  で基準化して比較する。提案回路と ANPC 回路は、ダイオードクランプ(DCLP)、FC に対してスイッチ数が多い一方、DCLP はダイオード、FC はキャパシタが多数必要となる。提案回路と ANPC を比較すると、基準化したスイッチ数は同一だが、実際のスイッチ数は 12 個と最も少ない。よってゲート駆動回路の削減と、実装コストの低減が可能である。また H ブリッジクランプ回路には最大で  $V_{dc}$  の耐圧が必要で、高耐圧でオン抵抗の低いスイッチが必要となる。この部分には近年開発の進む SJ-MOS や、SiC/GaN-MOS などが適している。

### 〈2・3〉 提案回路の動作

図 3 に 5 レベル構成時の動作状態を示す。上段と下段の 3 レベルインバータ回路は PWM 動作を行う。上段のインバータは  $V_{dc}/2, V_{dc}/4, 0$ 、下段インバータは  $0, -V_{dc}/4, -V_{dc}/2$  の各電圧を出力する。上下の 3 レベルインバータには、2 本のキャリアの位相差を  $180$  度とした位相シフト変調を適用する。この制御法を適用することで、フライングキャパシタの充放電期間は出力電圧・電流によらず一定となる。よってキャパシタ電圧制御は基本的に不要であり、過電圧保護を目的とした簡易な電圧センサで十分である。またクランプ回路( $S_{1u}, S_{2u}, S_{1w}, S_{2w}$ )は、U 相と W 相の電圧極性切り替わり点において相補的にスイッチングする。

Table 2. Switching condition and output voltage.

Phase	Output voltage	No.	Output current direction	Flying capacitor		Switching condition ("x"= not applicable)								Clamp circuit			
						Inverter				Clamp circuit							
				Upper				Lower				U		W			
				C1	C2	S1	S2	S3	S4	S5	S6	S7	S8	S1u	S2u	S1w	S2w
U	$V_{dc}/2$	1	Positive	-	-	ON	ON	OFF	OFF	x	x	x	x	ON	OFF	OFF	ON
	$V_{dc}/4$	2		Charge	-	ON	OFF	ON	OFF	x	x	x	x				
	$V_{dc}/4$	3		Discharge	-	OFF	ON	OFF	ON	x	x	x	x				
	0	4		-	-	OFF	OFF	ON	ON	x	x	x	x				
	0	5	Negative	-	-	x	x	x	x	ON	ON	OFF	OFF	OFF	ON	ON	OFF
	$-V_{dc}/4$	6		-	Charge	x	x	x	x	ON	OFF	ON	OFF				
	$-V_{dc}/4$	7		-	Discharge	x	x	x	x	OFF	ON	OFF	ON				
	$-V_{dc}/2$	8		-	-	x	x	x	x	OFF	OFF	ON	ON				
W	$V_{dc}/2$	9	Positive	-	-	ON	ON	OFF	OFF	x	x	x	x	OFF	ON	ON	OFF
	$V_{dc}/4$	10		Charge	-	ON	OFF	ON	OFF	x	x	x	x				
	$V_{dc}/4$	11		Discharge	-	OFF	ON	OFF	ON	x	x	x	x				
	0	12		-	-	OFF	OFF	ON	ON	x	x	x	x				
	0	13	Negative	-	-	x	x	x	x	ON	ON	OFF	OFF	ON	OFF	OFF	ON
	$-V_{dc}/4$	14		-	Charge	x	x	x	x	ON	OFF	ON	OFF				
	$-V_{dc}/4$	15		-	Discharge	x	x	x	x	OFF	ON	OFF	ON				
	$-V_{dc}/2$	16		-	-	x	x	x	x	OFF	OFF	ON	ON				

表 2 に提案回路のスイッチングパターンと出力電圧を示す。例として図 3 の領域 I について説明する。領域 I では U 相の出力電圧は 0V もしくは  $+V_{dc}/4$  となり、No. 2, 3, 4 のスイッチングパターンを使用する。 $+V_{dc}/4$  を出力する No. 2, 3 はフライングキャパシタ  $C_1$  を充放電する。位相シフトキャリア変調により、充放電パターンは一キャリア周期中に等しい期間生成され、 $C_1$  の電圧は一定に保たれる。

〈2・4〉 制御方式

図 4 に提案回路の制御ブロック図を示す。各相の電流を独立に PI 制御し、単相三線式系統のアンバランスに対応する。出力電圧指令値の極性に応じてクランプ回路を切り替え、上下インバータと系統の接続を入れ替える。また H ブリッジクランプ回路は、電圧極性に応じて切り替えるのみで、PWM 動作しない。3 レベルの上下インバータは位相シフトキャリア変調を適用する。ただし今回の実験では、RL 負荷によりインバータ動作を検証するため、系統電流の PI 制御器は使用せず、出力電圧指令を変調器に直接与える。

3. 実験結果

表 3 に実機の各パラメータと、主回路に使用する MOSFET を示す。 $V_{dc}=300V$ ,  $V_{out}=200V$  として実験を行う。これらを用いて 5 レベル構成のプロトタイプを製作し、提案回路のインバータ動作を確認する。実験は U, W 相それぞれの出力端子から、中性点の間に RL 負荷を接続する。また  $1\mu s$  のデッドタイムを各スイッチのターンオンに付加する。

図 5 に、負荷抵抗  $25\Omega$ , 負荷電力 744W 出力時のフライングキャパシタ電圧  $v_{c2}$ , U 相 PWM 電圧波形, U 相電流波形を示す。出力電流は良好な正弦波となり、出力電圧は 5 レベルの階段状となり、サージ状の異常電圧は発生していない。またフライングキャパシタ電圧は、入力電圧  $V_{dc}=300V$  の 1/4 となる 75V 付近で一定に制御されている。

図 6 に負荷抵抗  $33.3\Omega$ , 負荷電力 561W 出力時のフライングキャパシタ電圧  $v_{c2}$  を拡大した波形を示す。フライングキャ

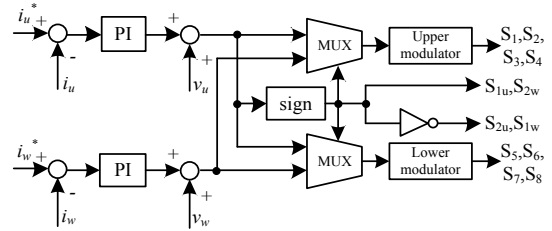


Fig. 4. Control block diagram.

Table 3. Parameter and condition.

Rated power	744W	Inductor	2mH(%2.5)	
DC bus voltage	300V	Flying capacitor	14μF	
Output voltage	200V	Electrolytic capacitor	470μF	
Grid frequency	50Hz	Carrier frequency	20kHz	
Rated current	3.7A	Power factor	99.97-99.99%	
Digital controller		Switching devices		
DSP	TI	C6713	Inverter circuit	H5N2007FN
FPGA	Actel	APA300	Clamp circuit	IPW65R070C6

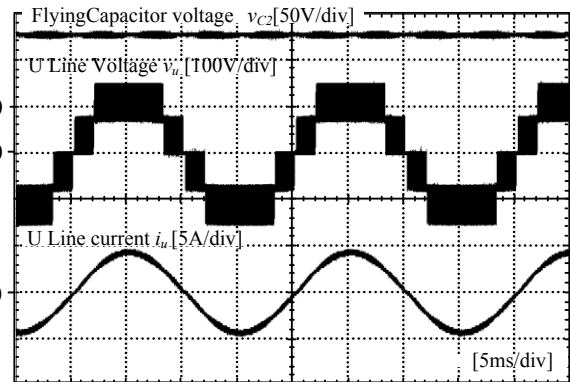


Fig. 5. Voltage and current waveforms.

パシタの電圧リップルは 4.0V となった。このリップル電圧の妥当性を確認するため、文献(7)に示されているフライングキャパシタ容量の設計式から電圧リップルを求めると、(1)式となる。

$$\Delta v = \frac{1}{4} \frac{I_m V_{dc}}{V_m} \frac{1}{2Cf_s} [V] \dots\dots\dots (1)$$

(1)式より電圧リプルを求めると 3.99V となる。実験に使用したキャパシタは、指月電機製作所の TME シリーズ 250V, 4.7 $\mu$ F, 容量許容差 $\pm 10\%$ を 3 並列として、合計 14.1 $\mu$ F で使用している。(1)式より静電容量の誤差は反比例で影響するため、電圧リプルの誤差範囲は 3.59~4.39V となる。よって測定結果の 4.0V は、設計値 3.99V に対して良好に一致している。

図 7 に負荷抵抗を変化させた場合の効率特性を示す。なお測定点はインバータ直流部と交流出力端であり、連系リアクトルの損失は含めていない。出力電力が 200~750W の区間では、変換効率が 98.5%以上となり、最大効率は 561W 出力時に 98.8%となる。

図 8 に損失解析結果を示す。解析には PowerSim 社のシミュレータ PSIM を使用し、スイッチの瞬時の電圧・電流値から半導体部分の損失を求めている。導通損失は各 MOSFET のデータシートから、 $T_j=100^\circ\text{C}$ のオン抵抗値を使用し計算した。またスイッチング損失は、データシート記載のターンオン・オフ時間、また寄生ダイオードの逆方向リカバリ電荷量  $Q_{rr}$  を用いて、スイッチング時の損失を計算した。解析の結果、効率測定結果と解析結果の誤差は 2W 以下となり、測定に使用したパワーメータ (横河電機 WT1600) の測定レンジにおける確度範囲 $\pm 2.25\text{W}$  以内で一致することが確認できる。またクランプ回路と上下インバータは、いずれも導通損失が支配的である。クランプ回路と上下インバータの損失分担は同程度となり、放熱設計の問題が少ない。クランプ回路では、今後 Si-SJ の微細化や SiC によるオン抵抗低減が期待され、上下インバータに使用する低耐圧の MOSFET に関しても、プロセス微細化によるオン抵抗低減の余地がある。

#### 4. まとめ

H ブリッジクランプ回路を用いた単相三線式系統連系用マルチレベル回路の実機検証を行った。提案回路は ANPC 回路二相分を、H ブリッジクランプ回路を用いて一体化し、スイッチ数を削減した。従来の ANPC, DCLP, FC の各回路と比較した場合、スイッチとキャパシタを合わせた部品点数が最小である。提案回路の構成と制御法を説明し、5 レベル構成の実機を試作、RL 負荷によるインバータ動作の検証を行った。変換効率は 200~750W の範囲で 98.5%以上、561W 時に最大効率 98.8%の良好な結果を得た。さらにシミュレーションによる損失解析を行い、上下インバータとクランプ回路の導通損失が支配的であること、クランプ回路にスイッチング損失が生じないこと、上下インバータとクランプ回路の損失分担が同程度となることを確認した。

今後の課題として、出力電流制御系を加えた系統連系運転時の動作検証があげられる。

#### 文 献

(1) F. Blaabjerg, F. Iov, T. Kerekes and R. Teodorescu, "Trends in power

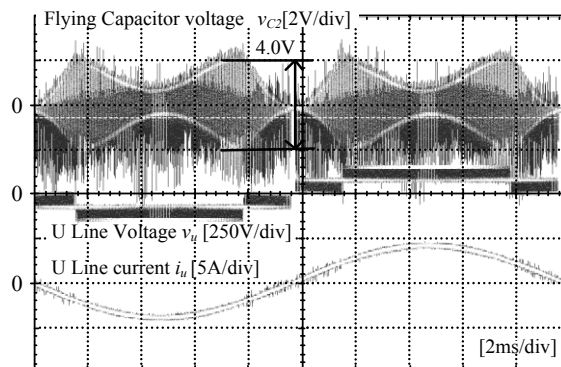


Fig. 6. Expanded flying capacitor voltage.

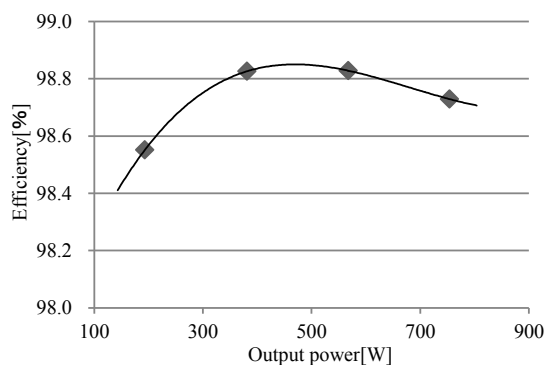


Fig. 7. Load efficiency characteristic.

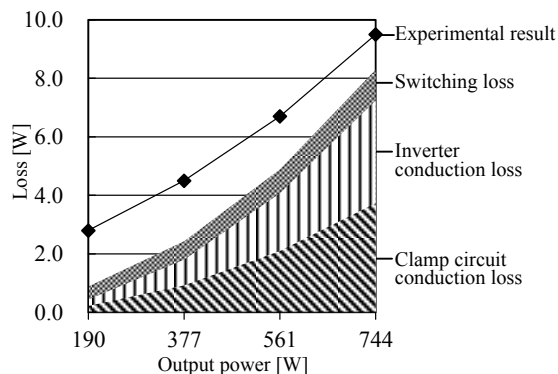


Fig. 8. Loss analysis of experimental result.

electronics and control of renewable energy systems" 14th Power Electronics and Motion Control Conference, pp. K-1 - K19 (2010)

(2) Y. Baba, M. Okamoto, E. Hiraki and T. Tanaka, "A half-bridge inverter based current balancer with the reduced DC capacitors in single-phase three-wire distribution feeders," Energy Conversion Congress and Exposition, pp. 4233-4239, (2011)

(3) S. J. Chiang et al., "Design and implementation of single-phase three-wire rectifier-inverter for UPS applications," Power Electronics Specialists Conference, pp.1927-1932, (2004).

(4) Lin Ma, T. Kerekes, R. Teodorescu, X. Jin, D. Florica and M. Liserre, "The high efficiency transformer-less PV inverter topologies derived from NPC topology" EPE 2009, No.0079, pp.1-10 (2009)

(5) P. Barbosa et al., "Active-Neutral-Point-Clamped (ANPC) Multilevel Converter Technology," EPE 2005, pp. 1-10 (2005)

(6) Yugo Kashihara, Jun-ichi Itoh, "The performance of the multilevel converter topologies for PV inverter", CIPS2012, pp.67-72 (2012)

(7) 野下 裕市, 伊東 淳一: "H ブリッジクランプ回路を用いた単相三線式系統連系用マルチレベル回路" 平成 23 年度電気学会全国大会, Vol. 4, pp.71-72 (2012)