

PV 用マルチレベル変換器の効率と体積に注目したパラメータ設計法に関する一考察

学生員 榎原 有吾, 正員 伊東 淳一 (長岡技術科学大学)

A Consideration about Parameters Design of Efficiency and Volume of Multilevel Converter for a PV System

Yugo Kashihara, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

This paper discusses Euro-efficiency of a five-level ANPC inverter for a PV system and ripple voltage design of flying capacitor. Euro-efficiency calculated by mathematical expression is compared by experimental value. Euro-efficiency calculated by mathematical expression is 99.14%. On the other hand, Euro-efficiency calculated by experimental value is 99.15%. The loss estimation results well agreed with that of the experimental results. In addition, ripple voltage of flying capacitor have little effect on output current THD.

キーワード: マルチレベル変換器, アクティブ NPC, PV システム, パラメータ設計

Keywords: Multilevel converter, Active NPC, PV system, Parameter design

1. はじめに

電力変換器の出力電圧の高調波低減, 電流応答の高速化の観点から, マルチレベル電力変換器が研究されている⁽¹⁾。マルチレベル電力変換器は従来の 2 レベルの電力変換器と比較すると, ①レベル数 n に対しスイッチング素子の耐圧を $n-1$ 分の 1 に低減できること, ②複数レベルの電圧を出力するので出力電圧の高調波を低減できることが利点としてあげられる。そのため, Fig.1 のような太陽光発電システムの系統連系インバータに応用する動きがある⁽³⁾。

そこで筆者らは, マルチレベル電力変換器の一方式として, 5 レベルアクティブ中性点クランプ形(以下 ANPC)インバータに注目している⁽²⁾⁽⁴⁾。ANPC 方式は, ダイオードクランプ方式とフライイングキャパシタ方式を組み合わせた回路構成となっており, 従来方式と比較すると, 通過素子数が少なく, 従来方式の短所を解決でき, 低コスト化, 高効率化が期待できる。

これまでに, 筆者らは数式を用いた 5 レベル ANPC インバータのパラメータ設計法について検討を行ってきた⁽⁴⁾⁽⁶⁾。この方法は, 変換器を構成するスイッチ素子やキャパシタ素子などのデバイスパラメータや変換器の仕様から, 解析的に変換器の効率や体積を推定する手法である。この手法の利点は, 一度実験により数式の妥当性を確認すれば, 以降のような仕様でも簡単に変換器性能を推定できる点である。そのため, 試作回数を少なくでき(最小 1 回), 高効率化・体積の最小化を目的としてコストとのバランスを見ながら変換器設計ができ, 製品試験時間の短縮化, 製品開発の低コスト化となる。しかしながら, これまでの研

究の課題として, 効率設計の観点から軽負荷時に発生する損失誤差が大きいこと, 体積設計の観点から ANPC 変換器のキャパシタの設計指針が不十分なことが挙げられる。

そこで, 本論文ではこれらの課題について検討し, より実際的な変換器設計法を明らかにする。本稿では, まず, ANPC 変換器の動作原理について説明する。次に, 変換器の仕様とパラメータ設計について説明する。そして, 変換器の無負荷損失を導出し, 理論値と実験値の比較を行う。そして既存の損失計算法と併せて ANPC インバータの損失を推定し, ユーロ効率を用いた性能評価を行う⁽⁸⁾。また, フライイングキャパシタのリプル電圧の変化における出力電流ひずみ率(以下, THD)や損失について検討を行う。これにより, フライイングキャパシタの許容リプル電圧に対する実際的な選定方法を明らかにする。その結果, 5 レベル ANPC インバータを系統連系インバータに適用した場合, ユーロ効率が 99.15%, フライイングキャパシタの許容リプル電圧に対する出力電流 THD は損失への影響がほとんど無いことがわかったので報告する。

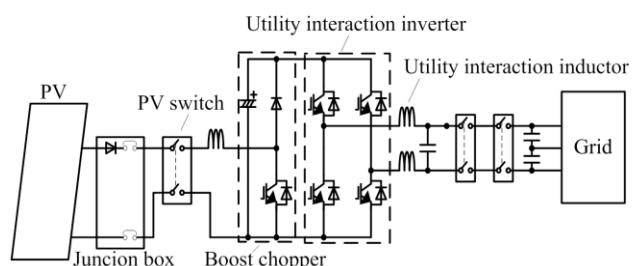


Fig.1. A PV system.

2. 回路トポロジーおよび変換器設計手順

(2・1) ANPC 方式

Fig.2 に 5 レベル ANPC インバータの回路図(1 相分)を示す。Fig.2 より, 5 レベル ANPC インバータ回路は一相あたり 8 つの素子と 3 つのキャパシタで構成される⁽²⁾。

(2・2) 変換器設計法

Fig.3 に変換器の設計フローチャートを示す⁽⁴⁾。Fig.3 の設計フローチャートは, 変換器の仕様やデバイスパラメータを入力とする。入力パラメータから, 半導体素子, キャパシタ, インダクタ, ヒートシンクのパラメータを導出する。まず, 半導体素子の設計部分では損失について検討を行う。キャパシタの設計部分では, 容量, リプル電流, 損失, 体積について検討を行う。リアクトルの設計部分では, インダクタ, リプル電流, 損失, 体積について検討を行う⁽⁵⁾。ヒートシンクの設計部分では, 熱抵抗と体積について検討を行う⁽⁴⁾。各設計パートの検討結果から変換器全体の効率や体積, パワー密度を導出する。

3. 効率(損失)の算定法

2 章で述べた変換器の設計チャートを用いて ANPC インバータの設計を行ない, ユーロ効率を用いた変換器の性能評価を行う。効率 η_{ANPC} は変換器の各素子の損失総和 P_{Loss} から(1)~(2)式で, 変換器体積 Vol_{ANPC} は各素子の体積総和から(3)式で, 変換器のパワー密度 ρ_{ANPC} は各素子のパワー密度の総和から(4)式で得られる。

$$P_{Loss} = P_{sw} + P_C \dots \dots \dots (1)$$

$$\eta_{ANPC} = \frac{P_{in} - P_{Loss}}{P_{in}} \dots \dots \dots (2)$$

$$Vol_{ANPC} = Vol_{sw} + Vol_C + Vol_H \dots \dots \dots (3)$$

$$\rho_{ANPC} = \frac{P_{out}}{Vol} \dots \dots \dots (4)$$

ここで, P_{sw} は半導体素子の損失(W), P_C はキャパシタの損失(W), P_{in} は変換器の入力電力(W), Vol_{sw} は半導体素子の体積(dm³), Vol_C はキャパシタの体積(dm³), Vol_H はヒートシンクの体積(dm³), P_{out} は変換器の出力電力(W), Vol は変換器の体積(dm³)である。

(3・1) 半導体素子の損失計算法

本節では, 半導体素子の損失計算法について説明する⁽⁴⁾。Fig.2 において, Cell1 の素子 1 つに発生するスイッチ側の導通損失 $P_{5A_con_Cell1_sw}$ は(1)式で, FWD 側の損失 $P_{5A_con_Cell1_FWD}$ は(2)式で導出することができる。

$$P_{5A_con_Cell1_sw} = I_m \left(\frac{v_0}{2\pi} - \frac{1}{2} v_0 \cos \phi + \frac{1}{8\pi} I_m r_{on} \sin 2\phi - \frac{1}{4\pi} I_m r_{on} \phi - \frac{2}{3\pi} I_m a r_{on} \cos \phi - \frac{1}{4} a v_0 \cos \phi \right) \dots \dots \dots (5)$$

$$P_{5A_con_Cell1_FWD} = I_m \left(\frac{v_0}{2\pi} + \frac{1}{2} v_0 \cos \phi + \frac{1}{8\pi} I_m r_{on} \sin 2\phi + \frac{1}{4\pi} I_m r_{on} + \frac{1}{4\pi} I_m r_{on} \phi - \frac{2}{3\pi} I_m a r_{on} \cos \phi - \frac{1}{4} a v_0 \cos \phi \right) \dots \dots \dots (6)$$

ここで, α は指令値の振幅, r_{on} はスイッチのオン抵抗(Ω), v_0 は

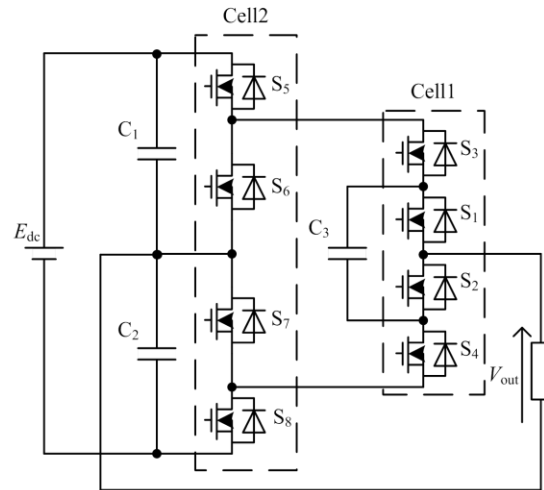


Fig.2. Five-level ANPC inverter circuit topology.

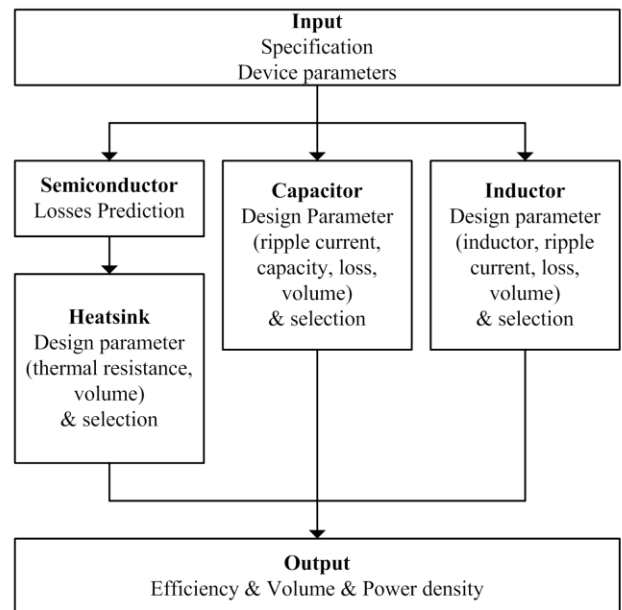


Fig.3. Power density and efficiency calculation procedure for the inverter.

0A の時のオン電圧降下(V), I_m は負荷電流ピーク値(A), ϕ は負荷力率である。

Cell2 の導通損失について述べる。S₅, S₇ のスイッチ側の導通損失 $P_{5A_con_Cell2_swA}$ は(7)式で, S₅, S₇ の FWD 側の導通損失 $P_{5A_con_Cell2_FWDA}$ は(8)式で導出することができる。

$$P_{5A_con_Cell2_swA} = \frac{1}{2\pi} \left[a r_{on} \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) I_m^2 + a v_0 \left(\frac{1}{2} \pi \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) \right] \dots \dots \dots (7)$$

$$P_{5A_con_Cell2_FWDA} = \frac{1}{12\pi} \left[I_m a \left(8 I_m r_{on} \sin \left(\frac{\phi}{2} \right)^4 - 3 v_0 \sin \phi + 3 \phi v_0 \cos \phi \right) \right] \dots \dots \dots (8)$$

同様に, S₆, S₈ のスイッチ側の導通損失 $P_{5A_con_Cell2_swB}$ と FWD 側の導通損失 $P_{5A_con_Cell2_FWDB}$ は, (9), (10)式で得られる。

$$P_{5A_con_Cell2_swB} = \frac{1}{2\pi} \left[I_m v_0 (\cos \phi + 1) + I_m^2 r \left(\frac{\pi}{2} + \frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m a v_0 \left(\frac{\pi}{2} \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) + I_m a r \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] \quad \dots (9)$$

$$P_{5A_con_Cell2_FWD} = \frac{1}{2\pi} \left[I_m^2 r \left(\frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m v_0 + I_m v_0 \cos \phi - \frac{1}{2} I_m a v_0 (\sin \phi - \phi \cos \phi) + I_m^2 a r \left(\frac{1}{6} \cos 2\phi - \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] \quad (10)$$

Cell1 のスイッチング損失 $P_{5A_sw_Cell1}$ は (11)式で導出することができる。

$$P_{5A_sw_Cell1} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \quad \dots (11)$$

ここで、 n は出力電圧レベル、 E_{dc} は入力電圧(V)、 e_{on} はスイッチング1回のターンオン損失(J)、 e_{off} はデータシートにあるターンオン損失(J)、 e_{off} はデータシートにあるターンオフ損失(J)、 E_{dcd} 及び I_{md} はデータシート上のターンオフ損失の測定条件時の電圧(V)と電流(A)である。

また、FWD のリカバリ損失 $P_{5A_rec_Cell1}$ も(11)式と同様に(12)式で導出することができる。

$$P_{5A_rec_Cell1} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} e_{rr} f_c \quad \dots (12)$$

ここで、 e_{rr} はリカバリ損失(J)である。

Cell2のスイッチング損失は、Cell2のスイッチが出力周波数でスイッチングを行うため、キャリア周波数と同じ周波数でスイッチングするCell1のスイッチング損失と比較して、Cell2のスイッチング損失は十分小さく無視できる。

無負荷運転時においても、固定損失としてスイッチの寄生容量から損失が発生する⁽⁷⁾。スイッチ1つ当たり発生する無負荷損失 P_{nloss} は(13)式のように表される。

$$P_{nloss} = \frac{1}{2} C_{ds} \Delta V_{sw}^2 f_{sw} \quad \dots (13)$$

ここで、 C_{ds} はスイッチのドレーン-ソース間の寄生容量(F)、 ΔV_{sw} はスイッチに印加される電圧(V)、 f_{sw} はスイッチのスイッチング周波数(Hz)である。

〈3・2〉 キャパシタの損失計算法

キャパシタの損失 P_{Cap} は、等価直列抵抗(以下 ESR)で発生する。 P_{Cap} はキャパシタに流れる電流より(14)式で計算できる⁽⁶⁾。

$$P_{Cap} = I_{rms_Cap}^2 R_{ESR} \quad \dots (14)$$

ここで、 I_{rms_Cap} はキャパシタに流れるリップル電流の実効値(A)、 R_{ESR} はキャパシタの ESR(Ω)である。キャパシタの電流実効値は、負荷力率と変調率の関数となる。これらは無次元であるから、電流実効値係数 K_c を導入し、(15)式にて計算できる。

$$I_{rms_Cap} = K_c I_m \quad \dots (15)$$

ここで、電流実効値係数 K_c は正規化したシミュレーションで求めた値である⁽⁴⁾。

〈3・3〉 ユーロ効率

ユーロ効率は系統連系 PV インバータの性能を表す指標とされ主にヨーロッパで使用されている。ユーロ効率 η_{EURO} は軽負荷時から定格負荷時までの各点の効率を重み付けして算出した

数値で(16)式によって求めることができる⁽⁸⁾。

$$\eta_{EURO} = 0.03\eta_{i=5\%} + 0.06\eta_{i=10\%} + 0.13\eta_{i=20\%} + 0.10\eta_{i=30\%} + 0.48\eta_{i=50\%} + 0.20\eta_{i=100\%} \quad \dots (16)$$

ここで、 $\eta_{i\%}$ はインバータの出力電力が $i\%$ 負荷時の効率である。本論文では、ユーロ効率にて電力変換器の性能を評価する。

4. モデルベースの変換器の性能比較

Table1 に変換器の仕様とデバイスを示す。Table1 より実際に10kW の PV インバータを設計し検討を行なった。

〈4・1〉 ユーロ効率を用いた変換器効率の評価

Fig.4 に3相 10kW ANPC インバータの動作波形を示す。Fig.4 より出力電流は良好な正弦波が出力されている。また、出力線間電圧は9レベルの出力電圧波形が得られた。さらに、フライングキャパシタ電圧は入力1/4である87.5Vになっており、5レベル ANPC インバータの基本動作を確認した。

Fig.5 にパワーメータ(WT1600:YOKOGAWA)を用いて測定した損失と数式を用いて推定した損失を比較した結果を示す。重負荷時の理論損失と実機の損失誤差は1%となった。一方で、軽負荷時の損失誤差は最大94%となっている。この原因として、半導体素子の寄生容量に発生する無負荷損失の誤差が大きいこと挙げられる。今回、半導体素子のドレーン-ソース寄生容量は LCR メータで測定した値(3.45nF)を用いた。しかし、実際のドレーン-ソース寄生容量は素子に印加する電圧によって変化するため、実際の容量が測定値よりも大きくなる。

Fig.6 にパワーメータ(WT1600:YOKOGAWA)を用いて測定した効率と数式を用いて推定した効率を比較した結果を示す。Fig.6 より10kW 実機の効率は1.3kW 負荷時に最大99.64%を達成している。また、各負荷時における効率の誤差は最大0.42%となり、理論式の妥当性を確認した。

Table 2 に実験値と数式から導出したユーロ効率を比較した表を示す。Table 2 より、実験値におけるユーロ効率は99.14%、数式によるユーロ効率は99.15%で誤差が0.01%となった。これにより数式によって推定したユーロ効率の妥当性を確認した。

〈4・2〉 許容リップル電圧に対する考察

Fig.7 にフライングキャパシタ(以下 FC)の許容リップルを10%から50%まで変化させたときの出力電流 THD 特性を示す。Fig.7 のシミュレーションによる検討である。キャパシタの設計条件は Table1(a)と同じ、さらにデットタイムなし、負荷に電流源を用いて理想状態として検討した。Fig.7より、FCの電圧リップルが10%のとき出力電流 THD は0.05%、FCの電圧リップルが50%のとき出力電流 THD は0.07%とほぼ一定であり、FCのリップル電圧は出力電流 THD に対してほとんど影響ないことが分かる。

Fig.8 にフライングキャパシタの許容リップルを10%から50%まで変化させたときの数式による1相当りのキャパシタ損失と体積を示す⁽⁴⁾。FCの損失はFCの許容リップルに比例して増加し、一方で体積はFCの許容リップルに対して減少している。

これらのことから、FCの選定は半導体素子及びキャパシタの耐圧の観点から(17)、(18)式を満たすようにすればよい。

$$\alpha V_{rate} \geq \left(V_{FC} + \frac{1}{2} \Delta V_{FC} \right) \quad \dots (17)$$

$$\left(V_{FC} - \frac{1}{2} \Delta V_{FC} \right) > 0 \dots\dots\dots (18)$$

ここで、 α は安全係数、 V_{rate} は半導体素子またはキャパシタの耐圧である。また、損失が出力電力に対して十分小さく、リップル増加分の損失を無視できる。

5. 結論

本論文では、数式を用いて5レベルANPCインバータのユーロ効率について評価とフライングキャパシタの許容リップルに対する考察を行った。その結果、実験値におけるユーロ効率は99.08%、数式によるユーロ効率は99.15%と、よく一致し、ユーロ効率を損失式で算定できることを確認した。さらに、FCのリップル電圧は出力電流THDに対してほとんど影響なく、FCの選定は半導体素子とキャパシタの耐圧の観点から行えばよいことがわかった。

今後は、キャパシタやヒートシンクの熱設計と実装率について検討を行う予定である。

なお、本研究の一部は平成21年度産業技術研究助成事業の支援を受けており、関係者各位に感謝の意を表します。

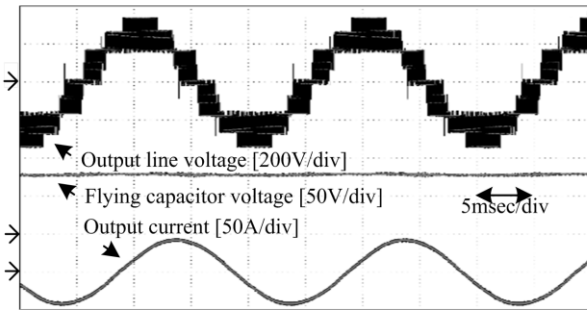


Fig.4. Experimental waveform.

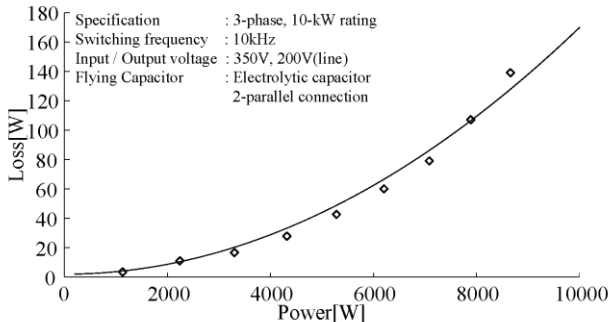


Fig.5. Loss of a five-level ANPC inverter.

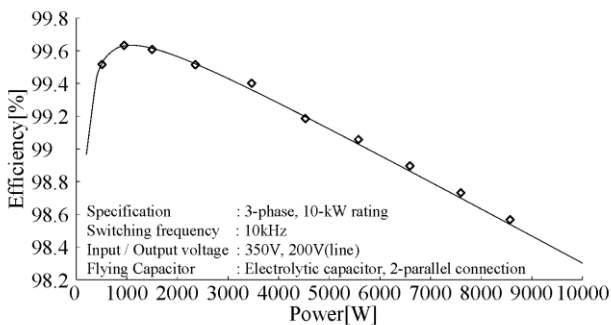


Fig.6. Efficiency of a five-level ANPC inverter.

Table 1 Design parameters. (a) converter specification

Input voltage	350V	Rated power	10kW
Output voltage	200V	Output frequency	50Hz
Output current	29A	Switching frequency	10kHz

(b) device lists

Switching device	Cell1	MOSFET:IRFP4668pBF(IR)
	Cell2	MOSFET:IXFB170N30P(LXYS)
Flying capacitor	EEUEE2C331	
	2 parallel connection (Panasonic)	
DC smoothing capacitor	ESMQ251VSN182MA45S	
	2 parallel connection (Nippon chemi-con)	

Table 2 Comparison of Euro efficiency and JIS efficiency.

	Experimental value	Calculated value
Euro efficiency	99.08%	99.15%

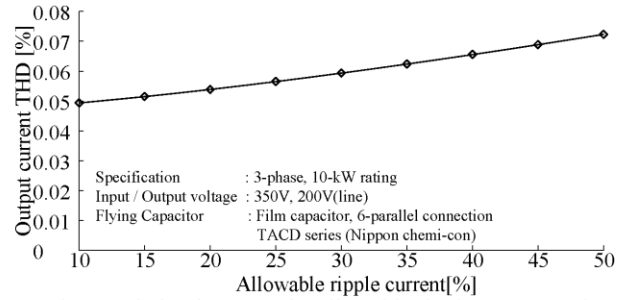


Fig.7. Relation between the allowable ripple current and output current THD by simulation.

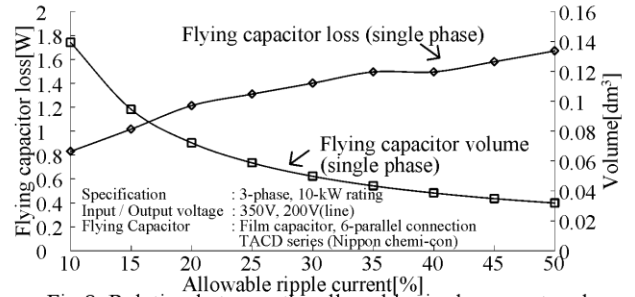


Fig.8. Relation between the allowable ripple current and loss and volume by simulation.

文 献

- (1) F. Z. Peng: "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (2) Barbosa, P.; Steimer, P.; Steinke, J.; Meysenc, L.; Winkelkemper, M.; Celanovic, N: "Active Neutral-point-Clamped Multilevel Converter", Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th 16-16 June 2005 Page(s):2296 – 2301
- (3) Lin Ma, Tamas Kerekes, Remus Teodorescu, Xinmin Jin, Dan Florica, Marco Liserre: 「The High Efficiency Transformer-less PV Inverter Topologies Derived From NPC Topology」, EPE 2009-Barcelona , pp.1-10 (2009)
- (4) Yugo Kashihara, Jun-ichi Itoh: "The performance of the multilevel converter topologies for PV inverter", CIPS2012, pp. 67-72 (2012)
- (5) Wm. T. Mclyman: "Transformer and inductor design handbook", Marcel Dekker Inc. (2004)
- (6) J. W. Kolar, J Biela and J, Minibock: 「Exploring the Pareto Front of Multi-Objective Single-Phase PFC Rectifier Design Optimization -99.2% Efficiency vs. 7kW/dm³ Power Density」, IPENC 2009-China, (2009)
- (7) 日向敏文, 伊東淳一: 「インダイレクトマトリックスコンバータの無負荷運転時における損失の一考察」, 平成 22 年度北陸支部連合大会, A-75 (2010)
- (8) H. Haeblerlin, L. Borgia, M. Kaempfer and U. Zwahlen, "New tests at grid-connected PV inverters: Overview over test results and measured values of the total efficiency η_{tot} ", in 21nd European Photovoltaic Solar Energy Conference, Dresden, Germany, Sept.2006.