

ワイドバンドギャップデバイスを用いた モータドライブ用 PWM インバータの基礎検討

荒木 隆宏* 伊東 淳一 (長岡技術科学大学)

Basic Investigation of a PWM Inverter for Motor Drive using Wide Band-gap Devices

Takahiro Araki*, Jun-ichi Itoh (Nagaoka University of Technology)

This paper investigates a PWM inverter for an adjustable speed drive using wide band-gap devices. First, the relationship between the switching frequency of the inverter and the volume of an EMC filter is clarified by simulation, besides the relationship between the switching frequency and the volume of a cooling system. As a result, the volume of the inverter that contains an EMC filter and a cooling system will be reduced by 77% at the switching frequency of 300kHz. In addition, the output voltage error with a developed prototype of half-bridge inverter using GaN-FET is confirmed. The GaN-FET inverter reduces the output voltage error by 70% compared with that of the Si-IGBT inverter.

キーワード: ワイドバンドギャップデバイス, PWM インバータ, 高周波スイッチング, EMC フィルタ, 出力電圧誤差
(Keyword: Wide Band-gap Devices, PWM inverter, High-frequency switching, EMC filter, Output voltage error)

1. はじめに

近年, 電気自動車や産業用モータなどのモータ駆動システムに使用される PWM インバータは小形化が求められている。インバータにはノイズを抑制するための EMC フィルタが接続される。しかし, この EMC フィルタは大形なため, モータ駆動システム全体の小形化には EMC フィルタの体積を含めた検討が必要である。

EMC フィルタの体積はノイズの減衰量によって決定される。一方, PWM インバータで発生するノイズはスイッチング周波数により変化する。従ってスイッチングの高周波化により雑音端子電圧を変化させることで EMC フィルタの小形化が可能である。しかし, スwitchingの高周波化には二つの問題が存在する。一つ目はスイッチング損失の増加である。インバータの損失が増加すると放熱量が増加し, ヒートシンクやファンなどの冷却装置が大形化する。そのためスイッチングの高周波化によって EMC フィルタの小形化を行う場合, 冷却装置の体積も合わせて検討する必要がある。二つ目はスイッチング素子のスイッチング速度である。スイッチング速度を保ったまま高周波化した場合, 1 キャリア中にデッドタイムの占める割合が増加する。PWM インバータのデッドタイムやスイッチング素子のオン電圧降下は出力電圧に誤差を発生させる。この出力電圧誤差によってセンサレスベクトル制御では磁束や速度の推定精度が低下し, V/f 制御などのオープンループ制御では回転ムラやトルクリプルが発生する。これらモータ駆動システムの制御性能劣化を抑制するには高速スイッチング素子によるデ

ッドタイムの短縮が必要である。

従って, 本インバータにはオン電圧降下が小さく, 高速スイッチング可能なスイッチング素子が求められるが, 現在使用されている Si-IGBT や Si-MOSFET はシリコン(Si)の物性値に由来する性能限界に達しつつあるため, 性能の大幅な向上は困難であると考えられている⁽¹⁾。

一方, 近年ではシリコンカーバイド(SiC)やガリウムナイトライド(GaN)などの次世代ワイドバンドギャップ半導体を用いたスイッチング素子が盛んに研究されている⁽²⁾⁻⁽⁴⁾。これらは従来の Si デバイスと比較し, 低損失, 高速スイッチング, 高耐圧などの優れた動作特性が確認されており, 注目されている。次世代ワイドバンドギャップ半導体の優位性は主に, 効率や高温動作について多く報告されているが, モータ駆動システムにおいて, 小形化や駆動特性から論じられた論文は著者らの知る限りない。

本論文ではワイドバンドギャップデバイスを用いたモータドライブ用 PWM インバータについて, スwitching周波数と EMC フィルタ用リアクトル体積, 及び冷却装置体積の関係をシミュレーションにより検討した。その結果, スwitching周波数を 300kHz に設定することで PWM インバータ体積が 77% 低減される見込みを得た。また, GaN-FET を用いてスイッチング周波数 100kHz で動作するハーフブリッジインバータを試作し, 従来の Si-IGBT を用いたインバータに比べて出力電圧誤差が 70% 低減されることを確認したので報告する。

2. インバータ体積の理論的検討

〈2・1〉 スイッチング素子の損失

図1に本論文で検討を行うモータドライブ用PWMインバータの回路図を示す。本回路において1素子あたりに発生するスイッチング損失 P_{SW} は(1)式で求められる⁽⁵⁾。

$$P_{SW} = \frac{V_{DC} I_m}{4\pi V_{DCd} I_{md}} (e_{on} + e_{off}) f_{sw} \dots\dots\dots (1)$$

ここで、 V_{DC} :直流電圧、 I_m :出力電流最大値、 e_{on} :スイッチング1回のターンオン損失、 e_{off} :スイッチング1回のターンオフ損失、 V_{DCd} 及び I_{md} :データシート上のスイッチング時間測定条件の電圧、電流、 f_{sw} :スイッチング周波数である。

(1)式よりスイッチング損失はスイッチング周波数に比例して増加する。

次にスイッチング素子で発生する導通損失を計算する。導通損失はスイッチング素子のオン抵抗によって発生し、(2)式によりFET側の導通損失が求められる。

$$P_{FET} = \frac{I_m^2}{8} R_{ON} + \frac{a R_{ON} I_m^2 \cos \phi}{3\pi} \dots\dots\dots (2)$$

$$P_{FWD} = \left(\frac{v_{ON}}{2\pi} + \frac{I_m R_{ON}}{8} \right) I_m - \left(\frac{a R_{ON} I_m}{3\pi} + \frac{a v_{ON}}{8} \right) I_m \cos \phi \dots (3)$$

ここで a :変調率、 R_{ON} :FETのオン抵抗、 $\cos \phi$ 負荷力率、 v_{ON} :FWDのオン電圧である。

スイッチング素子で発生する損失はスイッチング損失と導通損失の合計であり、(4)式により求められる。

$$P_{loss} = P_{SW} + P_{FET} + P_{FWD} \dots\dots\dots (4)$$

〈2・2〉 冷却体体積

PWMインバータに使用されるスイッチング素子はスイッチング損失や導通損失により発熱する。著しいチップ温度の上昇はスイッチング素子の破壊を招くため、発熱量に応じてヒートシンクやファンなどの冷却装置が必要となる。冷却体の冷却能力の評価には熱抵抗が用いられるが、体積が大きい冷却体ほど熱抵抗は小さくなるので、熱抵抗だけでは冷却能力を評価できない。そこで、冷却性能の指標として、熱抵抗と体積の積の逆数であるCSPI(Cooling System Performance Index)[W/(K・m³)]を導入する。CSPIは冷却装置が有する単位体積あたりの冷却能力を示しており、値が大きいほど冷却能力が高いことを意味する。よって、CSPIが高い冷却体を用いれば装置は小形化される。CSPIは体積と熱抵抗の積の逆数であることから、熱抵抗、温度上昇と電力損失の関係を使って、冷却体の体積 $vol_{cooling}$ は(5)式で導ける⁽⁶⁾。

$$vol_{cooling} = \frac{1}{R_{th} \times CSPI} = \frac{P_{loss}}{(T_j - T_a) \times CSPI} \dots\dots\dots (5)$$

ここで、 R_{th} :冷却装置の熱抵抗、 T_j :スイッチング素子のジャンクション温度、 T_a :冷却装置の周囲温度、 P_{loss} :スイッチング素子の損失である。

〈2・3〉 EMCフィルタ体積

図2にEMCフィルタの回路図を示す。回路体積を比較検討するため、市販品にも用いられている一段のLCフィルタを構成した。本論文では素子パラメータの変化に対して体積の増減が大きいリアクトルに着目して検討を行う。リアクトルのコアの選定方法はいくつかの方法があるが、ここではArea Product⁽⁷⁾の考え方(コアの窓面積と断面積の積によりコアを選定する)に基づき、リアクトルを設計する。このとき、リアクトルの体積 vol_L は(6)式により求められる。

$$vol_L = K_v \left(\frac{2W}{K_u B_m J} \right)^{\frac{3}{4}} \dots\dots\dots (6)$$

ここで、 K_v :コア形状定数、 W :リアクトルの最大蓄積エネルギー、 K_u :窓の占積率、 B_m :コアの最大磁束密度、 J :巻線の電流密度である。

すなわち、Area Productにより設計すると、リアクトルの体積はインダクタンスに蓄積される最大エネルギーの3/4乗に比例する。

3. EMCフィルタの設計

図3に雑音端子電圧の測定回路図を示す。EMCフィルタはインバータの入力にのみ接続し、出力側には使用しない。表1に設計で使用するパラメータを示す。また、図4にEMCフィルタ設計のフローチャートを示す。

〈3・1〉 ディファレンシャルモード用リアクトル

ディファレンシャルモード用リアクトルはPWM整流器の入力電流リップルを平滑するために使用される。そのため、ディファレンシャルモード用リアクトル L_D は許容される入

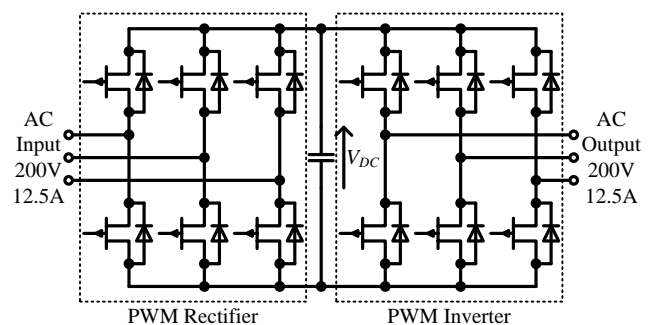


Fig.1. PWM rectifier and inverter for an adjustable speed drive system.

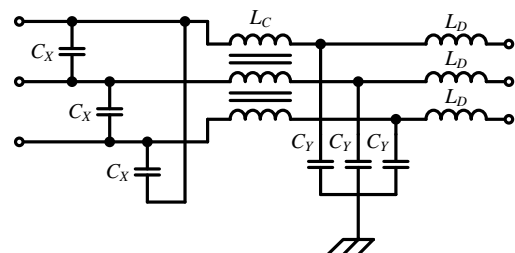


Fig.2. Circuit diagram of an EMC filter.

力電流リップルを用いて(7)式により求められる。

$$L_D = \frac{V_{DC}}{2f_{sw}I_{ripple}} \dots\dots\dots (7)$$

ここで、 I_{ripple} :1 キャリア中のリップル電流最大値である。

〈3・2〉 ディファレンシャルモード用コンデンサ

図2において線間に接続されるXコンデンサ C_X は電圧の急峻な変動を抑制するが、軽負荷時には力率の悪化を招く。そのため、ディファレンシャルモード用コンデンサは軽負荷時に許容される最大電流進み角を用いて(8)式で計算される。

$$C_X = \frac{\sqrt{3}kI_{in}\phi}{\omega V_{in}} \dots\dots\dots (8)$$

ここで、 k :負荷率(出力電力/定格電力)、 I_{in} :入力電流、 ϕ 最大電流進み角、 ω :入力角周波数、 V_{in} :入力電圧である。

〈3・3〉 コモンモード用コンデンサ

図2において各相とフレームグランド(FG)間に接続するYコンデンサ C_Y はコモンモードノイズ電流をFGへバイパスさせる。Yコンデンサの容量が大きいほどリアクトルが小形化できるが、Yコンデンサには入力電源周波数に応じた漏れ電流が流れる。この漏れ電流により漏電遮断機が動作しないよう、許容される漏れ電流値を基準とし、(9)式を用いて設計する。

$$C_Y = \frac{\sqrt{3}I_{leak}}{\omega V_{in}} \dots\dots\dots (9)$$

ここで I_{leak} :漏れ電流であり、ここでは100mAとする。

〈3・4〉 コモンモード用リアクトル

EMCフィルタを構成する他素子のパラメータは(7)-(9)式に基づき決定する。そのためインバータから放出される雑音端子電圧をCISPRの規制値まで抑制するためには、コモンモード用リアクトル L_C の値によってEMCフィルタの減衰率を調節する必要がある。コモンモード用リアクトルの設計にあたっては、まず $L_C=0$ の条件でシミュレーションし、雑音端子電圧の大きさと周波数成分を観測する。一般的にフィルタは周波数が高いほど減衰率が高くなるので、規格を端的に飛び出している低い周波数 ω_c にて減衰率を求める。この減衰率 Att はある周波数においてフィルタなしのときのゲインを G_0 [dBμV]、規格の上限値を G_f [dBμV]とすれば(10)式により求められる。

$$Att = G_0 - G_f \dots\dots\dots (10)$$

また、(9)式によって既にYコンデンサの容量が決定しているため、コモンモード用リアクトルは(9)、(10)式の結果を(11)式に代入することで計算できる。

$$L_C = \frac{1}{\omega_c^2 C_Y Att} \dots\dots\dots (11)$$

上記の設計値を用いて雑音端子電圧が規制値以下に収ま

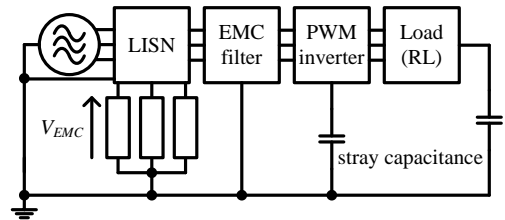


Fig.3. Noise measurement system for the inverter.

Table1. Conditions for EMC simulation.

Input voltage V_{in}	200V
Input current I_{in}	12.5A
Output voltage V_{out}	200V
Output current I_{out}	12.5A
DC voltage V_{dc}	280V
CSPI	5
Turn on time Δt_{on}	50ns
Turn off time Δt_{off}	50ns
Ambient temperature T_a	20°C
Junction temperature T_j	100°C
Ripple current I_{ripple}	0.5A
Load factor k	0.2
Lead angle ϕ	$5\pi/180$ rad
Input frequency f_{in}	50Hz
Output frequency f_{out}	50Hz
On-resistance R_{ON}	50mΩ
Power factor $\cos\phi$	0.85
Forward voltage V_F	1.6V
Leakage current I_{leak}	100mA

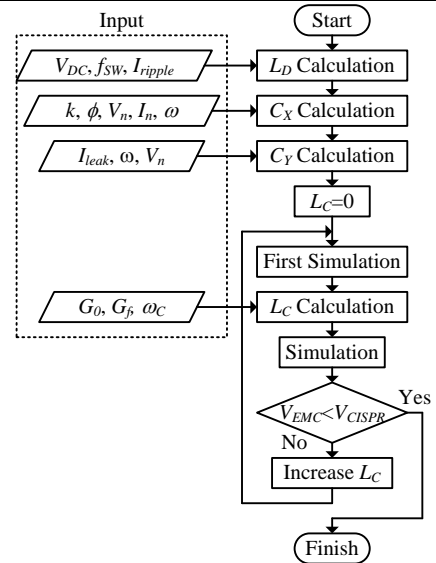


Fig.4. Design procedure of EMC filters.

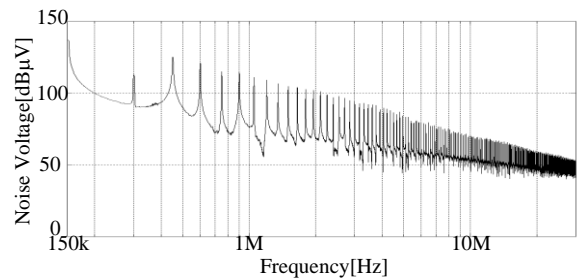


Fig.5. Simulation result of conducted emission of the inverter.

らなかった場合は、コモンモード用リアクトルを調節し、

達成するまでシミュレーションを繰り返す。上記の手順によりコモンモード用リアクトルを雑音端子電圧が CISPR の規制値以下となる最小値に設計する。

〈3・5〉 寄生容量のモデル化

ディファレンシャルモードノイズとコモンモードノイズは浮遊容量によって発生するため、シミュレーション時にはモデル化して再現する必要がある。本論文ではスイッチング素子と大地間、配線と大地間の浮遊容量を考慮する⁽⁸⁾。

図5にスイッチング周波数を150kHzに設定した際の雑音端子電圧スペクトルを示す。本シミュレーション条件における雑音端子電圧はスイッチング周波数とその整数倍成分が支配的である。測定にはモデル化した LISN で観測された雑音端子電圧にスペクトルアナライザの設定と同様のデータ処理を行う⁽⁹⁾。

4. インバータ体積の検討結果

〈4・1〉 リアクトル体積

図6にスイッチング周波数とディファレンシャルモード用リアクトルの体積の関係を示す。縦軸のインダクタンス及びリアクトル体積はスイッチング周波数が10kHzの際に用いたそれぞれの値を1p.u.とする。まず、左軸に示すディファレンシャルモード用インダクタンスはスイッチング周波数の増加に反比例して減少する。これは(7)式からも明らかであり、スイッチング周波数の増加によりスイッチングの周期が短くなることで電流リップルが小さくなるためである。(8)式よりリアクトル体積はインダクタンスの3/4乗に比例するため、右軸に示すリアクトル体積もスイッチングの高周波化に伴い減少する。

図7にスイッチング周波数とコモンモードリアクトルの関係を示す。図6同様、縦軸はスイッチング周波数が10kHzの際に用いたそれぞれの値を1p.u.とする。コモンモード用インダクタンスはスイッチングの高周波化に対し、150kHz以下では増加し、150kHz以上では減少する。スイッチング周波数が150kHz以下の場合、EMCフィルタで抑制しなければならない雑音端子電圧はスイッチング周波数の高次成分となるため、スイッチングの高周波化に伴い増加する。コモンモード用リアクトルは雑音端子電圧に基づいて設計するため、雑音端子電圧の増加はインダクタンスの増加を招く。対してスイッチング周波数が150kHz以下の場合、EMCフィルタで抑制しなければならない雑音端子電圧はスイッチング周波数の基本波成分である。従ってスイッチングの高周波化によりインダクタンスの低減が可能である。

図8にスイッチング周波数に対するリアクトル合計体積の関係を示す。リアクトルの合計体積はスイッチングの高周波化に伴い大きく減少する。そのためスイッチング周波数を300kHz以上に設定することで、リアクトルの合計体積を1/10以下に低減することができる。これはディファレンシャルモード用リアクトルがコモンモード用リアクトルと比較して大形であり、リアクトル合計体積の大部分を占めるためである。

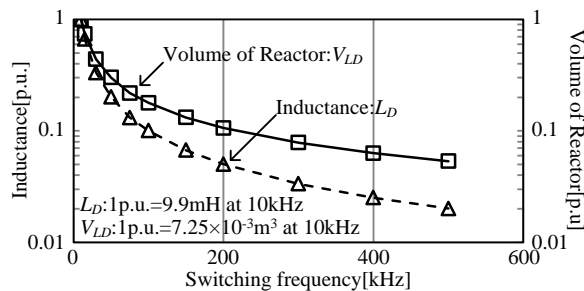


Fig.6. Value and volume of Differential mode reactor in EMC filter by switching frequency.

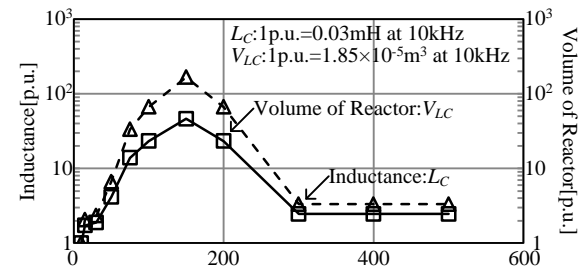


Fig.7. Value and volume of Common mode reactor in EMC filter by switching frequency.

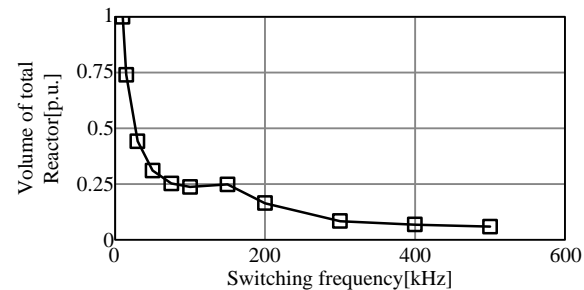


Fig.8. Volume of total reactor in EMC filter by switching frequency.

〈4・2〉 冷却装置体積

図9にスイッチング周波数と損失の関係を示す。なお、それぞれスイッチング周波数が10kHzの際に発生する損失を1p.u.にする。スイッチング周波数が10kHzの際は導通損失がスイッチング損失の13倍と非常に大きいですが、スイッチング損失はスイッチング周波数に比例して増加する。従ってスイッチング周波数が130kHz以下の領域では導通損失が支配的であり、130kHz以上ではスイッチング損失が支配的になる。

図10にスイッチング周波数と冷却装置体積の関係を示す。なお、縦軸はスイッチング周波数が10kHzの際に使用される冷却装置体積を1p.u.とする。(2)式より冷却装置体積はスイッチング周波数に比例して増加するため、スイッチング損失の増加は冷却装置体積に大きく影響する。

〈4・3〉 インバータ全体体積の評価

図11にスイッチング周波数とインバータ全体体積 $vol_{inverter}$ の関係を示す。インバータ全体体積は冷却装置体積とEMCフィルタ体積の合計であり、(12)式により求められる。

$$vol_{inverter} = vol_{cooling}(f_{sw}) + vol_L(f_{sw}) \dots \dots \dots (12)$$

また、インバータ全体体積を最小とするスイッチング周波数は(12)式を微分して右边を0とおいた(13)式を解くことで求められる。

$$\frac{d(vol_{inverter})}{dt} = \frac{d(vol_{cooling}(f_{sw}))}{dt} + \frac{d(vol_L(f_{sw}))}{dt} = 0 \dots\dots(13)$$

図11よりスイッチングの高周波化によりディファレンシャルモード用リアクトル体積が大きく減少するため、インバータも小形化される。一方、スイッチング周波数が300kHzを超えるとスイッチング損失の増加に伴い冷却装置が大形化するため、インバータ全体体積は増加する。また、スイッチング周波数が150kHz付近の際はコモンモード用リアクトル体積が大形化するため、インバータ体積も一旦増加する。その結果、インバータ全体体積はスイッチング周波数が300kHzの際に最小となった。このときのインバータ全体体積は $1.736 \times 10^{-3} \text{m}^3$ であり、パワー密度は2130W/litreとなる。このパワー密度はスイッチング周波数が10kHzの際と比較して4.4倍に向上している。

5. GaN-FETを用いたPWMインバータの試作

〈5・1〉 インバータの出力電圧誤差

理想インバータは指令通りの電圧を出力するが、実際にはインバータのデッドタイムとスイッチング素子のオン電圧降下により出力電圧誤差が発生する。

図12にハーフブリッジインバータ回路図と1キャリア中の出力電圧波形を示す。デッドタイムはターンオン信号の立ち上がり時に遅延時間を挿入する方法で印加し、上下アームの短絡を防止する。このデッドタイム期間中に発生する誤差電圧は出力電流極性に依存し、図12では出力電流極性が正のため、出力電流は下アームの還流ダイオードを導通し、 $V_{DC}/2$ が出力される。(14)式にデッドタイムに起因して発生する出力電圧誤差 ΔV_D を示す⁽¹⁰⁾。

$$\Delta V_D = \begin{cases} f_{sw} V_{DC} T_D & (i_o > 0) \\ 0 & (i_o = 0) \\ -f_{sw} V_{DC} T_D & (i_o < 0) \end{cases} \dots\dots(14)$$

ここで、 V_{DC} :直流電圧、 T_D :デッドタイムである。

(14)式よりデッドタイム誤差は出力電流に依存せず、直流電圧、デッドタイム、スイッチング周波数によって決定する。そのため、高速スイッチングによりデッドタイムの短縮が可能なワイドバンドギャップデバイスではデッドタイム誤差の低減が期待できる。

また、各素子に電流が導通する際、オン電圧やオン抵抗により電圧降下が発生し、これに起因する出力電圧誤差 ΔV_C は(15)式により求められる。

$$\Delta V_C = \begin{cases} V_{CE(sat)} & (IGBT) \\ R_{ON} i_o & (FET) \end{cases} \dots\dots(15)$$

出力電圧はオープンループで制御し、デッドタイム誤差補償は行わない。このとき、上記の条件におけるインバー

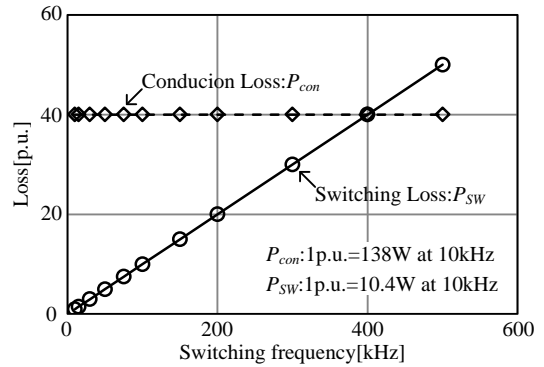


Fig.9. Relation between switching frequency and Loss of power devices.

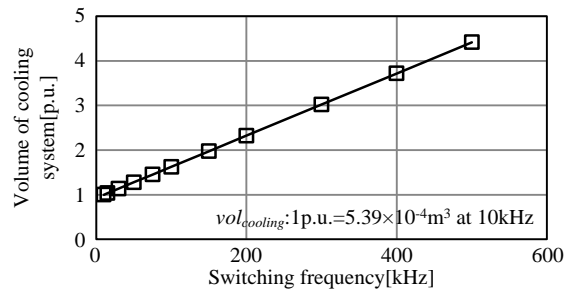


Fig.10. Relation between switching frequency and volume of cooling system.

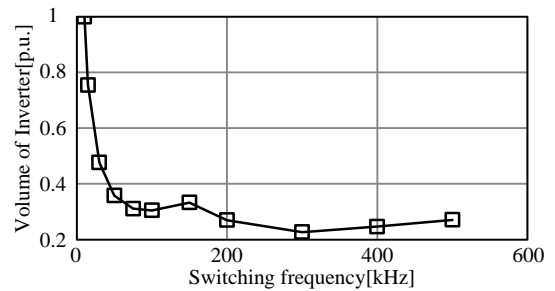


Fig.11. Relation between switching frequency and volume of inverter.

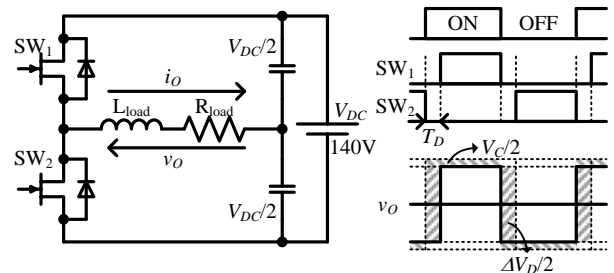


Fig.12. Output voltage error of the half bridge inverter depends on on-state voltage and dead-time error voltage.

タ出力電圧実効値 V_o は(16)式となる。

$$V_o = \sqrt{\frac{1}{T} \int_0^T (|v_{ref}| - \Delta V_C - \Delta V_D)^2 dt} \dots\dots(16)$$

ここで、 v_{ref} :出力電圧指令瞬時値である。

インバータの出力電圧実効値は(16)式を用いて数値解析的に計算した。

〈5・2〉 PWMインバータの試作と動作試験

ワイドバンドギャップデバイスを使用したモータドライブ用 PWM インバータの製作に向け、スイッチング周波数

100kHzのハーフブリッジインバータをGaN-FETで試作し、出力電圧35V、出力電流5Aでの動作試験を行った。表2に試験条件を記載する。

図13に試作したインバータの出力電流波形を示す。観測された出力電流には大きなリップル電流が含まれている。これは出力電圧誤差の計算において力率を1と仮定するために負荷のインダクタンスを小さくしたことが原因である。

図14に出力電流のFFT解析結果を示す。電流リップルの影響により40次までのTHDは2.60%である。

〈5・3〉 出力電圧誤差の測定

図15にGaN-FETインバータとSi-IGBTインバータの出力電圧特性を示す。図中の直線は理想インバータの特性を示し、この直線に近いほど出力電圧誤差が小さい。結果より、GaN-FETインバータの出力電圧誤差は0.89Vで、Si-IGBTインバータの2.98Vと比較しておよそ70%改善されている。つまり低電圧出力時の出力電圧誤差を大幅に低減できる。

なお、出力電圧誤差の測定結果と計算結果には0.5V程度の差が発生している。(16)式を用いて出力電圧誤差を求める際は力率を1と仮定しているが、実験においては出力電流平滑用のリアクトルにより力率が低下する。そのため出力電流位相が遅れてデッドタイム誤差の極性が反転し、計算結果との間に差が生じる。

6. まとめ

本論文ではワイドバンドギャップデバイスを用いたモータ駆動用PWMインバータのスイッチング周波数とEMCフィルタ体積、及びインバータ全体体積の関係をシミュレーションによって明らかにした。その結果、スイッチング周波数を10kHzから300kHzに変更することでインバータ全体体積が77%低減される見込みを得た。これはスイッチング損失の増加による冷却装置体積の増加よりEMCフィルタリアクトル体積の小形化が有効なためである。

また、試作したGaN-FETインバータの出力電圧誤差を従来のSi-IGBTを用いたインバータより出力電圧誤差が70%低減されることを確認した。

文 献

- (1) 荒井和雄, 吉田貞史, 共編:「SiC素子の基礎と応用」, オーム社(2003)
- (2) 寺園 勝志, 相馬 朗・樋口 雅人, 井手 耕三:「SiCトレンチMOSFETを用いた三相200V 45kW高パワー密度AC-ACコンバータ」, 平成24年度電気学会全国大会, Vol.4, pp.39-40 (2012)
- (3) 中林 幸久, 藤崎 誠司, 寺園 勝志, 原 秀則, 井手 幸三:「高パワー密度AC-ACコンバータの開発」, 平成24年度電気学会産業応用部門大会, Vol.1, 1-01-2 (2012)
- (4) 酒井 雅弘, 滝口 昌司, 小山 考, 小太刀 圭一, 小倉 和也:「SiC15kVAインバータの特性評価」, 平成24年度電気学会産業応用部門大会, Vol.1, 1-01-4 (2012)
- (5) Yugo kashihara, Jun-ichi Itoh, "The performance of the multilevel converter topologies for PV inverter", International Conference on Integrated Power Electronics Systems (CIPS) 2012, Nuremberg, Germany (2012)
- (6) Uwe DROFENIK, Gerold LAIMER, Johann W. KOLAR: "Theoretical Converter Power Density Limits for Forced Convection Cooling", Proceedings of the International PCIM Europe Conference, pp.608-619 (2005)
- (7) Wm T Mclyman: "Transformer and inductor design handbook", Marcel

Table2. Conditions of output voltage error measurement test.

Device	GaN-FET	Si-IGBT
DC voltage V_{DC}	140V	
Output Voltage V_{out}	35V	
Output Current I_{out}	5A	
Switching frequency f_{sw}	10kHz	
Dead-time T_D	0.1 μ s	2.3 μ s
R_{ON} or $V_{CE(sat)}$	50m Ω	1.6V

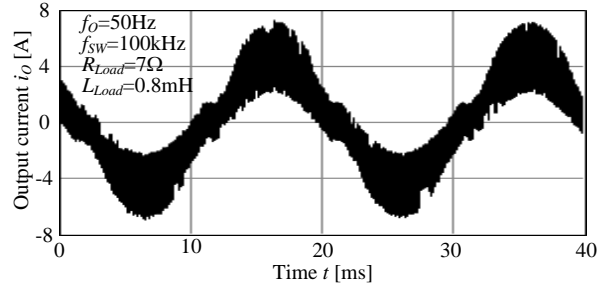


Fig.13. Output current waveform of half bridge inverter.

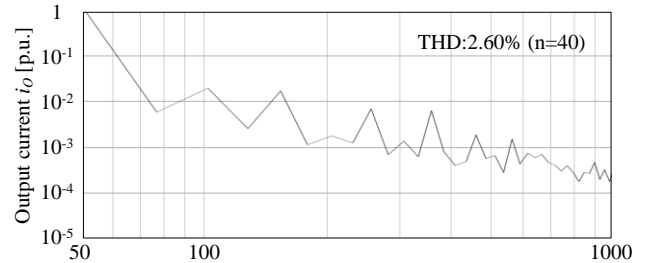


Fig.14. Harmonics components in the output current.

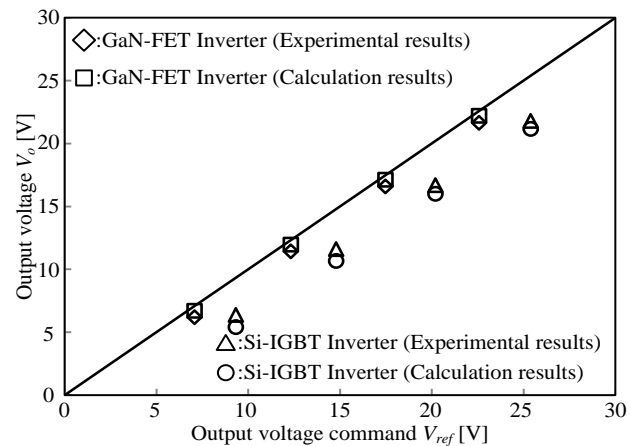


Fig.15. Relation between output voltage command and output voltage of half bridge inverter.

- Dekker Inc.(2004)
- (8) M. Hartman, H. Ertl, J. W. Kolar: "EMI filter design for high switching frequency three-phase/level PWM rectifier systems" Applied Power Electronics Conference and Exposition 2010, pp.986-993(2010)
- (9) M. L. Heldwein, T. Nussbaumer, J.W.Kolar: "Differential Mode EMC Input Filter Design for Three-Phase AC-DC-AC Sparse Matrix PWM Converters" Power Electronics Specialists Conference, pp.284-291(2004)
- (10) 杉本 英彦, 小山 正人, 玉井 伸三:「AC サーボシステムの理論と設計の実際 - 基礎からソフトウェアサーボまで -」, 総合電子出版社