

電流共振形ハーフブリッジコンバータの 損失解析に基づく回路設計法

学生員 宮脇 慧* 正員 伊東 淳一*
正員 岩谷 一生**

Design Procedure Based on Loss Analysis for a Current Resonant Type Half-Bridge Converter

Satoshi Miyawaki*, Student Member, Jun-ichi Itoh*, Member, Kazuki Iwaya**, Member

This paper proposes a design procedure in the efficiency of a resonant type half-bridge converter for a high efficiency isolated DC/DC converter. The design procedure is based on the loss calculation. The relationship between the loss element and the efficiency characteristics was clarified. The loss analysis method based on the parameters of the circuit element is formulated. The analysis results agree well with experimental results. In addition, the highest efficiency of 96.8% is obtained using the half-bridge converter. Finally, design procedure in the efficiency was clarified using a design procedure flowchart.

キーワード : DC/DC コンバータ, 絶縁形コンバータ, 共振形コンバータ, 損失解析, 電流共振

Keywords : DC/DC converter, Isolated converter, Resonant converter, Loss analysis, Current resonance

1. はじめに

近年、様々な電子機器に用いられるマイクロプロセッサの電源が低電圧大電流化しており、さらに負荷の変動に対して高速な応答が求められている。このため、交流を直接低電圧大電流に変換するのではなく、一度直流の中間バス電圧に変換してから負荷の直近で更に低電圧大電流に変換する分散化電源システムが用いられている。

一方、通信技術の発達に伴い、スイッチ、ルータなどを用いた基幹系通信や移動体通信基地局の電源システムにおいて、DC 48 V に対応した絶縁形 DC/DC コンバータの需要が増加している⁽¹⁾⁽¹³⁾。通信基幹網の増大により、これらの変換器には更なる高効率化や小型化が求められている。

絶縁形 DC/DC コンバータの高効率化を図る場合、トランスの漏れインダクタンスを利用して共振させ、それに合わせてソフトスイッチングを実現する共振形コンバータが有効である。特に、電流共振形ハーフブリッジコンバータは、トランスの漏れインダクタンスと DC リンクのコンデンサによる共振を利用してゼロ電流スイッチング（以下、ZCS :

Zero Current Switching) を実現することでスイッチング損失をゼロにし、少ない部品点数で高効率を達成できる。

ただし、変換器損失が最小となる最適条件下で制御する場合、共振周波数に合わせてスイッチングを行うため、出力電圧を制御できる範囲に制限がある。このため、一般には共振形ハーフブリッジコンバータはデューティを 50% 固定で動作させ、降圧チョップパなどの電圧制御用コンバータと組み合わせて使用される⁽¹⁻³⁾。この方式では、ハーフブリッジコンバータは制御せず、電圧制御用コンバータのみを制御するだけで、容易に絶縁と電圧制御を達成することができる。また、更に損失を低減するため、補助回路により入力電圧の変動分のみを直列補償することで出力電圧を制御する絶縁形 DC/DC コンバータが提案されている⁽¹²⁾⁽¹³⁾。この方式では、共振形コンバータの高効率を維持したまま出力電圧を制御できる利点があり、入力電圧の変動幅が小さい領域で補助回路の変換容量が小さくなるため、動作時間の大部分において高効率を得ることができる。その結果、変換器で発生する損失の低減を実現できる。

システム効率を高くすることに主眼を置くと、いずれの方式もハーフブリッジコンバータの効率が非常に重要となる。しかし、ハーフブリッジコンバータの損失最小化の観点から詳細に損失を解析し、設計法を明らかにした論文は著者らの知る限りない。

本論文では、絶縁形コンバータとして広く用いられてい

* 長岡技術科学大学
〒940-2188 新潟県長岡市上富岡町 1603-1
Nagaoka University of Technology,
1603-1, Kamitomioka, Nagaoka Niigata 940-2188

** TDK ラムダ株式会社
〒940-1195 新潟県長岡市撰田屋外川 2701
TDK-Lambda Corporation,
2701, Togawa, Settaya, Nagaoka, Niigata 940-1195

る電流共振形ハーフブリッジコンバータにおいて、要求された効率を満たすように設計する方法を提案する。具体的には、損失解析をベースに損失要素と効率特性の関係を明らかにする。まず、共振形ハーフブリッジコンバータで発生する損失要素を明らかにしてその損失を定式化し、計算により回路で発生する損失を求める。次に、実機実験を行い、式から算出した計算結果と実験結果が一致することを確認する。これより、損失解析をベースにした設計が可能であることを確認できる。最後に、仕様により設定された効率特性を満たす設計指針をフローチャートによりまとめたので報告する。

2. 動作原理

(2-1) 電流共振形ハーフブリッジコンバータ

図 1 に本論文で解析対象とする電流共振形ハーフブリッジコンバータを示す。これは、トランスの漏れインダクタンス L とハーフブリッジを構成するコンデンサ C による直列共振を利用することで ZCS を実現できる。このとき、トランス部分の共振周波数 (スイッチング周波数) f_0 は(1)式により得られ、トランスには正弦波状の共振電流が流れる。

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \dots\dots\dots (1)$$

しかし、スイッチのターンオン、ターンオフ両方で ZCS を達成できる最適条件下では、回路の共振周波数に合わせて常にデューティ 50% でスイッチングするため、基本的に出力電圧は一定になる。この問題を解決するため、次節のような回路方式が提案されている。

(2-2) ハーフブリッジコンバータを用いた回路例

図 2(a) に共振形ハーフブリッジコンバータを用いた従来回路を示す。従来回路は高効率な共振形コンバータの前段に降圧チョップを接続した構成である。入力電圧の変動は初段の降圧チョップで一定に制御し、その後、後段の共振形ハーフブリッジコンバータで絶縁し、出力に一定の電圧を得る。

図 2(b) に直列補償を用いた回路方式を示す⁽¹²⁾⁽¹³⁾。高効率な共振形ハーフブリッジコンバータをメイン回路とし、全電力を変換する。さらに、電圧制御をするための補助回路としてフルブリッジコンバータを用い、2つのトランスを用いて補助回路の出力電圧を直列に重畳して負荷に供給する電圧を制御する。この結果、提案回路では負荷に供給する電力のうち、目標とする出力電圧と入力電圧の差分のみを補助回路で変換する。したがって、電力の大部分は補助回路を通過しないため、損失の低減を実現できる。

図 3 に図 2(b) に示した回路におけるトランス電流 i_T と S_{m2} 端子電圧の実験波形を示す⁽¹³⁾。共振インピーダンスを適切に設計することで、直列電圧補償により電流に若干のひずみが発生するものの、共振電流はほぼ正弦波となり共振形ハーフブリッジコンバータ単体と同じ動作である。したがって、この回路方式に用いる共振形コンバータに対しても本論文で示す損失解析法を適用することができる。なお、

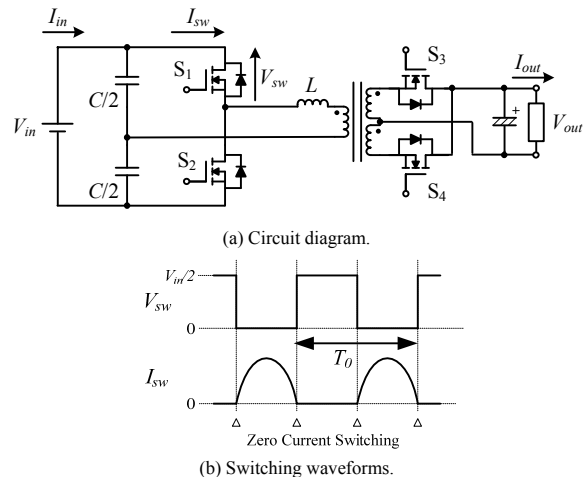


Fig. 1. Current resonant type half-bridge converter.

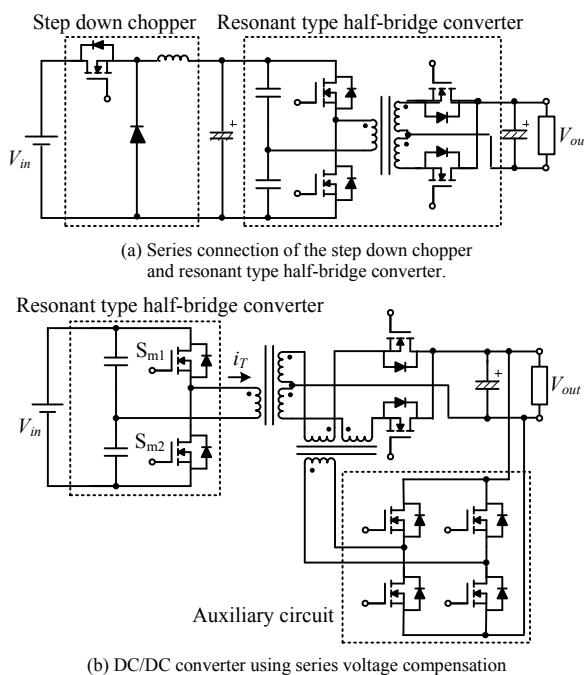


Fig. 2. Circuit example using resonant type half-bridge converter.

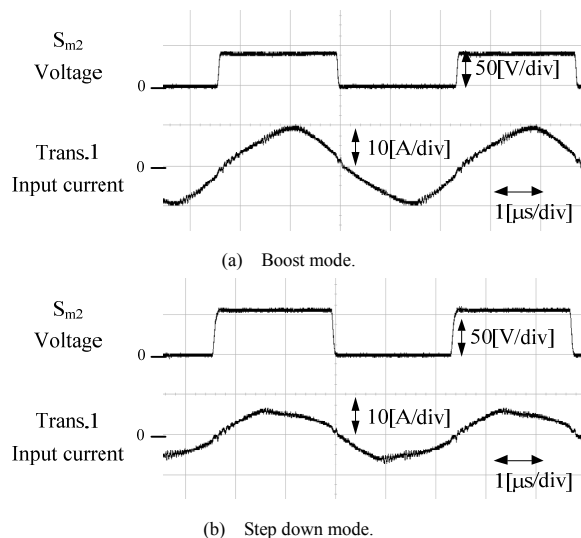


Fig. 3. Transformer current (i_T) and S_{m2} terminal voltage of DC/DC converter using series voltage compensation (Load: 100W).

このときトランスの損失が重要となるが、補助回路に用いるトランスの損失はメイン回路に用いるトランス損失の1/5程度である⁽¹³⁾。

これらのコンバータの効率はメイン回路の効率に大きく依存するため、共振形ハーフブリッジコンバータの設計が特に重要となる。

3. 損失解析

〈3・1〉 損失要素と負荷特性

電流共振形ハーフブリッジコンバータの損失解析を行う前に、回路で発生する損失要素を明らかにする。コンバータで発生する損失には様々なものがあるが、ここでは回路で発生する損失を3つの要素で表現する。出力電力 P_{out} を変数として、回路で発生する損失 P_{loss} を表現すると(2)式となる⁽¹⁴⁾。

$$P_{loss} = K_2 P_{out}^2 + K_1 P_{out} + K_0 \dots\dots\dots(2)$$

ただし、 K_2 、 K_1 、 K_0 は回路損失の発生要素で決まる定数である。また、回路中の電圧は一定であり、 P_{out} は電流に比例すると仮定している。つまり、回路損失は電流の2乗に比例する項 (K_2 項)、電流に比例する項 (K_1 項)、電流に比例しない項 (K_0 項) の3要素で表現できる。

図4(a)に出力電力 P_{out} と発生損失 P_{loss} の特性図を示す。この図において P_{out} は電流に比例するため、電力の2乗に比例する項は導通損失、電力に比例する項はスイッチング損失、電力に依存しない項はトランスの鉄損や無負荷損失を示している。(2)式を用いて変換器効率 η を求めると(3)式となる。ただし、 P_{in} は入力電力である。

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out} + P_{loss}} = \frac{P_{out}}{K_2 P_{out}^2 + (1 + K_1) P_{out} + K_0} \dots\dots(3)$$

図4(b)に出力電力 P_{out} と変換効率 η の特性図を示す。ただし、横軸を P_{out} 、縦軸を η としている。ここで、 P_{out} に対して効率が最高になる条件を求めるには極値を求めればよい。ため、(4)式から効率が最高になる条件は(5)式となる。

$$\frac{d\eta}{dP_{out}} = 0 \dots\dots\dots(4)$$

$$\therefore K_2 P_{out}^2 = K_0 \dots\dots\dots(5)$$

つまり、電力の2乗に比例する損失 (K_2 項) と電力に依存しない損失 (K_0 項) が等しいときに最高効率となる。また、電力に比例する損失 (K_1 項) に関係なく P_{out} に対しての最高効率点が決まる。したがって、回路損失を精度よく予想することができれば、用途に応じて負荷に対する効率特性を自由に設計することが可能となる。

〈3・2〉 共振形ハーフブリッジコンバータの損失要素

図1に示した電流共振形ハーフブリッジコンバータを構成する素子に注目すると、1次側 FET と同期整流器に用いた FET では ZCS を達成するため、電流に比例する要素 (K_1 項) はほぼ存在しないため、ゼロと仮定できる。したがって、回路で発生する損失は、半導体素子のオン抵抗や巻線抵抗、コンデンサの等価直列抵抗による電流の2乗に比例する損失 (K_2 項) と、トランスの鉄損や無負荷損による電

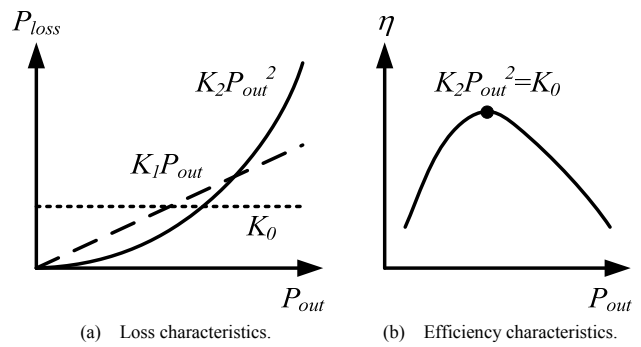


Fig. 4. Relationship between the loss element and load characteristics.

流に依存しない損失 (K_0 項) の合計となり、回路の負荷効率特性はこれらのバランスによって決定される。ただし、本論文で扱う電流共振形ハーフブリッジコンバータは、これ単体で電圧制御を行うものではなく、2.2節で示した通り共振形コンバータは絶縁とトランスによる昇圧もしくは降圧を行い、補助回路によって出力電圧の制御を行うことを前提としている。そのため、トランスの励磁インダクタンスは漏れインダクタンスと比較して非常に大きくし、励磁電流の影響を無視できるように設計する。なお、励磁電流による損失は5章にて後述する。

また、FET の寄生容量が充放電されることで発生する損失を検討した結果、回路全体の損失と比較してとても小さいため、損失計算式では無視している。

〈3・3〉 FET 損失

1次側 FET による損失は、全領域で ZCS が達成されており、スイッチング損失がゼロであると仮定すると、素子のオン抵抗による導通損失のみである。1次側の FET 一個に流れる電流 i_{FET} は(6)式で表され、半周期ごとに正弦波状の電流が流れる。ただし、 ω_0 は共振角周波数、 T_0 は共振周期である。

$$i_{FET} = \begin{cases} \frac{\pi}{2}(2I_m)\sin\omega_0 t & \left(0 \leq t \leq \frac{T_0}{2}\right) \\ 0 & \left(\frac{T_0}{2} < t \leq T_0\right) \end{cases} \dots\dots\dots(6)$$

したがって、素子のオン抵抗を $R_{on_FET}[\Omega]$ とすると、1次側 FET 一個あたりで発生する損失 $P_{loss_FET}[\text{W}]$ は(7)式となる。

$$P_{loss_FET} = \frac{1}{T_0} \int_0^{T_0} R_{on_FET} i_{FET}^2 dt \dots\dots\dots(7)$$

$$= \frac{\pi^2}{4} R_{on_FET} I_m^2$$

2次側の同期整流器は1次側に同期してスイッチングするため、1次側 FET と同じく導通損失のみである。2次側の FET 一個に流れる電流 i_{rec} は(8)式で表される。

$$i_{rec} = \begin{cases} \frac{\pi}{2} I_{out} \sin\omega_0 t & \left(0 \leq t \leq \frac{T_0}{2}\right) \\ 0 & \left(\frac{T_0}{2} < t \leq T_0\right) \end{cases} \dots\dots\dots(8)$$

素子のオン抵抗を $R_{on_rec}[\Omega]$ とすると、同期整流器の FET

一個あたりで発生する損失 P_{loss_rec} [W] は(9)式となる。

$$P_{loss_rec} = \frac{1}{T_0} \int_0^{T_0} R_{on_rec} i_{rec}^2 dt \dots\dots\dots (9)$$

$$= \frac{\pi^2}{16} R_{on_rec} I_{out}^2$$

〈3・4〉 コンデンサ損失

共振形ハーフブリッジコンバータには、ブリッジを構成する共振コンデンサと出力の平滑コンデンサがある。コンデンサの損失は、コンデンサの等価直列抵抗とコンデンサに充放電される電流から求められる。共振コンデンサ一個あたりにはトランスの入力に流れる共振電流の半分が流れるため、共振コンデンサの電流 $i_{C_resonant}$ は(10)式で表される。

$$i_{C_resonant} = \frac{\pi}{2} I_{in} \sin \omega_0 t \dots\dots\dots (10)$$

共振コンデンサの等価直列抵抗を $R_{C_resonant}$ [Ω] とすると、発生する損失 $P_{loss_C_resonant}$ [W] は(11)式となる。

$$P_{loss_C_resonant} = \frac{1}{T_0} \int_0^{T_0} R_{C_resonant} |i_{C_resonant}|^2 dt \dots\dots\dots (11)$$

$$= \frac{\pi^2}{8} R_{C_resonant} I_{in}^2$$

また、出力コンデンサの電流は、正弦波の平均値をゼロとして充放電されるため、出力コンデンサに流れる電流 i_{C_out} は(12)式となる。

$$i_{C_out} = \left| \frac{\pi}{2} I_{out} \sin \omega_0 t \right| - I_{out} \dots\dots\dots (12)$$

出力コンデンサの等価直列抵抗を R_{C_out} [Ω] とすると、発生する損失 $P_{loss_C_out}$ は(13)式となる。

$$P_{loss_C_out} = \frac{1}{T_0} \int_0^{T_0} R_{C_out} |i_{C_out}|^2 dt \dots\dots\dots (13)$$

$$= \left(\frac{\pi^2}{8} - 1 \right) R_{C_out} I_{out}^2$$

〈3・5〉 トランス銅損

トランスで発生する損失は、巻線の抵抗成分による銅損とコアの磁束変化により発生する鉄損に分離できる。まず、銅損の計算方法を示す。トランスの銅損は表皮効果を考慮した巻線抵抗から求める。半径 r [m] の銅線における表皮効果を考慮した等価的な断面積 S [m²] は(14)式となる。

$$S = \frac{1}{2} \{ r^2 - (r - \delta)^2 \} \pi \dots\dots\dots (14)$$

ただし、 δ [m] は導体表面からの浸透の深さで(15)式で求めることができる。ただし、 μ [H/m] は透磁率、 σ [S/m] は銅の導電率である。

$$\delta = \sqrt{\frac{2}{\omega_0 \mu \sigma}} \dots\dots\dots (15)$$

これより、表皮効果を考慮した等価的な銅線の抵抗値 R_{skin_effect} [Ω] は(16)式で求められる。ただし、 l [m] は銅線の長さである。

$$R_{skin_effect} = \frac{1}{\sigma} \cdot \frac{l}{S} \dots\dots\dots (16)$$

トランス銅損は1次側、2次側それぞれの巻線の抵抗で求

められる。トランスの1次側、2次側に流れる電流 i_{N1} 、 i_{N2} はそれぞれ(17)、(18)式で表されるため、トランスの表皮効果を考慮した1次側巻線抵抗を R_{N1} [Ω]、2次側巻線抵抗を R_{N2} [Ω] とすると、1次側巻線の損失 P_{loss_N1} [W] と2次側巻線の損失 P_{loss_N2} は(19)式と(20)式で求められる。

$$i_{N1} = \frac{\pi}{2} (2I_{in}) \sin \omega_0 t \dots\dots\dots (17)$$

$$i_{N2} = \frac{\pi}{2} I_{out} \sin \omega_0 t \dots\dots\dots (18)$$

$$P_{loss_N1} = \frac{1}{T_0} \int_0^{T_0} R_{N1} |i_{N1}|^2 dt \dots\dots\dots (19)$$

$$= \frac{\pi^2}{2} R_{N1} I_{in}^2$$

$$P_{loss_N2} = \frac{1}{T_0} \int_0^{T_0} R_{N2} |i_{N2}|^2 dt \dots\dots\dots (20)$$

$$= \frac{\pi^2}{8} R_{N2} I_{out}^2$$

〈3・6〉 トランス鉄損

トランスの鉄損は電圧の変化によりトランスに発生する磁束密度と、コアの特性によって決定される。トランスに方形波電圧を入力する場合、交流磁束密度 B_{ac} [T] は(21)式で求めることができる。ただし、 N_1 はトランスの1次側巻数、 f [Hz] はスイッチング周波数、 A_c [m²] はコアの実効断面積である。

$$B_{ac} = \frac{V_{in}/2}{2N_1 A_c \cdot 2f} \dots\dots\dots (21)$$

鉄損は、コアの材料によって決まるコアロス値—磁束密度特性のグラフを用い、磁束密度からコアロス値 P_{cv} [W/m³] を求める。ただし、一般に、コア材料のデータシートに記載されている損失測定グラフは正弦波磁束を印加したときの特性であり、この場合、磁束は三角波となるため、若干の誤差が含まれる。ここでは、その誤差を他の損失と比べて十分小さいとして無視している。このとき、トランスの鉄損 P_{trans_fe} は(22)式で求められる。ただし、 V_e [m³] はコアの実効体積である。

$$P_{trans_fe} = P_{cv} V_e \dots\dots\dots (22)$$

したがって、トランスの鉄損は電流に依存せず、コアの特性と入力電圧、スイッチング周波数で決まる固定損失である。

〈3・7〉 共振インダクタ損失

作成したトランスの漏れインダクタンスだけでは、十分なインダクタンス値を得られないときは、共振に用いるインダクタンスを作成してトランスに直列に接続する。一般に、漏れインダクタンスを大きく設計すると巻数が増加し、トランスの効率が悪化するため、効率の観点から共振インダクタを追加したほうがよい。インダクタンスの損失はトランスと同様に、銅損と鉄損に分離できる。銅損はトランスと同様に表皮効果を考慮した巻線抵抗の抵抗値から求められる。

鉄損は、まずインダクタに発生する電圧を求める。共振

インダクタに発生する電圧は、共振により LC 間を移動するエネルギーで決まるため、(23)式をピークとする正弦波となる。

$$V_{L_peak} = 2\pi f_0 L \cdot \frac{\pi}{2} 2I_{in} \dots\dots\dots (23)$$

コアの磁束密度が算出できれば、トランスの鉄損と同様に、(21)式から交流磁束密度を導出し、コアロス値と実効体積から鉄損を求めればよい。

4. 実験結果と計算結果の比較検討

図 1 に示す共振形ハーフブリッジコンバータを対象として 48 V-12 V, 200W の実機を作成して実験を行った。これは、実験結果と計算結果の比較検討を行い、損失計算の妥当性を検証するためである。回路パラメータは表 1 に示す。なお、実験では同一のコアを用いてトランス巻数を $N_1 : N_2 = 2 : 1$ と $N_1 : N_2 = 4 : 2$ に変更して実験を行った。これは、トランスで発生する銅損と鉄損を変化させるためである。計算には 3 章で示した計算式を用いている。ただし、スイッチングデューティは 50%一定であり、負荷増加とともに出力電圧が低下するため、計算には実験により測定した電流値を用いている。また、無負荷時にも損失が発生するため、無負荷時の損失を測定して計算結果に加算している。これについては 5 章にて詳細に述べる。

図 5 に実機実験と損失計算による負荷効率特性を比較検討した結果を示す。結果より、トランスの巻数を変化した場合でも、実験値と計算値は負荷に対してほぼ全域で一致しており、非常に精度の高い損失予測ができることを示している。また、トランス巻数を $N_1 : N_2 = 4 : 2$ とした場合、最高効率 96.8%、負荷 200 W で 94%以上の高い効率が得られている。

トランス巻数を $N_1 : N_2 = 2 : 1$ とした場合、トランスの磁束密度が大きくなるため鉄損が増加する。これにより、負

Table 1. Circuit parameters.

Element	Symbol	Value
Input voltage	V_{in}	48 V
Output voltage	V_{out}	12 V
Switching frequency	f	210 kHz
Resonant capacitance	C	0.1 μ F
Resonant inductance	L	2.4 μ H
MOS-FET on-resistance	R_{on_FET}	15 m Ω
Rectifier MOS-FET on-resistance	R_{on_rec}	4 m Ω
Transformer core material	PC95 (TDK)	
Core effective cross-section	A_e	134 mm ²
Core effective volume	V_e	4658 mm ³
Primary wire turns	N_1	2 or 4
Secondary wire turns	N_2	1 or 2
Primary wire resistance	R_{N1}	5.0 or 17.7 m Ω
Secondary wire resistance	R_{N2}	1.8 or 5.0 m Ω
Wire resistance of L	$R_{L_resonant}$	17.7 m Ω
Resonant capacitance ESR	$R_{C_resonant}$	12 m Ω
Output capacitance ESR	R_{C_out}	9 m Ω
Primary interconnection resistance	$R_{wire_primary}$	3.8 m Ω
Secondary interconnection resistance	$R_{wire_secondary}$	3.8 m Ω

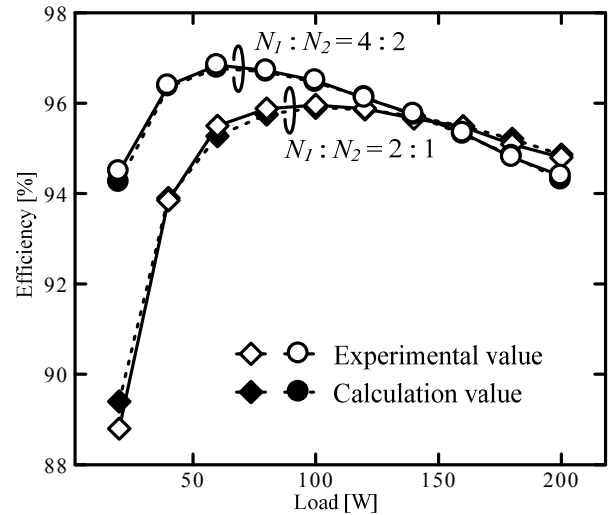
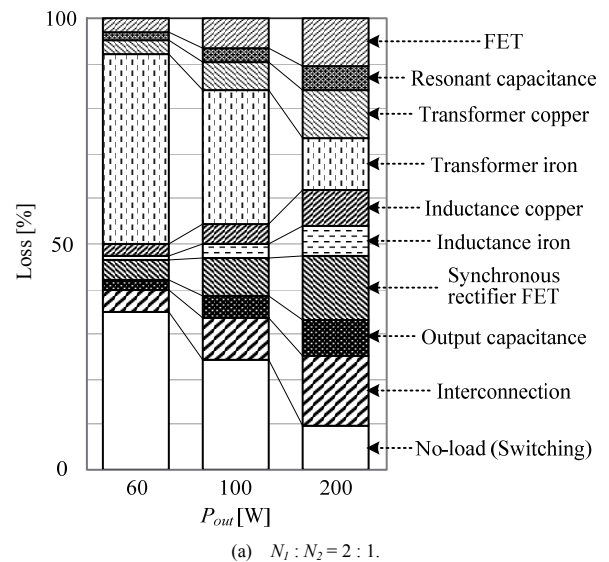
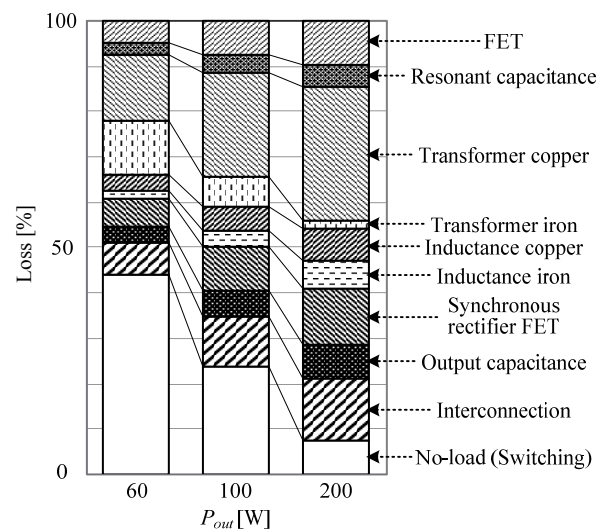


Fig. 5. Comparison between the experimental results and the calculation result.



(a) $N_1 : N_2 = 2 : 1$.



(b) $N_1 : N_2 = 4 : 2$.

Fig. 6. Loss separation results by calculation.

荷に依存しない損失 (K_0 項) が大きくなるため、軽負荷において効率が低下する。しかし、トランスの巻数が減少するため、トランス銅損が低減され、負荷の 2 乗に比例する損失 (K_2 項) が小さくなり、重負荷での特性が良くなることが確認できる。

一方、トランス巻数を $N_1 : N_2 = 4 : 2$ とした場合、トランスの磁束密度が小さくなるため、軽負荷での効率が改善される。しかし、トランス巻数増加により、銅損が増加するため、重負荷での効率が低下することが確認できる。

図 6 に図 5 の計算結果を損失ごとに分離した結果を示す。ただし、縦軸は各負荷における全損失中の割合である。予想通り、トランス巻数を $N_1 : N_2 = 2 : 1$ とした場合、軽負荷ではトランスの鉄損が大きな割合を占めている。一方、トランス巻数を $N_1 : N_2 = 4 : 2$ とした場合、重負荷でトランス銅損が大きな割合を占めていることが確認できる。

図 7 にハーフブリッジコンバータのスイッチ S_2 と S_4 における電圧、電流波形を示す。ただし、トランス巻数は $N_1 : N_2 = 4 : 2$ で、負荷は $P_{out} = 60 \text{ W}$ であり、電圧は FET のドレインを正、ソースを負とし、電流はドレインからソースへ流れる時を正としている。波形より、FET では ZCS が達成されていることが確認できる。

したがって、効率最大点を軽負荷側に移動するためには、トランスの銅損よりも鉄損の低減を重視し、巻数を増加することでコアの磁束密度を小さくする必要がある。一方、効率最大点を重負荷側に移動するためには、巻数の減少や、巻線の断面積を大きくする設計により、トランスの銅損低減を重視する必要がある。

5. 無負荷時の損失

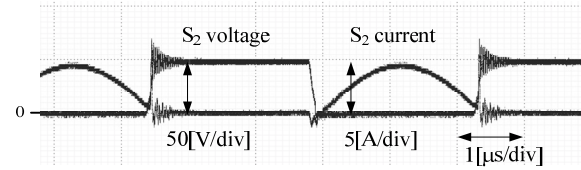
無負荷時にはトランスの励磁電流による導通損失とトランス鉄損だけではなく、スイッチング損失が発生している。これは、共振形コンバータでは、軽負荷において力率が悪く、ZCS を達成できないためである。負荷が増加すると、力率は改善されるが、同時に電流値が増加するため、負荷に依らずほぼ一定のスイッチング損失が発生する。したがって、負荷特性上では固定値の損失としてみることができる。また、このスイッチング損失には FET の寄生容量が充放電されることで発生する損失も含む。

図 8 に無負荷時における損失を分離した結果を示す。スイッチング損失は、スイッチング時の電圧、電流とスイッチング時間を測定して求めた。導通損失は無負荷時の回路電流から(7), (11), (19)式を用いて求めた。結果より、実測値 1.12 W に対して計算値は 0.98 W となり、ほぼ一致している。誤差 (15%) の要因としては、スイッチング損失を測定する際に発生するリップルを考慮していないためであると考えられる。

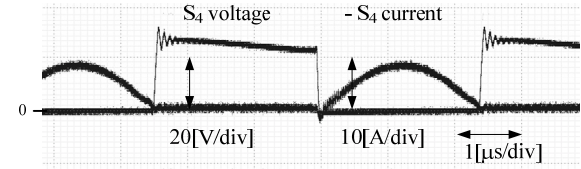
6. 損失解析をベースとする設計指針

(6-1) 基本方針と設計仕様

図 9 に損失解析をベースにした負荷特性に関する設計手



(a) S_2 voltage and current.



(b) S_4 voltage and current.

Fig. 7. Zero current switching waveforms of FET ($P_{out}=60\text{W}$).

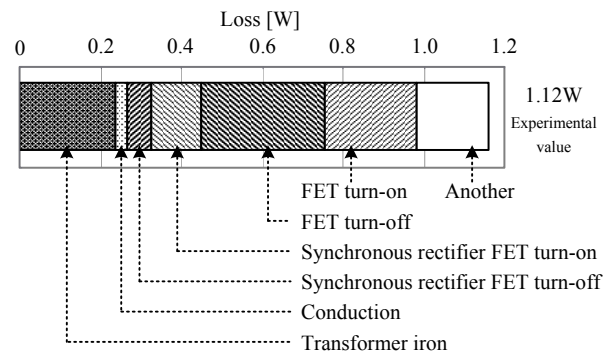


Fig. 8. Loss separation at no-load.

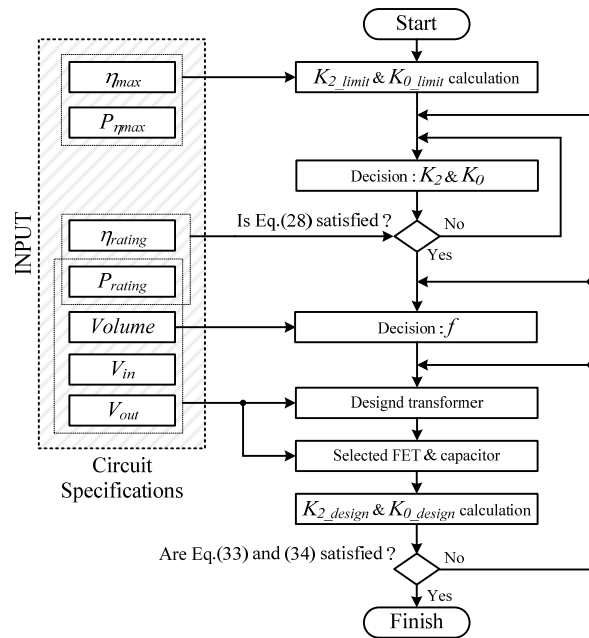


Fig. 9. Design procedure flowchart.

順をフローチャートで示す。ここでは、3章で示した効率最高点と定格電力における効率に着目した。図中に示すような、設計仕様を入力として与え、フローチャートに従って設計を行うことで、仕様に従った効率特性を得ることができる。

入力となる設計仕様は、最高効率 η_{max} とそのときの負荷 $P_{\eta_{max}}$ 、定格電力 P_{rating} と定格負荷時の効率 η_{rating} 、また、参考値としての回路体積 (*Volume*)、入力電圧 V_{in} と出力電圧 V_{out} からなる。

設計手順は、まず目標とする効率特性を η_{max} , $P_{\eta_{max}}$, η_{rating} , P_{rating} の4項目から設定し、3章で示した損失係数 (K_2 , K_0) に対して目標となる効率特性を得られる範囲を求め、その初期値を設定する。そして、共振周波数 f_0 と入出力電圧からトランスの設計と FET, コンデンサの選定を行う。そして、選定した回路素子のデータを用いて損失係数 K_2 , K_0 を計算し、目標となる効率特性を得られるか判定する。目標となる効率が得られない場合は、 K_2 , K_0 を変更して設計値が収束するまで計算を行う。

(6・2) 損失係数の導出

電流共振形ハーフブリッジコンバータにおいては、極低負荷を除く運転領域で ZCS が達成できると仮定すると、スイッチング損失はゼロとなるため、(2)式は(24)式のように簡略化できる。

$$P_{loss} = K_2 P_{out}^2 + K_0 \dots\dots\dots (24)$$

これより、 η_{max} と $P_{\eta_{max}}$ を用いて、効率最高点で発生する損失 P_{loss_max} の許容条件を(3)式より求めると(25)式となる。

$$P_{loss_max} \leq \left(\frac{1}{\eta_{max}} - 1 \right) P_{\eta_{max}} = K_2 P_{\eta_{max}}^2 + K_0 \dots\dots\dots (25)$$

効率最高点における損失の条件は(5)式であるため、これを用いて(25)式から損失係数 K_2 , K_0 の条件を求めると(26), (27)式となる。

$$K_{2_limit} \leq \left(\frac{1}{\eta_{max}} - 1 \right) \frac{1}{2P_{\eta_{max}}} \dots\dots\dots (26)$$

$$K_{0_limit} \leq \left(\frac{1}{\eta_{max}} - 1 \right) \frac{P_{\eta_{max}}}{2} \dots\dots\dots (27)$$

図9のフローチャートにおいては、まず効率最高時の条件 η_{max} と $P_{\eta_{max}}$ から(26), (27)式を用いて K_2 , K_0 の上限値を設定し、その初期値を決定する。

次に、定格電力 P_{rating} と定格時の効率 η_{rating} を満たすかどうかを判定し、満たさない場合は K_2 , K_0 を変更して再度条件判定を行う。定格における効率の条件判定には(28)式を用いる。なお、(28)式は(3)式と(25)式から求められる。

$$\eta_{rating} \leq \frac{P_{rating}}{K_2 P_{rating}^2 + P_{rating} + K_0} \dots\dots\dots (28)$$

(28)式を満たす K_2 , K_0 が求められれば、次にスイッチング周波数 (共振周波数) の初期値を決定する。これは、目標とされる回路体積 (*Volume*) から決定する。これにより、入力電圧 V_{in} と出力電圧 V_{out} 、定格電力 P_{rating} から、トランスの設計と FET, コンデンサの選定を行うことができる。

3章で述べた損失計算式より、ハーフブリッジコンバータ全体で発生する導通損失 P_{loss2} は1次側 FET, 2次側同期整流器, 共振コンデンサ, 出力コンデンサ, トランスの巻線抵抗で発生する損失の合計となるため、(7), (9), (11), (13), (19), (20)式から(29)式で求められる。

$$P_{loss2} = \left(2 \frac{\pi^2}{4} R_{on_FET} + 2 \frac{\pi^2}{8} R_{C_resonant} + \frac{\pi^2}{2} R_{N1} \right) I_{in}^2 + \left\{ 2 \frac{\pi^2}{16} R_{on_rec} + \left(\frac{\pi^2}{8} - 1 \right) R_{C_out} + \frac{\pi^2}{8} R_{N2} + K_{2_others} \right\} I_{out}^2 \dots\dots\dots (29)$$

なお、 K_{2_others} は配線抵抗による損失や、設計におけるマージンを表す係数である。また、ハーフブリッジコンバータ全体で発生する固定損失 P_{loss0} は主にトランスの鉄損であるため、(22)式から(30)式で求めることができる。

$$P_{loss0} = P_{trans_fe} + K_{0_others} \dots\dots\dots (30)$$

なお、 K_{0_others} は無負荷損失や制御回路の損失、設計におけるマージンを表す係数である。

したがって、設計したトランスと選定した素子のデータシートから損失係数 K_{2_design} , K_{0_design} を求めると(31), (32)式となる。

$$K_{2_design} = \left(\frac{N_2}{N_1} \right) \left(\frac{\pi^2}{2} R_{on_FET} + \frac{\pi^2}{4} R_{C_resonant} + \frac{\pi^2}{2} R_{N1} \right) + \frac{\pi^2}{8} R_{on_rec} + \left(\frac{\pi^2}{8} - 1 \right) R_{C_out} + \frac{\pi^2}{8} R_{N2} + K_{2_others} \dots\dots\dots (31)$$

$$K_{0_design} = P_{trans_fe} + K_{0_others} \dots\dots\dots (32)$$

最後に、選定した素子を用いた回路の損失係数 K_{2_design} , K_{0_design} と回路仕様から求めた損失係数 K_2 , K_0 を比較する。回路仕様を実現するためには、(33), (34)式を満たす必要がある。

$$K_{2_design} \leq K_2 \dots\dots\dots (33)$$

$$K_{0_design} \leq K_0 \dots\dots\dots (34)$$

条件を満たしていれば設計を終了する。条件を満たしていない場合、トランス再設計、素子の再選定などを行って条件を満たす設計値を探す。具体的に、 K_{2_design} を小さくするためには、オン抵抗の小さい素子を用いる、トランスの巻線抵抗を小さく設計する必要がある。すなわち、デバイスの電流定格を上げるか、並列接続数を増やす、銅線の断面積を大きくするなどの対策が有効である。また、 K_{0_design} を小さくするためには、鉄損を小さくする必要があり、トランスの動作磁束密度を小さくする必要がある。これには、トランスの巻数を増加させる、コアの断面積を大きくする、動作周波数を高くするなどの対策が有効である。ただし、トランスの銅損と鉄損にはトレードオフの関係があるため、条件を満たせない場合は、よりサイズの大きいコアを用いる必要がある。

また、提案した設計指針はハーフブリッジコンバータの入力電圧と出力電圧が一定となる定常状態を想定しており、補助回路の接続により電圧条件が変化する場合は電圧ごとに要求される効率を設定してパラメータを計算する。

7. まとめ

本論文では、絶縁形コンバータとして広く用いられてい

る電流共振形ハーフブリッジコンバータにおいて、要求された効率を満たすような設計法を明らかにするため、損失の定式化と設計指針の提案を行った。コンバータで発生する損失要素と効率特性の関係を明らかにし、その損失を定式化した。さらに、損失解析をベースにしてフローチャートによる設計指針を示した。

実機実験では、導出した損失計算式から求めた効率特性と実機実験による効率特性が全負荷領域でほぼ一致することを確認した。また、トランス巻数を $N_1 : N_2 = 4 : 2$ とした場合、最高効率 96.8%、負荷 200 W で 94% 以上の高い効率を得られている。さらに、無負荷時に発生する損失について明らかにし、実測値 (1.12 W) と計算値 (0.98 W) は誤差 15% 程度で一致した。

以上により、損失解析をベースに、仕様にあわせた設計が可能であることを確認した。今後の課題については、無負荷損失の推定と、他の回路方式への設計法の適用があげられる。

(平成 13 年 1 月 1 日受付, 平成 14 年 1 月 1 日再受付)

文 献

- (1) M. Takagi, K. Shimizu, T. Zaitzu : "Ultra High Efficiency of 95% for DC/DC Converter - Considering Theoretical Limitation of Efficiency", Applied Power Electronics Conference and Exposition 2002, Seventeenth Annual IEEE Volume 2, pp.735-741 (2002)
- (2) T. Qian, B. Lehman : "Buck/Half-Bridge Input-Series Two-Stage Converter", Power Electronics, IET Volume 3, Issue 6, pp.965-976 (2010)
- (3) P. Alou, J. Oliver, J. A. Cobos, O. Garcia, J. Ueda : "Buck + Half Bridge (d = 50%) Topology Applied to very Low Voltage Power Converters", Applied Power Electronics Conference and Exposition 2001, Sixteenth Annual IEEE Volume 2, pp.715-721 (2001)
- (4) S. Muroyama, T. Matsushima, N. Murakami : "Trends of Power Supply System Technologies for Telecommunications and Data Communications Systems", The Communication Society, Transactions of the Institute of Electronics, Information and Communication Engineers B, Vol.J84-B, No.5, pp.829-839 (2001)
- (5) P. Alou, J. A. Cobos, J. Ueda, M. Rascon, E de la Cruz : "Design of a low output voltage DC/DC Converter for Telecom application with a new scheme for Self-Driven Synchronous Rectification", Applied Power Electronics Conference and Exposition 1999, Fourteenth Annual Volume 2, pp.866-872 (1999)
- (6) J. Biela, J.W. Kolar : "An optimized, 99% efficient, 5kW, phase-shift PWM DC-DC converter for data centers and telecom applications", Power Electronics Conference (IPEC), 2010 International, pp.626-634 (2010)
- (7) Zhao Tang, Xinbo Ruan, Jian Wei, Guichao Hua, : "Four Switch Buck-Boost Converter for Telecom DC-DC power supply applications", Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE, pp.1527-1530 (2008)
- (8) Ming Xu, F.C.Lee, "General concepts for high-efficiency high-frequency 48 V DC/DC converter", PESC '03. 2003 IEEE 34th Annual Volume 1, pp 156-162 (2003)
- (9) J. Biela, U. Badstuebner, J.W. Kolar, "Impact of Power Density Maximization on Efficiency of DC-DC Converter Systems", IEEE Transaction on Power Electronics, Vol.24, No.1, pp288-300 (2009)
- (10) H.Mao, S.Deng, J.Abu-Qahouq, I.Batarseh, "Active-Clamp Snubbers for Isolated Half-Bridge DC-DC Converters", IEEE Transaction on Power Electronics, Vol.20, No.6, pp1294-1302 (2005)
- (11) K. Fathy, K. Morimoto, T. Doi, H. Ogiwara, H.W. Lee, M. Nakaoka, "A Divided Voltage Half-Bridge High Frequency Soft-Switching PWM DC-DC Converter with High and Low Side DC Rail Active Edge Resonant Snubbers", IPEMC 2006, vol. 2, pp. 1-5 (2006)

- (12) S. Miyawaki, J. Itoh, K. Iwaya : "High Efficiency Isolated DC/DC Converter Using Series Voltage Compensation", IEEJ, Vol.130-D, No.1, pp.43-50 (2010) (in Japanese)
宮脇 慧, 伊東 淳一, 岩谷 一生 : 「直列補償方式を用いた高効率絶縁形 DC/DC コンバータ」, 電学論 D, Vol.130, No.1, pp.43-50 (2010)
- (13) S. Miyawaki, J. Itoh, K. Iwaya : " High Efficiency Isolated DC/DC Converter using Series Connection on Secondary Side", IEEJ, Vol.131-D, No.10, pp.1175-1183 (2011) (in Japanese)
宮脇 慧, 伊東 淳一, 岩谷 一生 : 「出力側に直列補償を用いた高効率絶縁形 DC/DC コンバータ」, 電学論 D, Vol.131-D, No.10, pp.1175-1183 (2011)
- (14) Wm. T. McLyman, Transformer and inductor design handbook, Marcel Dekker Inc. (1988)

宮 脇 慧



(学生員) 1985 年 7 月 6 日生まれ。2010 年 3 月長岡技術科学大学院工学研究科修士課程電気電子情報工学専攻修了。同年 4 月同大学大学院工学研究科博士後期課程エネルギー・環境工学専攻に進学。主に電力変換回路に関する研究に従事。

伊 東 淳 一



(正員) 1972 年 1 月 6 日生まれ。1996 年 3 月長岡技術科学大学院工学研究科修士課程修了。同年 4 月, 富士電機 (株) 入社。2004 年 4 月長岡技術科学大学電気系准教授。現在に至る。主に電力変換回路, 電動機制御の研究に従事。博士 (工学) (長岡技術科学大学)。2007 年第 63 回電気学術振興賞進歩賞受賞。IEEE 会員。

岩 谷 一 生



(正員) 1977 年 9 月 19 日生まれ。2002 年 3 月長岡技術科学大学院工学研究科修士課程修了。2005 年 4 月デンセイ・ラムダ (株) 入社。2006 年 3 月長岡技術科学大学院工学研究科博士課程修了。現在, TDK ラムダ (株) 勤務。スイッチング電源の開発に従事。博士 (工学)