

Table 1. Comparison of LED driver circuits.

	Proposed circuit (5 and 10 strings)	Step-down chopper ⁽⁴⁾	Single switch converter ⁽⁴⁾	Sequential linear ⁽⁹⁾⁽¹⁰⁾
Input current	Sinusoidal	Low power factor	Sinusoidal	Sinusoidal
Lighting flicker	Large	Small	Large	Large
Element deciding life time limit	LED	Electrolytic capacitor	LED	LED
Efficiency [%]	88.3, 91.6	>80	85	85
Reactor volume	-	Large	Small	-
Capacitor volume	-	Large	Small	-
EMI filter	-	Required	Required	-
Input power factor	0.995, 0.999	0.7~0.8	0.98	>0.95

ンプの耐圧が高く、駆動回路の消費電力が大きい問題がある。そこで、同様の動作をデジタル制御系で構成したり⁽⁸⁾、各バイパス段に個別の電流源を設けたりする方式がある⁽⁹⁾⁽¹⁰⁾。しかしこれらの方法は、多数のゲート駆動回路によるコストの上昇や、バイパス回路に使用する MOSFET の耐圧が高いためにオン抵抗値が大きく、導通損失が大きい問題がある。そこで文献(11)では、電流値が等しく、入力電圧に対して通流開始電圧 V_{th} の異なる LED 列を、並列に複数設ける方式が提案されている。この回路は、電源電圧に応じて通流する LED 列の並列数を可変させる点が他と異なり、 V_{th} を決定する電流バイパス回路が 1 段の定電流ダイオード (Current Regulative Diode, 以下 CRD) で構成されるため、前述の制御回路複雑化の問題が回避できる。しかし、CRD は自己消弧能力がなく、 V_{th} を超えた後も電流が流れ続けるため、損失が大きくなる問題がある。

本論文では、線形動作する電流バイパス回路を多段直列接続することで高効率を実現できる、高力率 LED 駆動回路を提案する。電流バイパス回路に使用する MOSFET のゲート駆動には、抵抗とツェナーダイオードによる簡単な構成のバイパス回路を用いるため、外付けの制御器や各スイッチ個別のゲート駆動回路は不要となる。また、電流バイパス回路の MOSFET に高い電圧が加わった状態で線形動作させると、スイッチング動作に比べて効率の面で不利となるが、多段直列接続により電圧を下げることで、全体の損失を低減する。

本論文の構成は、次のようになっている。はじめに提案回路の動作原理と回路構成を述べる。次に 100 V 入力、7.8 W、5 列構成の動作波形と、回路パラメータを用いた損失計算法を示し、効率を評価する。さらに 7.8 W、5 列構成と、15 W、10 列構成を試作し、各部の動作波形を示す。また試作機の体積とノイズを評価し、提案回路の有効性を確認する。

2. 提案回路

(2.1) 回路構成の概要 図 1 に入力電流を正弦波化し、電流バイパス回路の損失を低減する原理図を示す。LED 列の電流を一定に制御するため、各列に定電流源を接続する。そして LED 列に対して並列に、複数の電流バイパス回

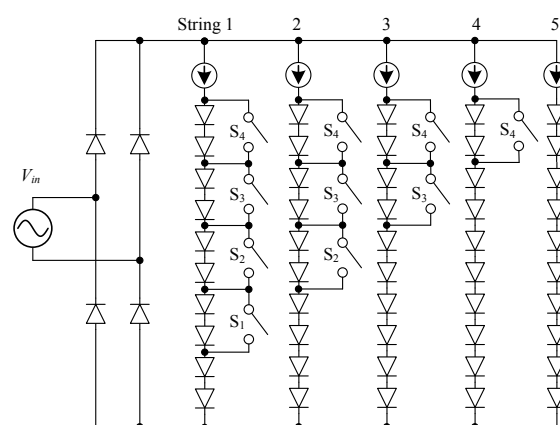


Fig. 1. Equivalent circuit diagram of the proposed LED driver in the case of 5 strings.

路を接続する。1 列目を例に挙げると、電流バイパス回路は入力電圧が最低の状態ではすべて導通しており、入力電圧の上昇にしたがって S_1 から順にスイッチオフし、動作点を切り替える。これにより電流源の損失を低く保ちながら、LED 列を可変電圧・定電流駆動する。さらに、入力電圧と通流する LED 列の並列数を比例して変化させることで、入力電流を正弦波化する。

表 1 に提案回路と従来回路の比較を示す。提案回路と文献(9)(10)の Sequential linear 方式は受動部品を使用せず、線形動作により EMI フィルタが不要となることで、回路体積の小型化に有利である。また電力変換効率は従来回路と同等以上で、入力力率はほぼ 1 となる。一方でこれらの方式は各 LED 列の通流時間が異なり、各列同一の LED 素子を使用した場合、各素子の消費電力がばらつき、素子の利用率が低下する実用上の課題がある。これは通流時間に応じて定格電力の異なる素子を用いる、または素子の並列数を可変する設計で対策できる。

(2.2) 多段化による入力電流の正弦波化 図 2 に入力電流波形を正弦波化する原理を示す。電流値が同一で、通流開始電圧 V_{th} が一定間隔で異なる LED 列を並列接続すると、入力電圧に比例した階段状の電流が流れる。LED 列を増加させてしきい値の間隔を狭めることで、電流波形が正弦波に近づき、抵抗負荷に近い高力率動作となる。

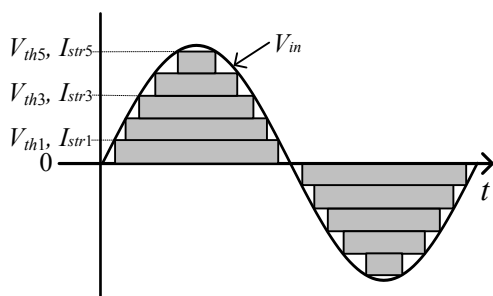


Fig. 2. Input current and string current waveforms.

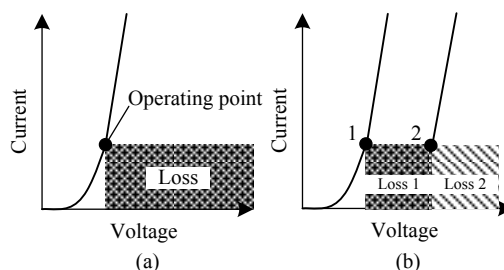


Fig. 3. Loss reduction of current source by using multiple operating points.

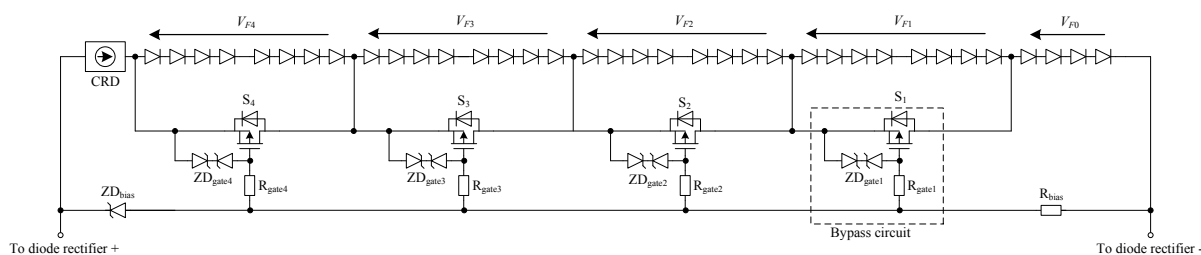


Fig. 4. Circuit diagram of the first string in the case of 5 strings. (PMOS)

〈2・3〉 電流バイパス回路による電流源の損失低減

図 3 に LED を定電流駆動する際の、電流源の損失が発生する領域を示す。これは図 1 の各 LED 列に対応している。図 3(a) に動作点が 1 点のみの場合を示す。LED の V-I 特性は指数関数的に変化し、入力電圧が動作点を超えると定電流制御が可能となる。ここで、網掛け部分の面積が電流源の損失を表しており、損失を低減するには動作点を入力電圧の頂点付近に設定すればよい。しかし、提案回路は図 2 に示すように幅広い通流期間が必要であり、通流期間の長い LED 列は効率が低下する問題がある。図 3(b)に、電流バイパス回路により基準電位を切り替える場合を示す。入力電圧が動作点 1 を超えると、定電流回路の損失が増加し始める。しかし動作点 2 を超えた時点で電流バイパス回路を切り替え、損失計算の基準電位を動作点 2 に移動すると、1 段目の損失は理想的には一度ゼロとなり、2 段目の損失のみとなる。2 段目の損失も電圧上昇とともに再び増加するが、次のしきい値を超えた時点で 2 段目をバイパスし、3 段目に移行する。このように動作点を増加させることで、定電流回路の損失を低減できるため、低電圧から通流し始める LED 列の効率を改善できる。

〈2・4〉 電流バイパス回路の設計法

図 4 および表 2 に、提案回路を 5 列 4 段バイパスで構成した場合の、1 列目の回路図と回路パラメータを示す。スイッチング素子の駆動電力を低減するため、電圧駆動の MOSFET を用いる。電流バイパス回路の MOSFET は、並列に接続される LED 列の順方向電圧以上の耐圧を持つ素子を選定する。また、電流源に定電流ダイオード(CRD)を使用しているが、電流容量が小さいため、大容量化する場合はシリーズレギュレータを用いた構成も考えられる。さらに、CRD 選定の際は電源の電圧変動を考慮して耐圧を選定する必要がある。

Table 2. Circuit parameters for simulation and experiment in the case of 5 strings.

LED	LUW_JNSH.EC (OSRAM) $V_f=3.1\text{V}$, $I_f=20\text{mA}$, 36-series
MOSFET	5LP01SS (ON semiconductor) $V_{ds}=-50\text{V}$, $R_{on}=18\ \Omega$, $C_{iss}=7.4\ \text{pF}$
ZD _{gate} , ZD _{bias}	$V_z=6.8\ \text{V}$
R_{bias} , R_{gate}	1 M Ω
Current regulator	NSI45020T1G (ON semiconductor) $I_{str}=20\ \text{mA}$, $V_{on}=3.5\ \text{V}$
Diode bridge	DF08SA (Vishay)
V_{in}	AC 100 V, 50 Hz

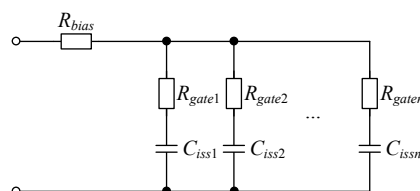


Fig. 5. Equivalent circuit of gate driver.

図 5 にゲート駆動回路設計用の等価回路図を示す。ゲート駆動回路の周波数応答は、バイアス抵抗 R_{bias} とゲート抵抗 R_{gate} およびゲート入力容量 C_{iss} の時定数に依存し、 n 段で構成した場合のカットオフ周波数 f_{cut_off} は(1)式で表される。

$$f_{cut_off} = \frac{1}{\left(R_{bias} + \frac{R_{gate}}{n}\right) \cdot nC_{iss}} \dots\dots\dots(1)$$

バイアス抵抗とゲート抵抗は、 f_{cut_off} が電源周波数の 2 倍よりも十分高くなるように設定する。例えば、表 2 のパラメータでは 27 kHz となり、電源周波数の 2 倍である 100 Hz よりも十分高い周波数応答が得られる。

3. 損失解析

LED 駆動回路は出力が光になるため、電力変換効率は入力電力と LED 素子の消費電力の比率で定義される。しかし、提案回路では通流時間の異なる LED 列が多数あるため、実験による電力変換効率の測定は難しい。そこで、シミュレータを用いて回路の損失を推定することで効率を求める。しかし、シミュレータによる損失推定だけでは、仕様変更毎にシミュレーションを繰り返す必要があり、設計作業が煩雑化する。そこで本章では、回路の設計パラメータから各スイッチと電流源の損失を求める近似式を導出する。また計算結果を基に、5 列と 10 列構成時の損失について検討する。

〈3・1〉シミュレーションによる損失解析 図 6 にシミュレーションによる、図 4 の 5 列 4 段バイパス構成の損失分離結果を示す。このグラフは回路全体の入力電力に対する損失の比率を各列で示している。図 6 より、損失の大部分は電流バイパス回路の MOSFET および電流源が占めることがわかる。電流源の損失が列によって異なるのは通流時間の違いによるもので、通流開始電圧の高い列は通流時間が短く、損失も小さい。また MOSFET の順番による損失の差は、正弦波入力電圧の傾きに起因する。例えば、入力電圧が低く、傾きの大きい領域で動作する S_1 は、傾きの小さい S_4 よりも線形動作時間が短いため、損失が小さくなる。また、バイパス抵抗のゲート駆動電流による損失は、1 列あたり最大で 0.1% と小さい。回路全体の電力変換効率は、5 列構成で 88.3%、また 10 列構成では、線形動作領域の損失を低減できるため 91.6% となる。

〈3・2〉計算による損失解析 図 7 に 1 列目の線形動作による損失発生箇所を、図 8 にシミュレーションで求めた損失の時間波形を示す。 n 段のバイパス回路を構成するスイッチ $S_1 \sim S_n$ のうち、任意のスイッチ S_a の損失を求める。損失は線形領域の損失 P_{swa_linear} と、MOSFET のオン抵抗による導通損失 P_{swa_cond} に分離できる。 S_a が線形動作する期間を $t_{a+1} \sim t_a$ とすると、 t_a は回路パラメータを用いて(2)式のように示すことができる。

$$t_a = \frac{1}{\omega} \sin^{-1} \frac{\sum_{x=0}^{a-1} V_{Fx}}{V_{in_max}} \dots \dots \dots (2)$$

ω は電源角周波数、 V_{in_max} は入力電圧最大値、 V_{Fx} は各段の LED 順方向電圧を表す。

図 7 の網掛け部分は入力電圧と LED 順方向電圧の差分を示す。電流一定の条件より、この差分電圧に LED 列の電流 I_{str} を乗算することで、スイッチの線形動作領域の損失となるため、この面積を電源周期で除算することで P_{swa_linear} が得られる。

$$P_{swa_linear} = 4f_{in} I_{str} \left(V_{in_max} \int_a^{a+1} \sin \omega t dt - (t_{a+1} - t_a) \sum_{x=0}^{a-1} V_{Fx} \right) \dots (3)$$

ただし、 f_{in} は電源周波数、1 項目は入力電圧の積分値、2 項目は導通している LED の順方向電圧の合計を示す。

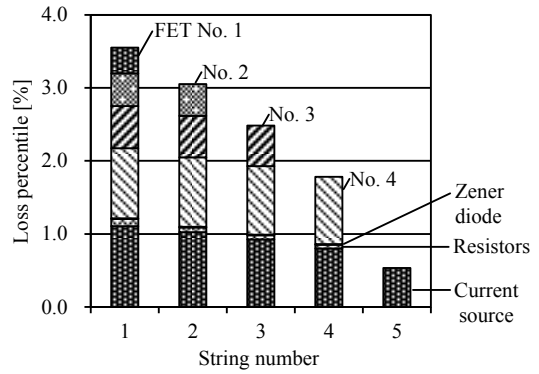


Fig. 6. Loss distribution of each string.

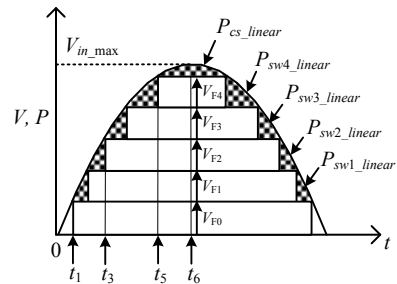


Fig. 7. Losses of linear operation.

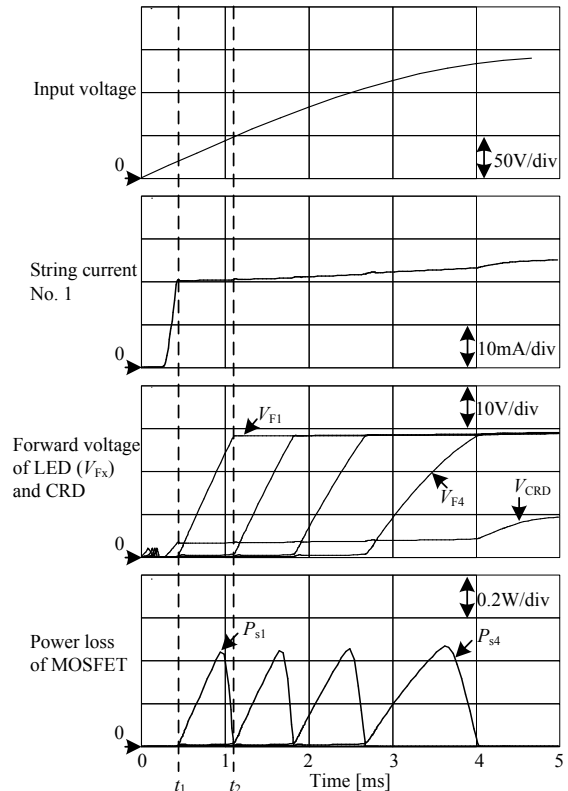


Fig. 8. Operating waveforms. (Simulation)

MOSFET のオン抵抗 R_{on} による導通損失 P_{swa_cond} は、各スイッチが通流する時間に比例するため(4)式となる。

$$P_{swa_cond} = 4f_{in} R_{on} I_{str}^2 (t_{n+2} - t_a) \dots \dots \dots (4)$$

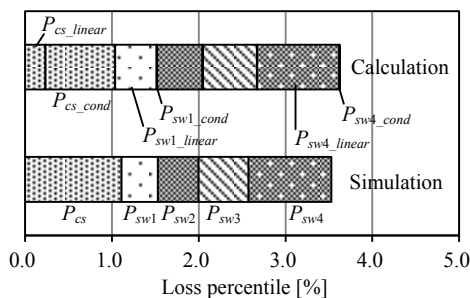


Fig. 9. Loss distribution of the first string. (5 strings)

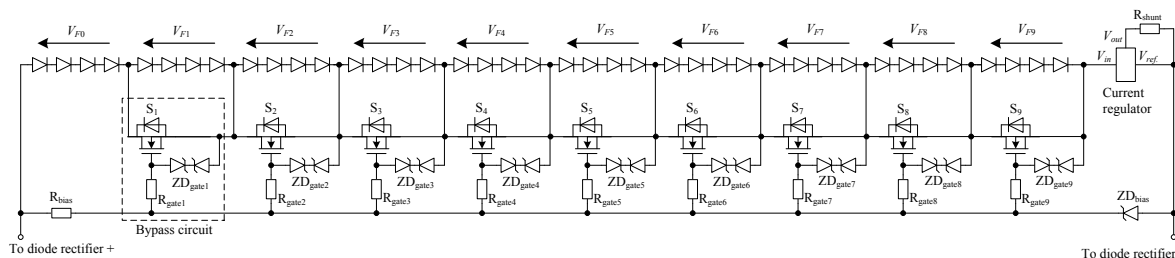


Fig. 10. Circuit diagram of the first string in the case of 10 strings. (NMOS)

ただし、 t_{n+2} は図 7 の t_6 に相当し、入力電圧の頂点を示す。一方、電流源の線形領域における損失 P_{cs_linear} は(5)式となり、MOSFET と同様となる。

$$P_{cs_linear} = 4f_r I_{str} \left(V_{in_max} \int_{t_{n+1}}^{t_{n+2}} \sin \omega t dt - (t_{n+2} - t_{n+1}) \sum_{x=0}^n V_{Fx} \right) \quad (5)$$

電流源の導通損失は、CRD のオン電圧 V_{on} が印可電圧によらず一定とすると、(6)式となる。

$$P_{cs_cond} = 4f_r V_{in} I_{str} V_{on} (t_{n+2} - t_1) \quad (6)$$

図 9 に(3)~(6)式から求めた 1 列目の損失計算値と、シミュレーション値を比較する。計算では線形領域の損失と導通損失を分けて表示し、シミュレーションでは分離できないため、素子全体の消費電力を示す。結果より、電流源では線形領域よりも導通損失が大きいことがわかる。一方、スイッチの導通損失は S_1 で 0.07% と小さく、線形領域の損失が支配的となる。よって MOSFET をさらに小容量化し、導通損失の増加を許容してゲートバイアス抵抗を高抵抗化することで、ゲート駆動電力を削減する余地がある。 S_{1-4} の合計損失は、計算結果のほうがシミュレーションよりも 7.0% 大きい。この誤差は、(3)式においてスイッチの線形領域の損失が入力電圧に比例すると定義している点に起因する。図 8 の t_1 から t_2 の間では S_1 が線形動作し、スイッチの損失は立ち上がり以降の大部分が V_{F1} に比例する。しかし、 V_{F1} が LED の定格電圧に近づくとき、V-I 特性に従い LED 側に電流が分流する。これによって S_1 の電流が減少し、損失が V_{F1} の頂点よりも手前から低下するため、シミュレーション値が計算値よりも小さくなる。また、 S_4 の誤差が S_1 よりも少ないのは、CRD の電流レギュレーション特性により、入力電圧の高い領域で電流値が上昇し、損失が増加し誤差を相殺するためである。また、電流源の損失 P_{cs} は、計算値より

Table 3. Circuit parameters for simulation and experiment in the case of 10 strings.

LED	LUV_JNSH.EC (OSRAM) $V_F=3.1V, I_F=20\text{ mA}, 40\text{-series}$
MOSFET	SSM3K15F (Toshiba) $V_{ds}=30\text{ V}, R_{on}=4\ \Omega, C_{iss}=7.8\ \text{pF}$
ZD _{gate} , ZD _{bias}	$V_z=6.8\ \text{V}$
R _{bias} , R _{gate}	1 M Ω
R _{shunt}	62.5 Ω
Current regulator	LM1086-ADJ (Texas Instruments) $I_{str}=20\ \text{mA}, V_{on}=3.0\ \text{V}$

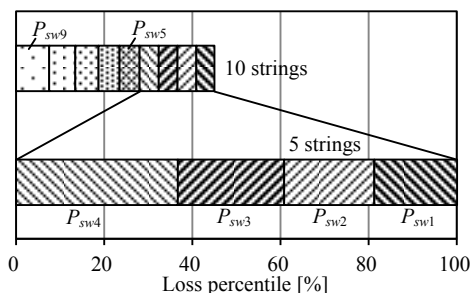


Fig. 11. Switch loss comparison of string No. 1.

もシミュレーション値の方が 6.7% 大きい。これもスイッチの損失誤差と同様に、レギュレーション特性による電流増加に起因する。以上、これらの誤差は放熱設計に使用する上で問題のない範囲といえ、(3)~(6)式により損失を推定することで、素子選定や放熱設計が可能となる。

〈3-3〉バイパス段数増加による損失低減 図 11 に、図 4 および図 10 に示した、5 列 4 段と 10 列 9 段バイパス構成の回路を用いてスイッチ損失を計算した結果を示す。なお、図 10 のパラメータを表 3 に示す。5 列構成時のスイッチ 4 個分の損失を 100% とすると、10 列構成時では損失を 55% 低減できる。したがって、バイパス段数を増加させることでスイッチの線形動作時の損失を低減し、回路全体の効率を改善できる。

4. 実験結果

〈4-1〉5 列構成の動作検証と従来回路との比較 表 4 に 5 列実機、および同等の光束を有し、降圧チョップ回路を使用する市販 LED 電球の諸元を示す。提案回路の光束は電力変換効率と、LED 素子の公称効率の代表値から推定している。

Table 4. Specification of 5 strings prototype and sample product.

	Proposed circuit (5 strings)	Step-down chopper (Sample product)
Input power [W]	7.8 W	11.0 W
Luminous flux [lm]	751	810
Luminous efficiency [lm/W]	96	74
Power factor	0.995	0.79

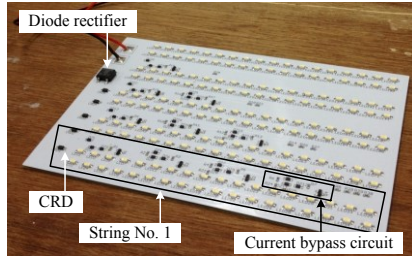


Fig. 12. Prototype of experiment. (5 strings)

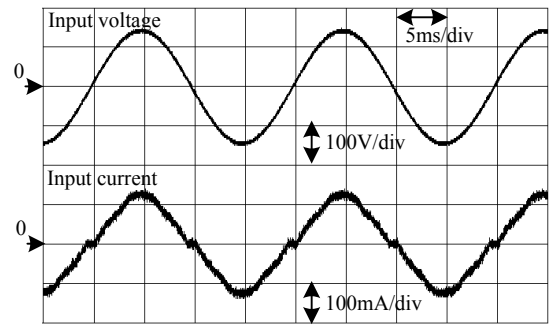
図 12 に 5 列構成の実機写真を示す。基板の大きさは横 160 mm, 縦 100 mm, 厚さ 1.6 mm の FR-4 片面基板を使用する。手前が 1 列目, 奥が 5 列目となる。提案回路は片面基板に全部品を実装できる。そのため大容量化の際にアルミニウム基板の採用や, ヒートシンクの裏面取り付けなど, 放熱設計の自由度が高い利点がある。

図 13(a) に提案回路の入力電流波形を示す。電流は正弦波状に制御され, 入力電流ひずみ率は 9.8%, 入力率は 0.995 と高い。また極性切り替わり付近のゼロ電流期間は, 最も低電圧から点灯する LED 段の動作電圧に起因する。

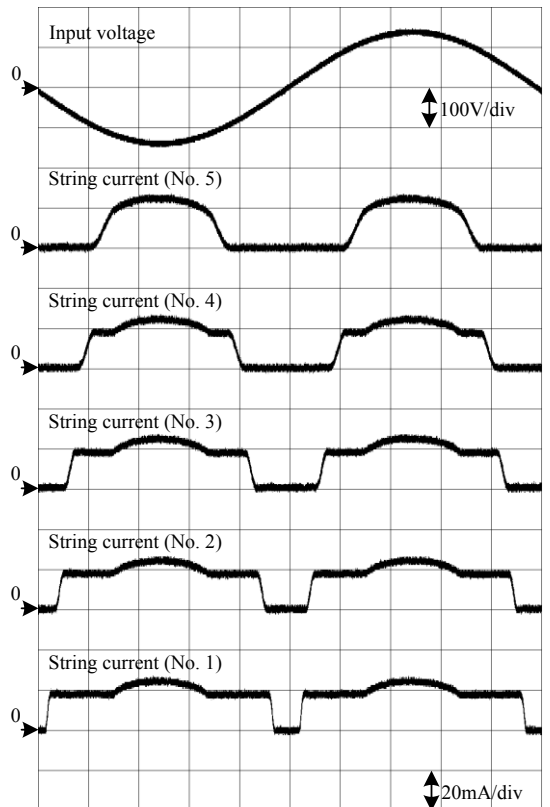
図 13(b) に提案回路の各 LED 列の電流波形を示す。点灯開始電圧が最も低い 1 列目が最初に導通し, 続いて 2 列目, 3 列目が導通する。電流値は CRD によって 20 mA 一定に制御されている。また上位の列では電流の立ち上がり・立下りの傾きが小さくなっている。これは入力電圧の傾きと LED の V-I 特性に起因する。また, 正弦波の頂点付近で電流が増加している部分は, CRD の電流レギュレーション特性に起因しており, 図 13(a) の電流波形において頂点が凸となる原因である。

図 14 に降圧チョップ回路を用いた市販品の電流波形を示す。入力電流は典型的なコンデンサ入力型ダイオード整流器の特性となる。入力電流最大値は 0.6 A であり, 提案回路の 0.12 A と比較して 5 倍となり, 両者の定格電力の差を考慮しても, ひずみが大きいと言える。

図 15 に電源の雑音端子電圧測定結果を示す。測定には簡易シールドルームとスペクトラムアナライザ R3131A (アドバンテスト), 疑似電源回路網 (LISN) を使用し, CISPR 11 Class A 相当の測定を実施する。図 15(a) の提案回路では, 入力電流の高調波により生じる 150 kHz 近傍の低域成分を除くと, 全帯域において暗ノイズと同等であり, 伝導ノイズは観測されない。よって提案回路は伝導ノイズによる障害を発生させる恐れがほとんどないと言える。一方で(b)の降圧チョップ回路では, 規制値から 19 dB の余裕があるもの



(a) Input voltage and current



(b) String current

Fig. 13. Experimental waveforms of the proposed circuit.

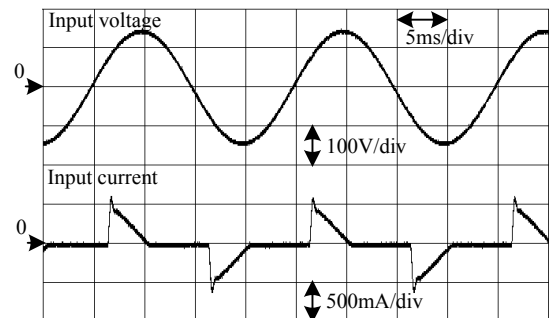
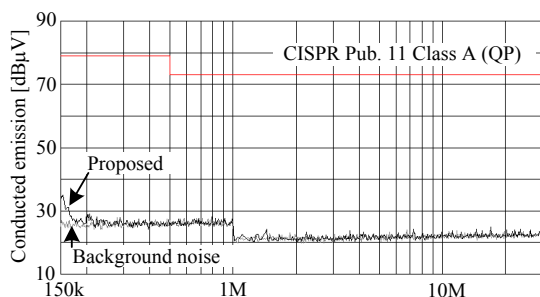
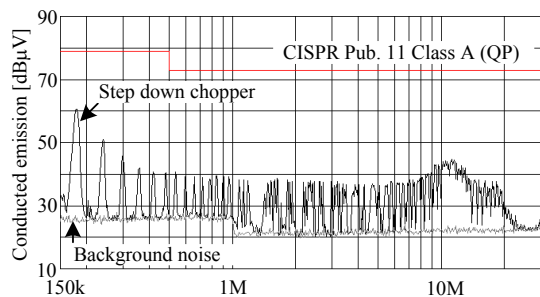


Fig. 14. Experimental waveforms of the step-down chopper circuit.



(a) Proposed circuit (5-strings)



(b) Step-down chopper circuit

Fig. 15. Conducted emission spectrum.

の、全帯域に渡る伝導ノイズが観測されている。

図 16 に回路部品の体積比較を示す。基板を除く回路部品の体積を累積したもので、提案回路は降圧チョップ回路と比較して 83%体積が低減できる。内訳として、まず LED 素子では市販品の集積度が高い。一方、試作機では単体部品を使用することから、体積が 15 倍大きい。次に、制御器は LED と受動部品以外の半導体と抵抗を合計したものを示す。提案回路は単体の MOSFET や抵抗を使用しながら、IC 化された市販品の降圧チョップ回路よりも体積が 3 割小さい。これは降圧チョップ回路の電流シャント抵抗などの制御 IC 周辺部品が大きいためである。さらに降圧チョップ回路に必要な不可欠な EMI フィルタ、リアクトル、キャパシタの受動部品が不要となり、小型化に最も貢献している。パワー密度の観点からは、LED の体積を市販品と同等まで低減し、制御回路を IC 化することで大幅にパワー密度を向上できる。

〈4・2〉10 列構成の動作検証 図 17 に 10 列構成の入力電流波形を示す。入力電流は 5 列構成よりも正弦波に近くなり、入力電流ひずみ率は 5.1%となる。また、5 列構成では頂点付近が凸となるのに対し、10 列構成では平坦となっている。この平坦な部分は、最も通流期間の短い 10 列目の通流期間と等しい。これは電流源をシリーズレギュレータに変更してレギュレーションが改善されたことで、正弦波の頂点付近における電流増加が抑制されたためである。

図 18 に 10 列構成時の各 LED 列の電流波形を示す。図 13(b)の 5 列の場合と同様に、通流開始電圧の低い列から通流し、電流振幅は 20 mA 一定となる。また電流源のレギュレーション改善により、正弦波頂点付近の電流増加は見ら

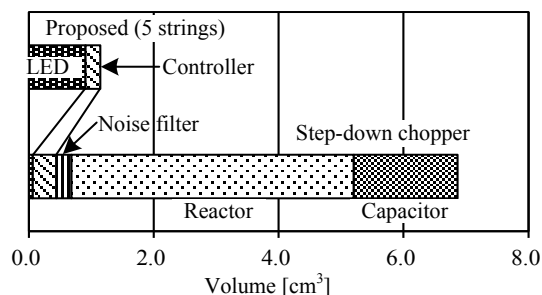


Fig. 16. Volume of circuit component.

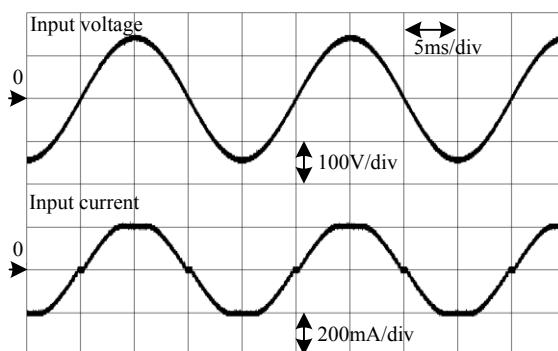


Fig. 17. Experimental waveforms. (10 strings)

れない。

図 19 に 1 列目バイパススイッチの電圧 V_{ds} の測定結果を示す。図 18 の 1 列目に電流が流通すると同時に、図 19 では S_1 の V_{ds} が上昇し始め、電流一定の状態では V_{ds} が変化する線形動作が実現している。また上位のスイッチほど電源電圧の傾きが小さく、線形動作期間が長いことがわかる。各スイッチの V_{ds} は並列接続される LED の順方向電圧でクランプされるため、100 V 入力、9 段バイパスの場合は最大 12.5 V に制限される。従って電源電圧の波高値よりも低い耐圧の素子を使用できる。また、電流源の印加電圧は最大 15 V となるが、この値は 2.3 節で述べたように入力電圧変動の影響を直接受けるため、電源電圧が過電圧の状態を想定した耐圧が必要となる。

図 20 に 5 列と 10 列構成の入力電流高調波スペクトラムを示す。特に大きい成分は、5 列では 3 次 8.8%および 9 次 2.3%、10 列では 5 次 4.4%が含まれる。5 列の 3 次成分は電流波形の頂点凸部分、10 列の 5 次成分は頂点の平坦部分に起因すると考えている。

以上の結果より、5 列 4 段構成でも入力力率改善効果や小型化の効果は得られるが、電流バイパス段数が多い 10 列 9 段構成の方が入力電流ひずみ率が低く、変換効率も高いことを確認した。段数が多くなると LED の部品点数が増加するので、コストとのトレードオフはあるが、入力電流高調波と効率の点で高い性能を得られる。

5. まとめ

本論文では、大型な受動部品と高周波スイッチング動作

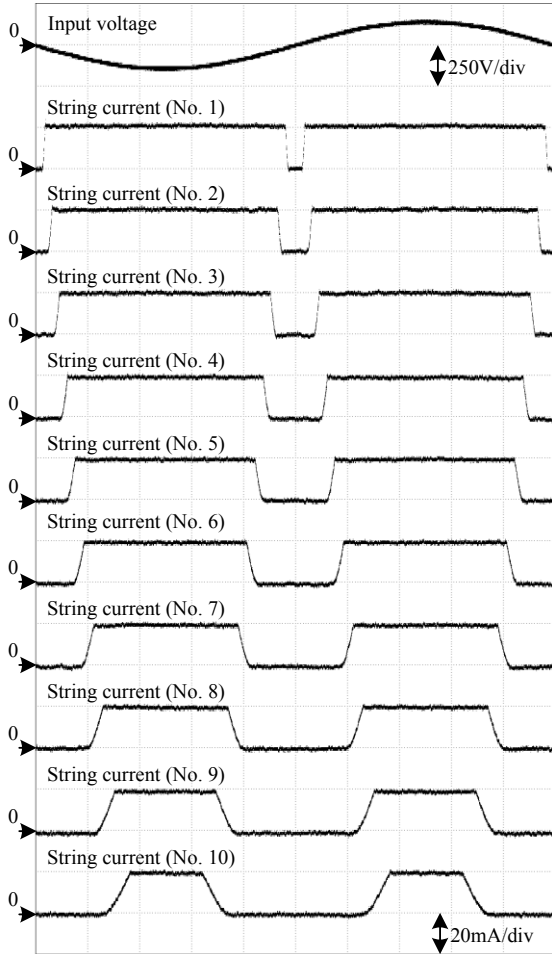


Fig. 18. String current waveforms. (10 strings)

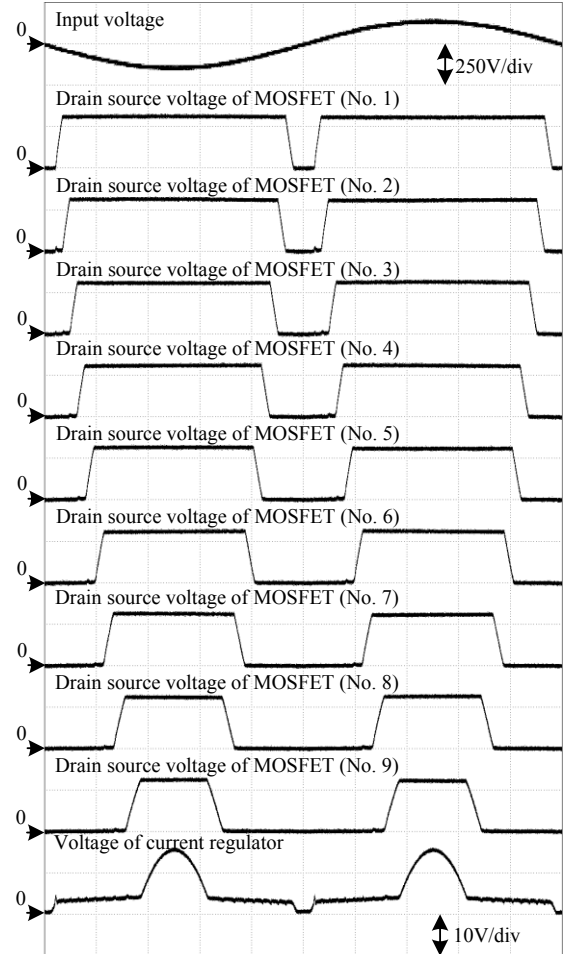


Fig. 19. Experimental results of V_{ds} and V_m . (10 strings)

を用いずに、高力率かつ高効率な動作を実現する、交流 LED 駆動回路を提案した。提案回路は非線形負荷である LED を抵抗負荷に近づけることで、高力率動作を実現する。また、電流バイパス回路を多段直列接続することで、線形動作領域の損失を低く抑えられる。シミュレーションによる損失解析の結果、10 列構成時に効率 91.6%が得られることを確認した。また効率的な設計作業を実現するため、回路パラメータを用いた損失の近似計算式を導出した。さらに、実験結果より入力力率 0.999, 入力電流ひずみ率 5.1%を確認した。

提案回路は部品点数が多いものの、大型の受動部品を使用しないため、降圧チョップ回路を使用する市販品と比較して部品体積を 83%低減できる。さらに、電流バイパス回路に使用する MOSFET のゲート駆動回路が単純であり、素子耐圧も低いため、駆動回路の IC 化が可能と考えられる。従って、さらなる実装コスト低減と、小型化が期待できる。

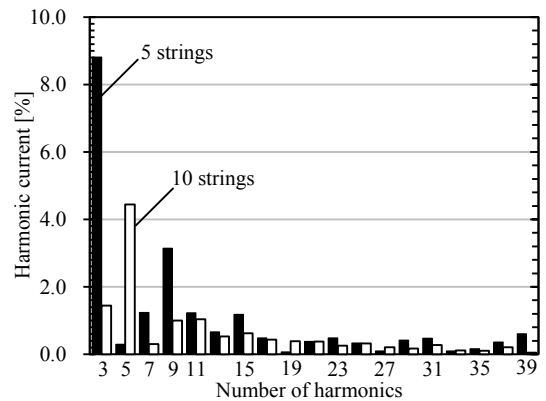


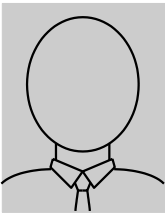
Fig. 20. Input current harmonics.

文 献

- (1) Bessho Makoto, Shimizu Keiichi: "Trends in LED Lighting and Toshiba's approach", Toshiba review, Vol. 65, No. 7 pp. 2-7 (2010)
別所誠, 清水恵一: 「LED 照明の動向と展開」, 東芝レビュー, Vol.65, No.7 pp. 2-7 (2010)
- (2) M. S. Shur and A. Zukauskas, "Solid-state lighting: Toward superior illumination," Proceedings of the IEEE, Vol. 93, No. 10, pp. 1691-1703, Oct. 2005.
- (3) H. Broeck, G. Sauerlander, and M. Vendt, "Power driver topologies and control schemes for LEDs," IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1319-1325, 2007.
- (4) Takashi Kunimatsu, Keita Kawabe, Toshifumi Ishida: "Development of Driver IPD for LED Lighting", Panasonic Technical Journal, Vol. 58, No. 1, pp. 18-23 (2012)
國松崇, 川邊桂太, 石田敏文: 「LED 照明駆動用 IPD の開発」, パナソニック技報, Vol. 58, No. 1 pp. 18-23 (2012)
- (5) B. Wang, X. Ruan, K.Yao, and M.Xu "A Method of Reducing the Peak-to-Average Ratio of LED Current for Electrolytic Capacitor-Less AC-DC Drivers," IEEE Transactions on Power Electronics, vol. 25, no. 3, pp. 592-601, Mar. 2010.
- (6) Hideaki Fujita, "A High-Efficiency Diode-Clamped Linear Amplifier", The transactions of the Institute of Electrical Engineers of Japan. D A publication of Industry Applications Society, Vol. 127, No. 1 pp. 9-16 (2007)
藤田英明: 「ダイオードクランプ回路を用いた高効率線形増幅回路」, 電気学会論文誌 D, Vol. 127, No. 1, pp. 9-16, (2007)
- (7) R. Dayal, K. Modepalli, L. Parsa "A direct AC LED driver with high power factor without the use of passive components," IEEE Energy Conversion Congress and Exposition (ECCE), pp. 4230-4234, 2012.
- (8) 加藤充考, 宮澤航, 館野康晴, 「LED 駆動回路および LED 駆動方法」 公開特許公報(A), 特開 2007-123562 (2007.5.17).
- (9) "Sequential Linear LED Driver CL8800," Supertex inc. , DSFP-CL8800, 2012, Available: <http://www.supertex.com>
- (10) S. Lynch, B. Choy, K. C, "MULTIPLE STAGE SEQUENTIAL CURRENT REGULATOR," International Patent, WO 2012/142495 A1, 18 Oct. 2012.
- (11) 鄭 清奇, 簡 文祥, 「交流発光ダイオード回路」 公開特許公報 (A), 特開 2010-272838 (2010.12.2).

野 下 裕 市

(学生員) 1987年1月7日生まれ。2009年3月長岡技術科学大学卒業。2011年3月同大学大学院工学研究科修士課程電気電子情報工学専攻卒業。同年4月より同大学大学院工学研究科博士課程エネルギー環境工学専攻に在学。主に電力変換回路に関する研究に従事。IEEE 会員。



伊 東 淳 一

(正員) 1972年1月6日生まれ。1996年3月、長岡技術科学大学大学院工学研究科修士課程修了。同年4月、富士電機(株)入社。2004年4月、長岡技術科学大学電気系准教授。現在に至る。主に電力変換回路、電動機制御の研究に従事。博士(工学)(長岡技術科学大学)。2007年第63回電気学術振興賞進歩賞受賞。2010年Takahashi Isao Award (IPEC Sapporo), 第58回電気科学技術奨励賞, 2012年インテリジェントコスモス奨励賞, 2013 ECCE-Asia Third Paper Prize, 受賞。IEEE, 自動車技術会会員。

