論 文

絶縁形DC-DCコンバータの整流回路のサージ電圧の 発生原理とスナバ回路の設計法

学生員 折川 幸司* 正員 伊東 淳一*

Principle of Surge Voltage of a Rectifier in Isolated DC-DC Converters and Snubber Circuit Design Method

Koji Orikawa*, Student Member, Jun-ichi Itoh*, Member

(2012年6月18日受付, 2012年9月20日再受付)

This paper clarifies the principle of the surge voltage of a rectifier diode that is connected to a transformer in an isolated power converter. It is confirmed that the theoretical vibrational frequency of the diode voltage in the equivalent circuit is in agreement with the experimental result. In addition, the design method of the RC snubber circuit is discussed by using the equivalent circuit consisting of a transformer, a snubber circuit, and a diode. Finally, the validity of the design method is confirmed by the experimental results.

キーワード:絶縁形 DC-DC コンバータ, 整流ダイオード, サージ電圧, スナバ回路 **Keywords:** isolated DC-DC converters, rectifier diode, surge voltage, snubber circuit

1. はじめに

近年, SiC や GaN などの次世代デバイスの登場により, 電力変換回路の高周波化が急速に進んでおり,高効率・高 密度実装の研究が盛んに行われている^{(1)~(5)}。次世代デバイ スは高速スイッチングが可能であるため,受動素子の小型 化・低損失化を実現できる。しかし,半導体素子の高速ス イッチングにより発生するサージ電圧が特に問題となる。 サージ電圧は,素子への過電圧および高周波ノイズを引き 起こし,半導体素子の破壊,誤動作を招く恐れがある。

これらのスイッチのサージ電圧は、スイッチのターンオ フ時にスイッチ直近の配線インダクタンスに流れていた電 流が電流経路を失うこと、還流ダイオードや寄生ダイオー ドのリカバリが原因である。これらによるサージ電圧を抑 制するために、これまでに種々のスナバ回路が提案されて いる^{(の-(9)}。

一方,回路の電気的絶縁や電圧変換の容易さからトランス を用いた絶縁形電力変換器が盛んに研究されている^{(10)~(12)}。 絶縁形電力変換器では,一般に,トランスの後段には整流 ダイオードが接続される。このダイオードには,トランス の漏れインダクタンスおよびダイオードのリカバリ現象に

* 長岡技術科学大学 〒 940-2188 長岡市上富岡町 1603-1 Nagaoka University of Technology 1603-1, Kamitomioka, Nagaoka 940-2188, Japan よってターンオフ時にサージ電圧が発生することが知られ ている。しかし、これまで具体的にダイオードのサージ電 圧について、それらの関係に注目しスナバ回路について定量 的に解析を行った文献は、著者らの知る限り少ない^{(13)~(15)}。 そのため、現状は設計者の経験に基づいて設計されること が多く、特に SiC や GaN などの次世代スイッチングデバ イスを適用したとき、これまでの経験が通用するかは不明 瞭である。

本論文では,絶縁形 DC-DC コンバータにおける整流ダ イオードのサージ電圧の発生原理とスナバ回路の設計法を 明らかにする。まず,サージ電圧の発生原理について等価 回路を導出し,それを元に解析し,サージ電圧の理論式を導 出する。次に,従来からよく用いられているダイオード個 別のスナバに代わるトランス二次側に接続する RC スナバ を提案し,その設計方法について述べる。具体的には,ト ランスと RC スナバ回路から構成される回路を用いた解析 を行い,サージ電圧およびスナバ損失とスナバ回路のパラ メータを明確にする。最後に実機実験を行い,提案する設 計法を適用したスナバ回路で所望のサージ電圧に抑制でき ることを確認したので報告する。

2. ダイオードのサージ電圧の発生原理

Fig.1に本論文で取り扱う絶縁形フルブリッジ DC-DC コ ンバータを示す。回路は、インバータ、トランス、ダイオー ド整流器および抵抗負荷から構成される。インバータは方



Fig. 1. Full bridge isolated DC-DC converter.

形波駆動とする。この回路について,等価回路を検討し, サージ電圧の発生メカニズムを明らかにする。

〈2・1〉 等価回路 Fig.2(a), (b) にFig.1のトランス の二次側の等価回路を示し, Fig.2(c), (d) にダイオード電 圧,電流波形を示す。本論文では実際のダイオードを,理 想ダイオード,オン抵抗 R_{Don} ,オフ抵抗 R_{Doff} ,順方向電圧 V_F および寄生容量 C で模擬する。また, R はトランスの 巻線抵抗, L はトランスの漏れインダクタンスである。ト ランス一次側の巻線抵抗および漏れインダクタンスは二次 側に換算している。出力側には平滑リアクトル L_{out} が接続 されるため,負荷を直流電流源としている。

Fig. 2(a) の期間は、トランス一次側電圧 V_p が V_{in} から - V_{in} に変化した直後の過渡状態を示している。このとき、 トランスの漏れインダクタンス L があるので、トランス二 次側電流は急変できない。その結果、ダイオード D_1 の電 流も急変できない。したがって、ダイオード D_1 , D_3 の順 方向電流が同時に流れて、転流重なり期間が生じる。ダイ オード D_1 , D_3 の順方向電流の大きさが逆転すると、トラ ンス二次側電流の極性が変化する。

Fig. 2(b) は、転流重なり期間が終わり、ダイオード D₁ が ターンオフし、サージ電圧が発生する期間である。転流重 なり期間が終わり、ダイオード電圧 V_{D1} が順方向電圧 V_F 以上になると、出力電流は負荷の平滑インダクタンスによ り急変できないため、ダイオード D₁ の等価回路のオフ抵 抗 R_{Doff} および寄生容量 C に電流が流れる。このとき、寄 生容量 C に突入電流が流れる。これに伴い、漏れインダク タンス L に寄生容量 C との振動電流 i_L が流れ、逆起電圧 $v_L = L(di_L/dt)$ が漏れインダクタンス L に誘起される。こ の電圧が、ダイオード D₁ に印加され、サージ電圧となっ て現れる。したがって、漏れインダクタンス L がゼロの理 想トランスを用いた場合、サージ電圧は発生しない。

上述のサージ電圧の発生原理より,サージ電圧を抑制す るためには,漏れインダクタンスLをゼロにするか,流れ る電流の di_L/dt を減らし,逆起電圧 v_L を抑制すれば良い。 しかし,漏れインダクタンスLをゼロにすることは困難で あるため,サージ電圧を抑制するためには,ダイオードと 並列にエネルギーバッファ回路を接続するのが有効である。

〈2・2〉 サージ電圧の理論的解析 Fig. 3 は, Fig. 2(b) を簡易的に示した回路と電流を示している。出力電流を一 定の直流電流 *I*_{out} としているため, ターンオンするダイオー ド D₂ と D₃ には, 過渡的に *I*_{out} – *i*_{D1} の電流が流れる。こ



(a) Overlapping period in commutation







Fig. 2. Equivalent circuit of secondary part in Fig. 1.

の結果、トランス二次側には $I_{out} - 2i_{D1}$ の電流が流れる。 Fig.3からトランス二次側電圧 V_{se} とダイオード電流 $I_{D1}(s)$ の関係を求めると、(1)式となる。

$$I_{D1}(s) = \frac{1}{s} \frac{V_{se} - I_{out}(R + R_{Don})}{\left\{ (2R + R_{Don}) + 2Ls + \frac{R_{Doff}}{1 + sCR_{Doff}} \right\}}$$
....(1)

ここで, *s*:ラプラス演算子, *V_{se}*:トランス二次 側電圧, *I_{D1}(s)*:ダイオード電流, *I_{out}*:出力電流



Fig. 3. Simplified circuit of Fig. 2(b).

である。

$$v_{D1}(s) = \frac{R_{Doff}}{1 + sCR_{Doff}} I_{D1}(s) \dots (2)$$

(2)式に(1)式を代入し逆ラプラス変換すると、ダイオー
ド電圧 v_{D1}(t)が得られ、(3)式となる。

ここで, I_{st} : ターンオフ時のダイオード電流の定 常値, τ : ダイオード電圧の減衰時定数, ω_{vib} : 振 動角周波数である。また, I_{st} , τ , ω_{vib} は (4)~(6) 式で表される。 $I_{rt} = \frac{V_{se} - I_{out} (R + R_{Don})}{V_{se} + V_{Don}}$(4)



さらに、ダイオード電圧の振動周波数 f_{vib} は (6) 式の ω_{vib} を用いて (7) 式で表される。

以上より,ダイオード電圧の極大点がサージ電圧となる ので,(3)式を微分しゼロとなる時間を求め,(3)式に代入 することで,ダイオードのサージ電圧を求められる。この 結果,サージ電圧 v_{D1max}は(8)式で表される。

$$v_{D1\max} = I_{st}R_{Doff}\left(1 + e^{-\frac{i}{2f_{vib}}}\right) - V_F \cdots \cdots \cdots \cdots (8)$$

(8) 式より, トランスの巻線抵抗 *R*, 漏れインダクタンス *L*, ダイオードの寄生容量 *C*によって, (4)~(7) 式の定数が 変化するため, サージ電圧が変化することがわかる。

| Input Voltage Vin | 48 (V) |
|----------------------------------|---------------------|
| Output current Iout | 10 (A) |
| Output inductance Lout | 0.5 (mH) |
| Output capacitance Cout | 2200 (µF) |
| Switching frequency f_{sw} | 20 (kHz) |
| Winding resistance R | 53 (mΩ) |
| Leakage inductance L | 8.6 (µH) |
| Turn ratio n | $n = N_1/N_2 = 2.5$ |
| Parasitic capacitance C | 200 (pF) |
| On resistance R _{Don} | 0.086 (Ω) |
| Off resistance R _{Doff} | 1 (kΩ) |
| Forward voltage V_F | 0.86 (V) |

Table 1. Conditions of simulation circuit.







3. 各パラメータに対するサージ電圧の変化

各パラメータに対する (2) 式に示すダイオード電圧波形 と (8) 式に示すサージ電圧の変化を確認するために,トラ ンスの巻線抵抗 *R*,漏れインダクタンス *L*,ダイオードの 寄生容量 *C*を変化させたときの (2),(8) 式の計算結果を示 す。Table 1 に計算条件を示す。

〈3・1〉 巻線抵抗 R に対するサージ電圧の変化 Fig.4 (a) に巻線抵抗 R を変化させた場合のターンオフ時のダイ オード電圧の理論波形を, Fig.4(b) にサージ電圧の変化を 示す。Fig.4より, R が増加するとサージ電圧が減少するこ とを確認できる。これは, R による電圧降下が増加するた めである。なお, 自明であるが, R によってダイオード電 圧の振動周波数はほぼ変化しない。

〈3・2〉 漏れインダクタンスLに対するサージ電圧の変化 Fig. 5(a) に漏れインダクタンスLを変化させた場合 のダイオード電圧の理論波形を,Fig. 5(b) にサージ電圧の 変化を示す。Fig. 5 より,Lが増加するとサージ電圧の振動 周波数は低下し,サージ電圧は減少することを確認できる。 サージ電圧が減少する原因は次の通りである。Lの増加に



Fig. 5. Voltage waveforms and the surge voltage (L is variable).

よって、LC 直列回路のインピーダンスが増加する。その 結果、C の突入電流が減少し、サージ電圧が減少する。こ れは、L の増加によって、(5) 式に示すダイオード電圧の減 衰時定数 τ および (7) 式に示すダイオード電圧の振動周波 数 f_{vib} が変化し、(8) 式の指数関数のべき乗部分が減少する ことを意味する。これに伴い、漏れインダクタンス L を流 れる電流の di_L/dt が減少し、逆起電圧 v_L が減少する。こ の結果、サージ電圧が減少する。

(3・3) ダイオードの寄生容量 Cに対するサージ電圧の 変化 Fig. 6(a) にダイオードの寄生容量 C が変化した場 合のダイオード電圧の理論波形を, Fig. 6(b) にサージ電圧 の変化を示す。Fig. 6 より, C が増加するとサージ電圧の 振動周波数は低下し, サージ電圧が増加する。この原因は, Cの増加によって, LC 直列回路のインピーダンスが減少 するためである。この結果, Cの突入電流が増加する。こ れに伴い,漏れインダクタンス Lを流れる電流の di_L/dt が 増加し, 逆起電圧 v_L が増加する。この結果, サージ電圧が 増加する。

4. 実機実験によるサージ電圧の確認

前章で述べた理論の妥当性を確認するため、トランスの 漏れインダクタンス *L*,ダイオードの寄生容量 *C*を変化さ せたときのサージ電圧を実測し、理論と比較する。実験条 件はシミュレーション条件と同じであり、回路パラメータ は Table 1 に示す通りである。

〈4・1〉 漏れインダクタンスLに対するサージ電圧の変化 ここでは、巻線の抵抗値が等しくインダクタンスが 異なる空芯リアクトルを製作し、トランス二次側に直列接 続する。この方法では、巻線抵抗Rによるダンピング効果 を等しくできるため、漏れインダクタンスがダイオード電 圧に与える影響のみを測定できる。Fig.7(a)にR=53 mΩ、



Fig. 6. Voltage waveforms and the surge voltage (*C* is variable).

 $L = 8.6 \mu$ H, C = 200 pF のときのトランス一次側電圧, ダ イオード電流,電圧の波形を示す。

Fig.7(a)より,トランス一次側電圧の極性が変化した後, 転流重なり期間が発生し,その後サージ電圧が発生してい ることを確認できる。

Fig. 7(b), (c) に R, C を一定とし L を変化させたときの ダイオード電流,電圧の波形を示す。Fig. 7 より, Lの増 加に伴いサージ電圧と振動周波数が減少することを確認で きる。

Fig.8にLを変化させたときのダイオード電圧の振動周 波数と、サージ電圧と定常値の比の理論値と実験結果を示 す。Lが増加すると、ダイオードの転流重なり期間が増加 し出力電流が低下する。

したがって、ここでは L の増加とともに、負荷抵抗を小さ くし出力電流を一定にしている。Fig. 8(a) より、振動周波数 は(7) 式の理論値と実験値が概ね一致することを確認した。 これより、サージ電圧の発生が、漏れインダクタンスと寄 生容量により生じていることが確認できた。また Fig. 8(b) より、サージ電圧と定常値の比の理論値と実験値の傾向は 一致することを確認した。

〈4・2〉 寄生容量*C*に対するサージ電圧の変化 本章 では,ダイオードに並列にコンデンサを追加して寄生容量 を変化させる。

Fig.9(a), (b) に R, Lを一定としCを変化させたときの ダイオード電流と電圧の波形を示す。Fig.9 より, Cの増 加に伴いサージ電圧と振動周波数が減少することを確認で きる。

Fig. 10 に C を変化させたときのダイオード電圧の振動 周波数と、ダイオードのサージ電圧と定常値の比の理論値 と実験結果を示す。Fig. 10(a) より、振動周波数の傾向は概 ね一致することを確認した。また Fig. 10(b) より、サージ



Fig. 7. Experimental result (L is variable).

電圧と定常値の比の理論値と実験値は若干異なる傾向を示 した。この理由は実機実験では、ダイオードに並列に接続 したコンデンサとその配線抵抗がスナバ回路として動作し、 理論とは異なりサージ電圧が抑制されているためと考えて いる。

以上の考察より, C に流れる突入電流を低減してサージ 電圧を小さくするためには,以下の条件が必要である。

- (1) 巻線抵抗 R が大きいこと
- (2) 漏れインダクタンスLが大きいこと
- (3) 寄生容量 *C* が小さいこと

しかし,銅損を低減するためにトランスの巻線抵抗は小 さく設計される。また,漏れインダクタンスを積極的に利 用する変換器を除いて,漏れインダクタンスは小さく設計さ れるのが一般的である。つまり,低損失かつ低漏れインダ クタンスのトランスの実現とサージ電圧の大きさはトレー ドオフの関係となる。一方,ダイオードの寄生容量は耐圧, 電流容量によって異なるため,常に寄生容量の小さいダイ オードを選定できるわけではない。



(b) Ratio of the surge voltage to the steady voltage as a function of the leakage inductance

Fig. 8. Theoretical value and experimental value of the surge voltage and the vibrational frequency (L is variable).



5. スナバ回路の設計方法

4章で述べたように、トランスの設計とダイオードの選 定によって寄生容量の突入電流を低減して、サージ電圧を 低減するには限界がある。そこで、寄生容量よりも容量の 大きいスナバコンデンサと抵抗からなるスナバ回路を接続 し、寄生容量に流れ込む突入電流をバイパスすることで、 サージ電圧を低減する。なお、スナバ回路の設計をするの



(b) Ratio of the surge voltage to the steady voltage as a function of the parasitic capacitance

に PSpice (Cadence Design Systems) が良く用いられる。 しかし,多くのデバイスのパラメータが必要となるうえ,シ ミュレーション時間も長い。それに加えて,スナバ回路の 最適な定数設計のためには,シミュレーションを何度も繰 り返す必要がある。一方,提案の設計法は,スナバ回路の 定数とスナバ損失を計算式によって設計,計算可能である ため,短時間でかつ効率を考慮したスナバ回路の設計がで きる。

本論文では、エネルギーバッファ回路として抵抗とコン デンサを直列に接続した RC スナバ回路をトランスの二次 側に接続することを検討する。一般にダイオード1つ1つ にRCスナバを用いる方法がある。このようなスナバをこ こでは、個別スナバと呼ぶ。しかし、個別スナバの問題点 は部品点数が増加することである。一方、トランス二次側 に一括に RC スナバ回路を接続する一括スナバ回路は個別 スナバと比べて, 部品点数が少なくて済む。一括スナバが 適用できる条件は、1)スナバの配線インダクタンスが漏れ インダクタンスよりも十分小さい,2)ダイオード整流器と スナバ回路間の配線インダクタンスが十分小さいなどであ る。なお、一括スナバと個別スナバは原理的に等価である ため,一括スナバ向けに設計したパラメータは,個別スナ バにも適用可能である。具体的には、同じサージ電圧に低 減するために必要な個別スナバのパラメータは,一括スナ バのスナバ抵抗 R_{sn} を 2 倍,スナバコンデンサ C_{sn} を 1/2 倍にすればよい。このとき,一括スナバの損失と個別スナ バの合計損失は等しい。

Fig. 11 にトランス二次側に一括スナバ回路が接続され たときの Fig. 3 の等価回路を示す。ダイオードのオフ抵抗 *R*_{Doff} はオン抵抗 *R*_{Don} よりも十分大きいとし、寄生容量は



Fig. 11. Equivalent circuit of the transformer with the RC snubber circuit.

スナバ回路に対してインピーダンスが大きいとし,それぞ れ無視する。また,トランスの巻線抵抗はスナバ抵抗と比 ベて十分小さいとし,スナバ回路の配線インダクタンスも 漏れインダクタンスよりも十分小さいとし,無視する。さ らに,スナバコンデンサの等価直列抵抗はスナバ抵抗に含 まれるとする。本論文では,Fig.11を基にスナバ回路の設 計を行う。具体的には,Fig.11の回路をトランスとスナバ 回路から構成される点線部分とそれを除くダイオードの等 価回路の2つに分離して,サージ電圧の設計値VD1snmaxを 導出する。まず,点線で囲まれた回路のステップ応答の最 大値を求め,それからダイオードの等価回路の電圧降下を 引いたものをサージ電圧の設計値VD1snmaxとする。

〈5・1〉 制動係数 ζ の設計 Fig. 11 の点線部分の伝達 関数は (9) 式で表される。

 $G(s) = (1 + sC_{sn}R_{sn}) \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \cdots (9)$ ここで、 ζ:制動係数、: ω_n :固有角周波数である。

次に, (9) 式のステップ入力に対する時間応答からステッ プ応答の最大値を求める。それからダイオードの等価回路の 電圧降下を引くことで, サージ電圧の設計値とする。サージ 電圧の設計値 $V_{D1snmax}$ を定常電圧 V_{st} で割った係数を (10) 式に示す。

$$\frac{V_{D1sn\max}}{V_{st}} = \frac{V_{se}}{V_{st}} \left(1 + e^{-k}\right) - \frac{(I_{out}R_{Don} + V_F)}{V_{st}} \cdots (10)$$

ここで、 V_{se} :トランス二次側電圧、 k :定数であ
る。 k は(11)式で表される。

 $k = \frac{\zeta}{\sqrt{1-\zeta^2}} \left[\tan^{-1} \left\{ \frac{\sqrt{1-\zeta^2} \left(1-4\zeta^2\right)}{\zeta \left(3-4\zeta^2\right)} \right\} - \tan^{-1} \left(\frac{\sqrt{1-\zeta^2}}{\zeta}\right) + \zeta \left(3-4\zeta^2\right) \right\} \right]$

(10) 式の第一項が,(9) 式の時間応答から導出される項, 第二項がダイオードの等価回路から導出される項である。 また,ダイオードの定常電圧 V_{st} は(3)式で $t \to \infty$ としたと きのダイオード電圧である。(10) 式より,出力電流および ダイオードのパラメータが既知であれば,制動係数によっ てサージ電圧が決定されることがわかる。

Fig. 12 に、制動係数 ζ と (10) 式で表されるダイオードの サージ電圧と定常電圧の比の関係を示す。Fig. 12 より、定

Fig. 10. Theoretical value and experimental value of the surge voltage and the vibrational frequency (C is variable).



Fig. 12. Designed value of ratio of the surge voltage to the steady voltage.

常電圧に対して任意の最大電圧となる制動係数 ζ を決定で きる。

〈5・2〉 スナバ定数 R_{sn} , C_{sn} の設計 (9) 式の, スナ バ抵抗 R_{sn} , スナバコンデンサ C_{sn} および制動係数 ζ の関係は (12) 式で表される。

(12) 式より,スナバコンデンサ*C*_{sn}を決定すればスナバ 抵抗*R*_{sn}を設計できる。しかし,2つの組み合わせは多数存 在する。そこで,本論文ではスナバコンデンサとダイオー ドの寄生容量とスナバ損失との関係から,スナバコンデン サを決定する。そして最後に,(12)式よりスナバ抵抗を設 計する。以下に設計の詳細を述べる。

スナバコンデンサ C_{sn} を小さくすると,(12)式よりスナ バ抵抗 R_{sn} は大きくなる。さらに,スナバコンデンサ C_{sn} がダイオードの寄生容量 C に近づくほど,スナバ回路のイ ンピーダンスが増加し,スナバ回路として動作しなくなり, サージ電圧を低減できない。

一方,スナバコンデンサ C_{sn}を大きくすると,(12)式よ りスナバ抵抗 R_{sn}は小さくなる。そして,スナバ回路のイ ンピーダンスが減少する。この結果,ダイオードのサージ 電圧は抑制されるものの,スナバ回路に流れる電流が増加 し,スナバ損失が増大する。したがって,スナバコンデン サはダイオードの寄生容量に応じて最適な値が存在する。

(13) 式に Fig. 11 の点線部分の回路のみを考慮したとき のスナバ損失 *P*_{sn} を示す。



ここで、 V_{se} :トランス二次側電圧、 ω_n :トランス 二次側電圧のn次角周波数、である。

このとき,
$$\omega_0$$
, R_0 は(14),(15)式で表される。
 $\omega_0 = \frac{1}{\sqrt{LC_{sn}}}$ (14)



Fig. 13. Flowchart for design of snubber circuit.

以上の結果より, Fig. 13 にスナバ回路の設計フローチャートを示す。スナバ回路の設計に必要なパラメータは、スナバ回路を接続して達成したいサージ電圧の設計値 $V_{D1snmax}$, 出力電流 I_{out} , ダイオードのオン抵抗 R_{Don} , 順方向電圧 V_F , 寄生容量C,漏れインダクタンスL,許容スナバ損失 P_{asn} である。まず、Fig. 12 より制動係数 ζ を決定する。次に、 ダイオードの寄生容量Cを基準に、スナバコンデンサの初期値を設定し、決定した制動係数 ζ を満足するスナバ抵抗 を(12)式より計算する。最後に、(13)式でスナバ損失 P_{sn} を計算し、許容スナバ損失 P_{asn} 以下であれば設計を終了する。スナバ損失 P_{sn} が許容スナバ損失 P_{asn} 以上であればス ナバコンデンサの容量を減らし、再びフローチャートに従う。なお、スナバコンデンサ C_{sn} の容量を減らしすぎると、 前述の通りスナバ回路として機能しなくなるため、サージ 電圧を低減できないので注意が必要である。

6. スナバ回路の動作確認

Fig. 14 に、制動係数を一定とし、ダイオードの寄生容量 とスナバコンデンサ容量の比を変えた場合のダイオード電 圧とスナバ電流を示す。Fig. 14 より、スナバコンデンサを 変えても制動係数をほぼ一定にしているため、サージ電圧 はほぼ等しくなる。また、スナバコンデンサが大きいほど スナバ電流が増加し、スナバ損失が増加することを確認で きる。以上より、実験結果と5章の等価回路による解析が 一致することを確認した。

Fig. 15(a) に、ダイオードの寄生容量とスナバコンデンサの比を変えた場合のダイオードのサージ電圧と定常値の比の設計値、シミュレーション値、実験値を示す。Fig. 15(b) に、(13) 式のスナバ損失の理論値と Fig. 2 の等価回路に一括ス



Fig. 14. Voltage and current waveforms of diode and the current waveform of snubber.

ナバ回路を接続してシミュレーションして求めたスナバ損 失, Fig. 14の実験により求めたスナバ損失を示す。Fig. 15 より,今回の条件では、スナバコンデンサ容量 C_{sn} をダイ オードの寄生容量Cの 10~30 倍程度に設計することで、 ダイオード電圧を設計値以下に抑制でき、かつスナバ損失 も小さいことを確認できる。

Fig. 15(b) より, (13) 式のスナバ損失の計算値がシミュ レーション値より大きいことを確認できる。これは, ダイ オードを理想として扱い(13) 式を導出した結果, シミュレー ションよりもスナバ電流が増加したためである。実験値は いずれも理論値を下回ることから, 言い換えれば, (13) 式を 用いてスナバ損失のワーストケースを計算できる。Fig. 16 に, スナバ回路を接続しないときと, Fig. 14, Fig. 15 の結 果より, スナバコンデンサ C_{sn} と寄生容量Cの比 C/C_{sn} を 3×10^{-2} 一定にして, 制動係数を変化させた一括スナバ回 路を用いた実験結果を示す。Fig. 16 より, 設計指針通り制 動係数が大きいほどダイオードのサージ電圧を小さく抑制 できることが確かめられる。





Fig. 15. Ratio of the surge voltage to the steady voltage and the snubber loss as a function of ratio of the parasitic capacitance to the snubber capacitance.

Fig. 17 に,サージ電圧と定常値の比の設計値と実験値を 示す。Fig. 17 より,設計値と実験値の傾向が一致し,制動 係数が小さいほど設計値よりも実験のサージ電圧の抑制効 果が大きいことを確認できる。このことは次のように説明 できる。まず,スナバ回路の制動係数が小さくなると,ス ナバ回路によるサージ電圧抑制効果が低くなる。この結果, 理論計算では考慮しきれない回路中の抵抗成分によるサー ジ電圧抑制効果がスナバ回路によるサージ電圧抑制効果に 対して無視できなくなる。よって,制動係数が小さくなる と,実験結果のサージ電圧の抑制効果が理論計算よりもよ り高くなる傾向になる。

7. まとめ

本論文では,絶縁形 DC-DC コンバータの整流ダイオー ドにおけるサージ電圧の発生原理とスナバ回路の設計法を 明らかにすることを目的として,等価回路による解析を行 い,サージ電圧の理論式を導出した。また,従来からよく 用いられているダイオード個別スナバに代わるトランス二 次側に接続する一括 RC スナバ回路を提案し,その設計方 法について述べた。具体的には,トランスとスナバ回路か ら構成される回路を用いて,ダイオードの寄生容量とスナ バ損失に着目した解析を行い,最適なスナバ定数を設計す るフローチャートを明らかにした。

実機実験では、スナバ回路を用いない場合のダイオード



Fig. 16. Voltage waveforms of the diode with and without the snubber.

電圧の振動周波数およびサージ電圧の大きさが理論値と実 験値とで概ね一致することを確認した。この結果,低損失 かつ低漏れインダクタンスのトランスの実現とサージ電圧 の大きさはトレードオフの関係であることを確認した。ま た,スナバコンデンサの最適値を寄生容量とスナバ損失と の関係から明らかにした。その結果,今回の条件では,ス ナバコンデンサは寄生容量の10~30倍程度を目安として 設計すればよいことを確認した。以上より,提案する設計 法を用いて,スナバ損失を抑制しつつ,所望のサージ電圧



Fig. 17. Ratio of the surge voltage to the steady voltage.

に低減できることを確認した。したがって,等価回路によるサージ電圧の理論解析および提案するスナバ回路の設計 法の妥当性を確認した。

文 献

- J. Kondoh, T. Yatsuo, I. Ishii, and K. Arai: "Estimation of Converters with SiC Devices for Distribution Networks", *IEEJ Trans. IA*, Vol.126, No.4, pp.480–488 (2006)
- (2) J. Biela, D. Aggeler, S. Inoue, H. Akagi, and J.W. Kolar: "Bi-Directional Isolated DC-DC Converter for Nexr-Generation Power Distribution-Comparison of Converters Using Si and SiC Devices", *IEEJ Trans. IA*, Vol.128, No.7, pp.901–909 (2008)
- (3) T. Friedli, S.D. Round, D. Hassler, and J.W. Kolar: "Design and Performance of a 200-kHz All-SiC JFET Current DC-link Back-to-Back Converter", *IEEE Trans. Industry Applications*, Vol.45, No.5, pp.1868–1878 (2009)
- (4) R. Simanjorang, H. Yamaguchi, H. Ohashi, T. Takeda, M. Yamazaki, and H. Murai: "A High Output Power Density 400/400 V Isolated DC/DC Con-

verter with Hybrid Pair of SJ-MOSFET and SiC-SBD for Power Supply of Data Center". Applied Power Electronics Conference and Exposition (APEC) 2010, pp.648-653 (2010)

- (5) J. Biela, M. Schweizer, S. Waffler, and J.W. Kolar: "SiC versus Si-Evaluation of Potentials for Performance Improvement of Inverter and DC-DC Converter Systems by SiC Power Semiconductors", IEEE Trans. Industry Applications, Vol.58, No.7, pp.2872-2882 (2011)
- (6) P. Meng, X. Wu, J. Yang, H. Chen, and Z. Qian: "Analysis and design consideration for EMI and losses of RCD snubber in flyback converter", Applied Power Electronics Conference and Exposition, 2010, pp.642-647 (2010)
- (7) A. Abramovitz, C. Tang, and K. Smedley: "Analysis and Design of Forward Converter With Energy Regenerative Snubber", IEEE Transaction on Power Electronics, Vol.25, No.3, pp.667-676 (2010)
- (8) J. Bauman and M. Kazerani: "A Novel Capacitor-Switched Regenerative Snubber for DC/DC Boost Converters", IEEE Trans. Industry Applications, Vol.58, No.2, pp.514-523 (2011)
- (9) J.-J. Yun, H.-J. Choe, Y.-H. Hwang, Y.-K. Park, and B. Kang: "Improvement of Power-Conversion Efficiency of a DC-DC Boost Converter Using a Passive Snubber Circuit", IEEE Trans. Industry Applications, Vol.59, No.4, pp.1808-1814 (2012)
- (10) R. Simanjorang, H. Yamaguchi, H. Ohashi, K. Nakano, T. Ninomiya, S. Abe, M. Kaga, and A. Fukui: "High-Efficiency High-Power dc-dc Converter for Energy and Space Saving of Power-Supply System in a Data Center", Applied Power Electronics Conference and Exposition (APEC) 2011, pp.600-605 (2011)
- (11) J.-Y. Lee, Y.-S. Jeong, and B.-M. Han: "An Isolated DC/.DC Converter Using High-Frequency Unregulated LLC Resonant Converter for Fuel Cell Applications", IEEE Trans. Industry Applications, Vol.58, No.7, pp.2926-2964 (2011)
- (12) R. Simanjorang, H. Yamaguchi, H. Ohashi, T. Takeda, M. Yamazaki, and H. Murai: "Low Cost Transformer Isolated Boost Half-bridge Microinverter for Single-phase Grid-connected Photovoltaic System", Applied Power Electronics Conference and Exposition (APEC) 2010, pp.648-653 (2010)
- (13) M. Hirokawa and T. Ninomiya: "Non-Dissipative Snubber for Rectifying Diodes in a High-Power DC-DC Converter", IEEJ Trans. IA, Vol.125, No.4, pp.366-371 (2005) (in Japanese) 広川正彦・二宮 保:「大容量 DC-DC コンバータの出力整流ダイオー

ドにおける無損失スナバの提案」, 電学論 D, Vol.125, No.4, pp.366-371 (2005)

- (14) D. Yoshitomi, J. Itoh, and K. Hirachi: "Relationship between Leakage Inductance and Surge Voltage on Isolated DC-DC Converter", Japan Institute of Power Electronics, JIPE-37-3 (2011) (in Japanese) 吉富大祐・伊東淳一・平地克也:「絶縁型 DC-DC コンバータにおけ る漏れインダクタンスとサージ電圧の関係について」,パワーエレク トロニクス学会, JIPE-37-3 (2011)
- (15) M. Cacciato and A. Consoli: "New Regenerative Active Snubber Circuit for ZVS Phase Shift Full Bridge Converter", Applied Power Electronics Conference and Exposition (APEC) 2011, pp.1507-1511 (2011)



折 川 幸 司 (学生員) 1985年4月12日生。2010年3月長 岡技術科学大学院工学研究科修士課程電気電子情 報工学専攻修了。同年4月同大学大学院工学研究 科博士後期課程エネルギー・環境工学専攻に進学。 主に電力変換回路に関する研究に従事。



東 淳 一(正員) 1972 年 1 月 6 日生。1996 年 3 月長岡技 術科学大学大学院工学研究科修士課程修了。同年 4月,富士電機(株)入社。2004年4月長岡技術 科学大学電気系准教授。現在に至る。主に電力変 換回路, 電動機制御の研究に従事。博士(工学) (長岡技術科学大学)。2007年第63回電気学術振 興賞進歩賞受賞。IEEE 会員。