

# 一般化されたマルチレベル方式を用いたマルチレベルトポロジーに 発生する損失の一般化に関する一考察

檜原 有吾\* 伊東 淳一 (長岡技術科学大学)

A consideration about the generalization for the power loss of the multilevel topology  
based on generalized multilevel topology

Yugo Kashihara\*, Jun-ichi Itoh, (Nagaoka University of Technology)

This paper discusses a consideration about the generalization for the power loss calculation method of the multilevel topology based on generalized multilevel topology. The power losses of the three three-level inverter topologies are calculated based on the power loss calculation method of the generalized multilevel topology. Thus, the calculated power loss of the three-level DC topology is compared by experimental verification.

キーワード：マルチレベル変換器，インバータ，損失解析  
(Multilevel converter, Inverter, Loss analysis)

## 1. はじめに

近年，様々なマルチレベル変換器の回路トポロジーが提案，検討されている<sup>(1)-(5)</sup>。マルチレベル変換器は，従来の2レベルの電力変換器と比較すると，①レベル数  $n$  に対しスイッチング素子の耐圧を  $n-1$  分の  $1$  に低減できること，②複数レベルの電圧を出力するので出力電圧の高調波を低減できることが利点としてあげられる。これらの利点から，低耐圧で低オン電圧，もしくは低オン抵抗の半導体素子を使用できるため，高効率な電力変換器を構成できる。そのため，マルチレベル変換器は高圧大容量化技術だけでなく高効率化技術として注目されている。

マルチレベル変換器はレベル数に比例して回路内の半導体素子数が多くなり，回路構成が複雑化する。しかしながら，その反面，素子数に比例してスイッチの冗長性も高くなり，レベルごとに様々な回路構成が提案されている<sup>(1)-(7)</sup>。

図1に一般化されたマルチレベル方式(以下GM方式)の回路図を示す。先行研究において，マルチレベルトポロジーは一般化されており，全てのマルチレベルトポロジーはGM方式から回路中の素子を追加，変更，もしくは削除することで派生できる<sup>(1)</sup>。これは，全てのマルチレベルトポロジーの中でGM方式がスイッチの冗長性が最も高いため

である。一方で，これまで提案されてきたマルチレベルトポロジーは，それぞれに固有の出力電圧パターンがある<sup>(2)-(7)</sup>。これまでに著者らは，複数のマルチレベルトポロジーに発生する損失について解析を行ってきた<sup>(8),(9)</sup>。しかしながら，これらの方法は，トポロジーごとの検討であり，別のトポロジーとの比較は難しい。そこで，本論文では，GM方式を用いてマルチレベル変換器に発生する損失の一般化を目的として検討を行う。これによって，各マルチレベルトポロジーのスイッチングテーブルを与えるだけで全てのマルチレベルトポロジーの半導体素子に発生する損失を簡単に求めることができる。

本論文では，まず3レベルのGM方式を用いて3つの代表的なマルチレベル方式(ダイオードクランプ方式，フライイングキャパシタ方式，アクティブ中性点クランプ方式)の動作をGM方式のスイッチングパターンを用いて模擬する。ここで，3つの方式のレベル数は3として検討する。そして，GM方式の損失計算式を用いて各方式の損失計算式を導出する。最後に導出した各損失計算式の妥当性をシミュレーションと実機実験により確認し，損失計算式の一般化に対する考察を行う。

## 2. マルチレベルトポロジーと回路動作

### 〈2.1〉一般化されたマルチレベル方式

図1にGM方式の回路を、図2にBasic P2 Cell回路を示す<sup>(1)</sup>。GM方式は、2つの半導体素子と1つのキャパシタから構成されたBasic P2 Cell回路を多段化して構成される。このBasic P2 Cell回路を複数使用して多段化することで簡単にレベル数を高くすることができる。そしてGM方式は、キャパシタ  $C_1$  の電位をクランプスイッチ  $S_{C1}$ 、 $S_{C2}$  によってクランプしており、このフライングキャパシタの電位と直流平滑キャパシタの電位を加減算することで階段状の電圧を出力する。ここで、GM方式はキャパシタの電位を一定にバランスさせるためにクランプスイッチによって、負荷電流とは別に横流が発生する<sup>(1)</sup>。GM方式において、回路を構成する半導体素子やキャパシタ素子を変更、削除することでさまざまなマルチレベル方式に派生することができる。

### 〈2.2〉ダイオードクランプ方式

図3に3レベルダイオードクランプ方式(以下DC方式)の回路図を示す<sup>(2)</sup>。DC方式はGM方式を基準に  $C_1$  を削除し、 $S_{C1}$ 、 $S_{C2}$  をそれぞれダイオードに置き換えることで派生できる。そして、ダイオードによってクランプされた直流中性点電位をスイッチによって選択することで階段状の電圧を出力する。この方式は、産業界で実用化されており、中電圧のアプリケーションに広く用いられている。

### 〈2.3〉フライングキャパシタ方式

図4に3レベルフライングキャパシタ方式(以下FC方式)の回路図を示す<sup>(3)</sup>。FC方式は、GM方式を基準に  $S_{C1}$ 、 $S_{C2}$  を削除することで派生できる。そして、FC方式は直流中性点の電位とフライングキャパシタの浮遊電位をスイッチングによって加減算することで階段状の電圧を出力する。この方式は、Basic P2 Cell回路を並列に接続するだけで簡単に多レベル化することができるため集積化が容易である。

### 〈2.4〉アクティブ中性点クランプ方式

図5に、3レベルアクティブ中性点クランプ方式(以下ANPC方式)を示す<sup>(4)</sup>。ANPC方式はGM方式を基準に  $C_1$  を削除することで派生できる。この方式はスイッチによってクランプされた直流中性点電位を用いて階段状の電圧を出力している。この回路は2つのスイッチング周波数を有しており、それぞれ2つのCellに分けることができる<sup>(2)</sup>。Cell 1は出力周波数と同じ周波数でスイッチが駆動するのに対し、Cell 2はキャリア周波数でスイッチが駆動するため、スイッチング損失が小さく他の方式よりも高効率である。

## 3. マルチレベルトポロジーの損失計算法

### 〈3.1〉半導体素子の損失計算法

2章で述べたマルチレベル方式の半導体素子に発生する損失の計算法について説明する<sup>(8)(9)</sup>。電力損失は以下の条件で計算を行う。

- 1)負荷電流リップルは無視できる(電流源負荷とみなす)
- 2)キャパシタのリップル電圧は無視できる(直流電圧源とみ

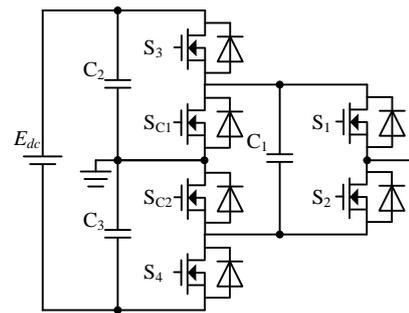


Fig.1. Single leg three-level generalized multilevel converter.

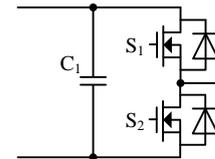


Fig.2. Basic P2 cell circuit.

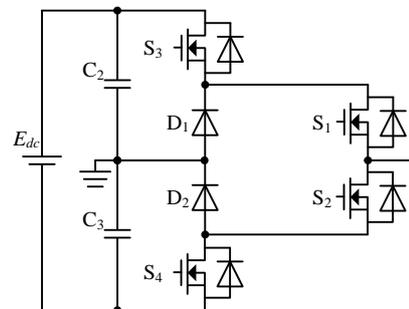


Fig.3. Single leg three-level diode clamp converter.

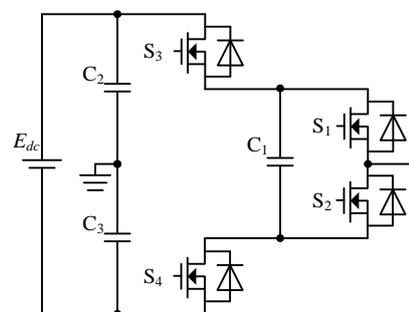


Fig.4. Single leg three-level flying capacitor converter.

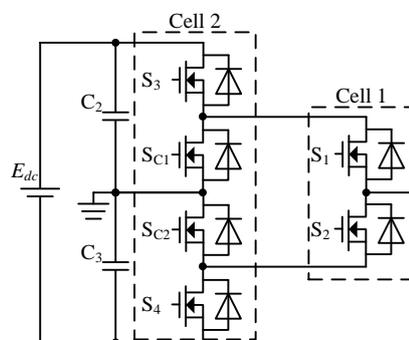


Fig.5. Single leg three-level active neutral-point-clamp converter.

なす)

半導体素子に発生する損失  $P_{sw}$  は導通損失とスイッチング損失, ダイオードに発生する損失  $P_D$  は導通損失とリカバリ損失とし, それぞれ(1)~(2)式で得られる。

$$P_{sw} = P_{con\_sw} + P_{switch} \dots\dots\dots (1)$$

$$P_D = P_{con\_D} + P_{rec} \dots\dots\dots (2)$$

ここで,  $P_{con\_sw}$  は半導体素子に発生する導通損失(W),  $P_{switch}$  は半導体素子に発生するスイッチング損失(W),  $P_{con\_D}$  はダイオードに発生する導通損失(W),  $P_{rec}$  はダイオードに発生するリカバリ損失(W)である。

導通損失はスイッチ(IGBT, MOSFET)側と環流ダイオード(FWD)側に発生する損失に分けて考えることができる。ここで, 素子に流れる正の電流はすべてスイッチ側に, 負の電流はすべて FWD 側に流れると仮定する。また, MOSFET の場合, オン抵抗が小さければスイッチ側に正負両方に電流が流れる。しかし, FWD のオン電圧特性を MOSFET と同一に設定することで損失は計算できる。スイッチの導通損失の平均値  $P_{con}$  は, スwitchのオン電圧とスイッチに流れる電流から導出することができ, それぞれ(3), (4)式にて表せる。

$$P_{con} = \frac{1}{2\pi} \int_{\alpha}^{\beta} v_{on} i_{sw} dx \dots\dots\dots (3)$$

$$v_{on} = r_{on} I + v_0 \dots\dots\dots (4)$$

$$I_{sw} = \lambda I_m \sin(\theta + \phi) \dots\dots\dots (5)$$

ここで,  $v_{on}$  はスイッチのオン電圧(V),  $i_{sw}$  は素子に流れる電流(A),  $\alpha$  と  $\beta$  は電流の流れている期間,  $r_{on}$  はスイッチのオン抵抗( $\Omega$ ),  $v_0$  は 0 A の時のオン電圧降下(V),  $\lambda$  は変調波,  $\theta$  は位相,  $\phi$  は負荷力率角である。ここで, オン電圧は IGBT を想定し, PN 接合による電圧降下と抵抗分にある電圧降下として(4)式にて表現しているが, MOSFET は抵抗特性であるため(4)式において  $v_0=0$  とすれば表現できる。

次に, 出力周波数 1 周期あたりのスイッチング損失とリカバリ損失は, スwitching周波数と素子に印加される電圧と電流から(6)式と(7)式で導出できる。

$$P_{switch} = \frac{1}{n-1} \frac{E_{dc}}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \frac{1}{2\pi} \int_x^y I_m \sin(\theta + \phi) d\theta \dots\dots\dots (6)$$

$$P_{rec} = \frac{1}{n-1} \frac{E_{dc}}{E_{dcd} I_{md}} e_{rr} f_c \frac{1}{2\pi} \int_x^y I_m \sin(\theta + \phi) d\theta \dots\dots\dots (7)$$

ここで,  $E_{dc}$  は直流リンク電圧,  $e_{on}$  はスイッチング 1 回のターンオン損失,  $e_{off}$  はスイッチング 1 回のターンオフ損失,  $e_{rr}$  はリカバリ 1 回のリカバリ損失,  $E_{dcd}$  及び  $I_{md}$  はデータシート上のターンオン損失, ターンオフ損失, リカバリ損失の測定条件時の電圧と電流,  $f_c$  はキャリア周波数である。

〈3・2〉一般化されたマルチレベル方式の損失計算法

表 1 に 3 レベル GM 方式のスイッチングパターンを, 図 6 に GM 方式の出力波形と各スイッチに流れる電流波形を示す。本節では 3.1 節で述べた損失計算法に基づいて GM 式の半導体素子に発生する損失を導出する。表 1 及び図 6 より, GM 方式は  $S_1$ - $S_4$  のスイッチが出力電圧指令値 1 周期に対して PWM 駆動する<sup>(1)</sup>。そのため  $S_1$ - $S_4$  の半導体素子に発生す

る損失は同じである。ここで, クランプスイッチ  $S_{C1}$ ,  $S_{C2}$  は  $S_3$ ,  $S_4$  と同じスイッチングパターンで駆動する。しかしながらクランプスイッチは任意の電圧を出力するのではなくキャパシタ  $C_1$  の電位をバランスさせる。そのため, 負荷電流とは別にキャリア周期で  $C_1$  の電圧を充放電させるための横流が発生する。参考文献(1)より, 横流によって発生する損失は負荷電力に対して 1%以下であるため, 本論文では横流による損失を無視できると仮定して検討する。

GM 方式を位相が異なる複数のキャリアを用いた位相シフト変調方式で動作させるとすると, GM 方式の変調波  $\lambda$  は(8)式で得られる。

$$\lambda = a \sin \theta \dots\dots\dots (8)$$

ここで,  $a$  は変調率である。

GM 方式の半導体素子 1 つのスイッチ側に発生する導通損失  $P_{GM\_con\_Sw}$  と FWD 側に発生する導通損失  $P_{GM\_con\_FWD}$  は(9), (10)式で得られる

$$P_{GM\_con\_Sw} = \left( \frac{1}{8} + \frac{1}{3\pi} a \cos \phi \right) r_{on} I_m^2 + \left( \frac{1}{2\pi} + \frac{1}{8} a \cos \phi \right) v_0 I_m \dots\dots\dots (9)$$

$$P_{GM\_con\_FWD} = \left( \frac{1}{8} - \frac{1}{3\pi} a \cos \phi \right) r_{on} I_m^2 + \left( \frac{1}{2\pi} - \frac{1}{8} a \cos \phi \right) v_0 I_m \dots\dots\dots (10)$$

GM 方式の全ての半導体素子は, 同じスイッチング周波数で動作し, スwitchingを行う期間や印加される電圧も同じである。そのため, スwitching損失  $P_{GM\_switch}$  は(11)式, リカバリ損失  $P_{GM\_rec}$  は(12)式で表される。

$$P_{GM\_switch} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \dots\dots\dots (11)$$

$$P_{GM\_rec} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} e_{rr} f_c \dots\dots\dots (12)$$

表 2 に GM 方式が出力可能なスイッチングパターンを示す。GM 方式のスイッチングパターンは, スwitch数が 6 個あることから  $2^6$  の 64 パターン存在する。そのうち,  $S_1$  と  $S_2$  の上下短絡,  $S_3$  と  $S_{C1}$  の上下短絡,  $S_4$  と  $S_{C2}$  の上下短絡,  $S_{C1}$  と  $S_{C2}$  の上下短絡を含むスイッチングパターンと, 6 個のうちいずれか 1 つのみ導通するパターンを除外すると, 表 2 のように 14 パターンのみしか存在しない。ここで, スwitchingパターン No.14 は, GM 方式の場合, クランプスイッチ  $S_{C1}$ ,  $S_{C2}$  とキャパシタ  $C_1$  によって短絡パターンが発生する。その一方で DC 方式の場合では, 0Edc を出力する唯一のパターンのため表記している。

表 2 のスイッチングパターンと本節で述べた GM 方式の損失計算式に基づいて, 3 つの 3 レベル方式(DC 方式, FC 方式, ANPC 方式)の損失計算を行う。

〈3・3〉DC 方式への適用

Table 1 Switching state of three-level GM topology.

No	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>C1</sub>	S <sub>C2</sub>	Charging / discharging current	Output voltage
1	1	0	1	0	1	0	○	+1/2E <sub>dc</sub>
2	0	1	1	0	1	0	○	+0
3	1	0	0	1	0	1	○	-0
4	0	1	0	1	0	1	○	-1/2E <sub>dc</sub>

表3にDC方式のスイッチングパターンを示す。DC方式のスイッチングパターンは、表1のGM方式のスイッチングパターンと比較してスイッチングパターンの数が少ない。これは、DC方式は中性点電圧をダイオードによってクランプしており、他の方式と比較して冗長性が低いからである。表3より、GM方式はDC方式の0E<sub>dc</sub>を出力するスイッチングパターン(表3 No2)がキャパシタとスイッチによる短絡パターンのため、DC方式の0E<sub>dc</sub>のスイッチングパターンを取ることができない。しかしながら、図3においてDC方式が0E<sub>dc</sub>を出力するとき、出力電圧指令値が正の時はD<sub>1</sub>、S<sub>1</sub>を、一方で、出力電圧指令値が負の時はS<sub>2</sub>、D<sub>2</sub>を通過する。従って、GM方式では、DC方式の0E<sub>dc</sub>のパターンを表2のNo.2とNo.9にて模擬できる。以上を踏まえて、表2のNo.2, 4, 9, 12のスイッチングパターンからDC方式の動作を模擬し、各スイッチに発生する損失を導出する。ここで、回路の対称性からS<sub>1</sub>とS<sub>2</sub>、S<sub>3</sub>とS<sub>4</sub>、D<sub>1</sub>とD<sub>2</sub>に発生する損失は同じであると仮定する。

図7にDC方式のスイッチングパターンを模擬した場合のGM方式の出力波形と各スイッチに流れる電流波形を示す。まず、S<sub>1</sub>(S<sub>2</sub>)に発生する損失について検討する。S<sub>1</sub>に流れる電流実効値は、表1のスイッチングパターンで動作させたときのS<sub>1</sub>に流れる電流実効値と同じになる。従って、DC方式のS<sub>1</sub>に発生する導通損失P<sub>DC\_con\_S1</sub>は(9)式と(10)式の和で得ることができ、(13)式で表される。

$$P_{DC\_con\_S1} = P_{GM\_con\_Sw} + P_{GM\_con\_FWD} \dots\dots\dots(13)$$

S<sub>1</sub>に発生するスイッチング損失は、スイッチが出力周波数と同じ周期でスイッチングしているため、キャリア周波数と同じ周期でスイッチングしている素子のスイッチング損失に比べ十分小さく無視できる。

次に、S<sub>3</sub>(S<sub>4</sub>)に発生する損失について検討する。S<sub>3</sub>の出力電圧指令値が正の期間に流れる電流実効値は、表1のスイッチングパターンで動作させたときの出力電圧指令値が正の期間にS<sub>1</sub>に流れる電流実効値と同じになる。従って、DC方式のS<sub>3</sub>に発生する導通損失P<sub>DC\_con\_S3</sub>は(9)式と同じ式で得ることができる。また、S<sub>3</sub>(S<sub>4</sub>)に発生するスイッチング損失P<sub>DC\_switch</sub>は出力電圧指令値の半周期の期間だけキャリア周波数でスイッチングすることから(14)式で表される。

$$P_{GM\_switch} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) \frac{f_c}{2} \dots\dots\dots(14)$$

一方で、D<sub>1</sub>(D<sub>2</sub>)に発生する損失は、出力電圧指令値が正の期間にD<sub>1</sub>に流れる電流実効値は、表1のスイッチングパターンで動作させたときの出力電圧指令値が負の期間にS<sub>1</sub>に流れる電流実効値と同じになる。従って、DC方式のD<sub>1</sub>に発生する導通損失P<sub>DC\_con\_D1</sub>は(10)式と同じ式で得ることができる。また、D<sub>1</sub>(D<sub>2</sub>)に発生するリカバリ損失P<sub>DC\_rec</sub>はS<sub>3</sub>(S<sub>4</sub>)のスイッチング損失と同様の考えで、(15)式で表される。

$$P_{GM\_switch} = \frac{1}{2(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) \frac{f_c}{2} \dots\dots\dots(15)$$

<3・4> FC方式への適用

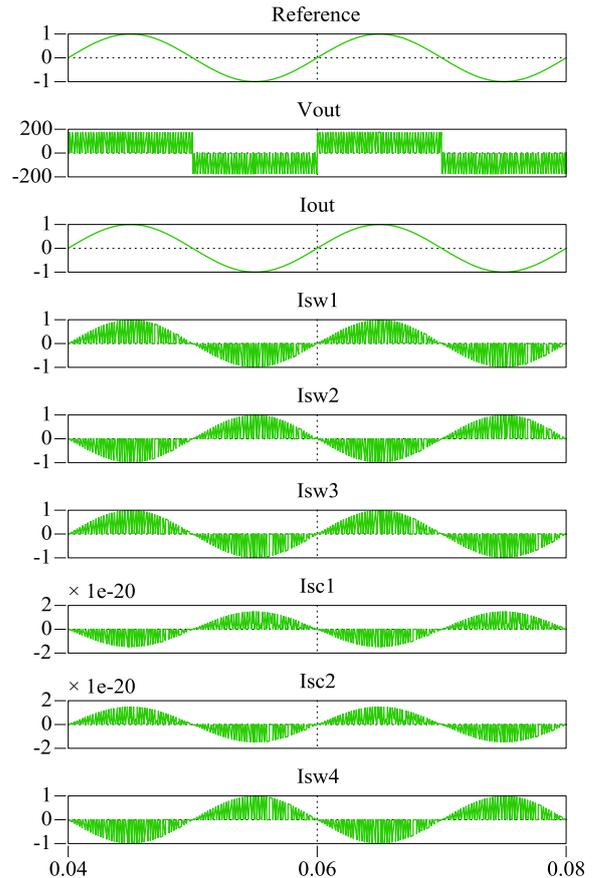


Fig.6. Operation waveforms of GM inverter.

Table 2 All switching state of three-level GM topology.

No	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>C1</sub>	S <sub>C2</sub>	Output voltage	GM	DC	FC	ANPC
1	0	0	0	0	0	0	0E <sub>dc</sub>	○	○	○	○
2	0	1	0	0	0	1	0E <sub>dc</sub>	○	×	×	○
3	0	1	0	0	1	0	-1/2E <sub>dc</sub>	○	×	×	×
4	0	1	0	1	0	0	-1/2E <sub>dc</sub>	○	○	○	○
5	0	1	0	1	1	0	-1/2E <sub>dc</sub>	○	×	×	○
6	0	1	1	0	0	0	0E <sub>dc</sub>	○	×	○	○
7	0	1	1	0	0	1	0E <sub>dc</sub>	○	×	×	○
8	1	0	0	0	0	1	+1/2E <sub>dc</sub>	○	×	×	×
9	1	0	0	0	1	0	0E <sub>dc</sub>	○	×	×	○
10	1	0	0	1	0	0	0E <sub>dc</sub>	○	×	○	○
11	1	0	0	1	1	0	0E <sub>dc</sub>	○	×	×	○
12	1	0	1	0	0	0	+1/2E <sub>dc</sub>	○	○	○	○
13	1	0	1	0	0	1	+1/2E <sub>dc</sub>	○	×	×	○
14	1	1	0	0	0	0	Short	×	○	×	×

Table 3 Switching state of three-level DC topology.

No	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	Output voltage	DC	GM	FC	ANPC
1	1	0	1	0	+1/2E <sub>dc</sub>	○	○	○	○
2	1	1	0	0	±0	○	×	×	×
3	0	1	0	1	-1/2E <sub>dc</sub>	○	○	○	○

表4にFC方式のスイッチングパターンを示す。FC方式の各スイッチのスイッチングパターンと表1のGM方式のS<sub>1</sub>-S<sub>4</sub>のスイッチングパターンを比較したとき、2つの方式のスイッチングパターンは同じである。そのため、FC方式のスイッチに発生する損失も、GM方式に発生する損失と同様の考えで導出できるため、導通損失とスイッチング損失は(9)式-(12)式で得ることができる。

〈3・5〉 ANPC方式への適用

表5にANPC方式のスイッチングパターンを示す。ANPC方式は、DC方式やFC方式よりもスイッチの冗長性が高く、複数のスイッチングパターンで動作させることができる<sup>(10)</sup>。本節では、3.3節のDC方式と同じスイッチングパターンを用いることを想定した場合、1スイッチング毎の電流経路は見かけ上DC方式と同じ経路をとると考えることができる。従って、ANPC方式のS<sub>1</sub>とS<sub>2</sub>に発生する導通損失は(13)式で、S<sub>3</sub>とS<sub>4</sub>に発生する導通損失とスイッチング損失は(9)式と(14)式で、S<sub>C1</sub>とS<sub>C2</sub>に発生する導通損失とスイッチング損失は(10)式と(14)式で得ることができる。

4. 4つの3レベル方式に発生する損失

〈4・1〉 シミュレーションによる検討

4つの3レベルインバータの損失を3章で述べた損失計算式による計算結果とシミュレーション解析による結果と比較する。

図8にGM方式を用いて各方式のスイッチングパターンを模擬して数式による損失を計算したとシミュレーションによる解析を比較した結果を示す。また、表6と表7に各変換器の仕様とデバイスパラメータを示す。図8において、4つの変換器の動作を模擬したときの各スイッチの損失計算結果は、シミュレーション解析結果と誤差0.1%以下でよく一致していることがわかる。

〈4・2〉 実験による損失計算式の妥当性の検証

本節では、3章で述べた損失計算式の妥当性を検証するため、3レベルDC方式インバータを例に取り、実機の損失と計算による損失結果を比較する。

図9に3.3kW定格の単相ハーフブリッジの3レベルDCインバータを試作し、パワーメータ(WT1600:YOKOGAWA)を用いて測定した損失と各変換器の損失計算式を用いて推定した損失を比較した結果を示す。図9において3.3kW定格運転時の理論損失と実機の損失の誤差率は3レベルDCインバータが1%となり、理論式の妥当性を確認した。軽負荷時に一致しなくなる原因の1つとして、スイッチング素子の浮遊容量に電荷が充電され、放電するときにスイッチング素子のオン抵抗に流れ、このときに発生する損失が軽負荷時における誤差として出ていることがあげられる。

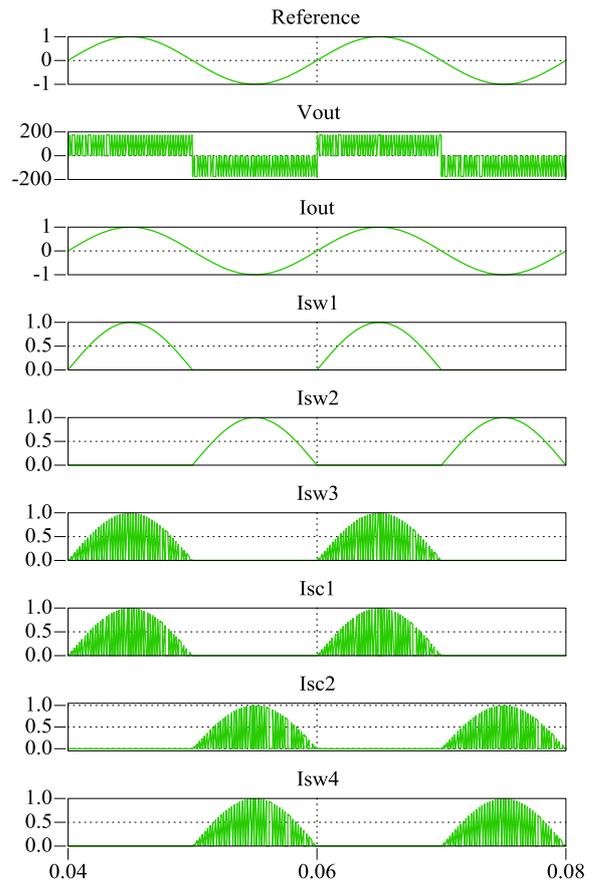


Fig.7. Operation waveforms of GM inverter based on switching state of the DC topology.

Table 4 Switching state of three-level FC topology.

No	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	Output voltage	FC	GM	DC	ANPC
1	1	0	1	0	+1/2E <sub>dc</sub>	○	○	○	○
2	0	1	1	0	0	○	○	×	×
3	1	0	0	1	0	○	○	×	×
4	0	1	0	1	-1/2E <sub>dc</sub>	○	○	○	○

Table 5 Switching state of three-level ANPC topology.

No	Cell 1		Cell 2				Output voltage	ANPC	GM	DC	FC
	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>	S <sub>4</sub>	S <sub>C1</sub>	S <sub>C2</sub>					
1	1	0	1	0	1	0	+1/2E <sub>dc</sub>	○	○	○	○
2	0	1	1	0	1	0	+0	○	○	×	×
3	1	0	0	1	0	1	-0	○	○	×	×
4	0	1	0	1	0	1	-1/2E <sub>dc</sub>	○	○	○	○

Table 6 Experimental condition.

Rated power	3.3 kW	Output frequency	50 Hz
Input voltage	350 V	Output voltage	115 V
Carrier frequency	20 kHz	Output current	29 A

Table 7 Device parameters.

MOSFET:IXFB170N30P(IXYS)			
V <sub>DSS</sub>	300 V	I <sub>D</sub>	170 A
R <sub>DS</sub>	18 mΩ (Max.)	V <sub>F</sub>	1.3 V (Max.)
t <sub>r</sub>	29 ns	t <sub>tr</sub>	200 ns
t <sub>f</sub>	16 ns		

## 5. 結論

本論文では、GM方式を用いてマルチレベル変換器に発生する損失の一般化を目的として検討を行った。まず、3レベルのGM方式の損失計算式を導出し、GM方式で出力可能なスイッチングパターンを解析した。次に、GM方式の損失計算式とスイッチングパターンを用いて、3つのマルチレベル方式(ダイオードクランプ方式、フライングキャパシタ方式、アクティブ中性点クランプ方式)の動作を模擬し、それぞれの損失計算式の導出を行った。最後に導出した各損失計算式の妥当性をシミュレーション及び実機実験により確認し妥当性を確認した。

今後は、スイッチングパターンを用いた損失一般化について検討する予定である。

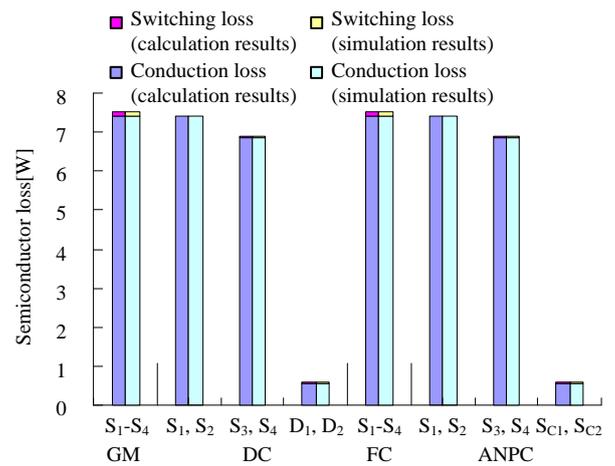


Fig.8. Loss analysis of the four three-level inverters.

## 文 献

- (1) F. Z. Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (2) A. Nabae, I. Takahashi, H. Akagi, "A new neutral-point-clamped PWM inverter", IEEE Trans. Industry Applications, Vol.IA-17, 1981, pp.518-523.
- (3) 釜我昌武, 成慶珉, 徐進, 佐藤之彦, 大橋弘通 : 「フライングキャパシタマルチレベル変換器の集積化の基礎検討」, 平成 20 年電気学会産業応用部門大会, 1-82, pp.373-376
- (4) Barbosa, P.; Steimer, P.; Steinke, J.; Meysenc, L.; Winkelkemper, M.; Celanovic, N: "Active Neutral-point-Clamped Multilevel Converter", Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th 16-16 June 2005 Page(s):2296 – 2301
- (5) Gateau, G, Meynard, T.A., Foch, H.: "Stacked multicell converter (SMC) : properties and design", Power Electronics Specialists Conference (2001), 2001, IEEE 32nd Annual
- (6) 徳永翔平, 宗島正和, Hui Zhang, 漆畑正太, 小金沢竹久 : 「3 レベル T-type NPC を拡張した 5 レベル変換器」, 全国大会, No4, pp75 (2012)
- (7) ABB RESEARCH LTD. : 多数の電圧レベルを切換えるためのスイッチギアセル及び変換回路 P2009-525717A
- (8) 榎原有吾, 伊東淳一 : 「3 レベルマルチレベル方式の半導体素子に発生する損失に対する一考察」, 全国大会, NO 4-041, pp. 71-72 (2013)
- (9) 榎原有吾, 伊東淳一 : 「フライングキャパシタ形トポロジーに着目したマルチレベルコンバータの損失解析とその高効率設計」, 平成 25 年度電気学会産業応用部門大会, 1-62, pp. I-275 - I-278 (2013)
- (10) D. Florica, G. Gateau, A. Leredde, R. Teodorescu : "The Efficiency of Three-level Active NPC Converter for Different PWM Strategies", 13<sup>th</sup> European Conference on Power Electronics and Applications, 2009. EPE 2009

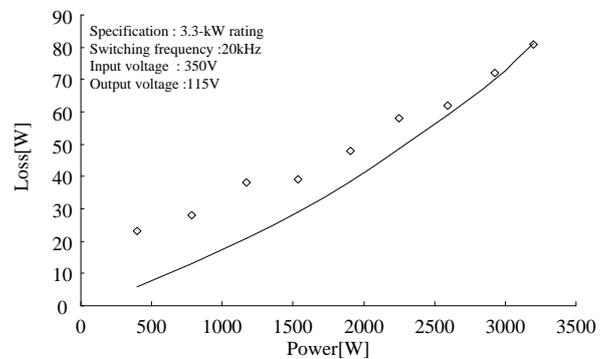


Fig.9. Loss comparison of three-level DC inverter.