

プリント基板上の DC バス構造による 寄生インダクタンスの差異の考察

提橋 郁人* 日下 佳祐 折川 幸司 伊東 淳一 (長岡技術科学大学)
門馬 彰夫 (日本航空電子工業(株))

Consideration for difference of parasitic inductance caused by DC bus structure on printed boards
Ayato Sagehashi*, Keisuke Kusaka, Koji Orikawa, Jun-ichi Itoh, (Nagaoka University of Technology)
Akio Momma (Japan Aviation Electronics Industry, Limited)

This paper investigates differences of parasitic inductance caused by DC bus structure on printed boards. Two patterns which are a laminated wiring type and a plane wiring type are compared by experiments and simulations. As a result, it is confirmed that the parasitic inductance of the plane wiring type pattern is larger than that of laminated wiring type. In addition, the laminated wiring type pattern can suppress the surge voltage of the switching device in comparison with the plane wiring type from the experimental results.

キーワード: プリント基板, 寄生インダクタンス, フロントローディング, ラミネート
(printed board, parasitic inductance, front loading, laminate)

1. はじめに

近年、半導体デバイスの高周波化や電力変換器の高密度実装に伴い、寄生インダクタンスの低減やノイズ対策に関する研究が盛んに行われている。これまで、電力変換器の開発では、回路の仕様決定と設計後に何度も試作器を製作し、実験と再設計を繰り返しながら寄生インダクタンスやノイズ低減を行っている。しかし、この手法では試作器の開発コストの増加、開発期間の長期化が問題となる。そこで、現在、電力変換器においてフロントローディングデザインが注目されている。フロントローディングデザインは LSI の設計において既に確立されている技術であり、実際に集積回路に発生するノイズや熱などを正確にシミュレーションで検証が可能である。したがって、試作器を何度も製作する必要がないため、開発工程及びコストの削減が可能である。しかし、これまでにフロントローディングデザインの電力変換器への適用は著者らの知る限り多くない。これは、LSI に比べて電力変換器は大容量であるため、発生するノイズや熱をシミュレーションにより検証することが困難であったためである。しかし、計算機シミュレーション技術の進歩に伴って、電力変換器のノイズや熱解析が比較的容易になってきたことにより、フロントローディングデザインの電力変換器への適用が近年進められている⁽¹⁾。

近年の電力変換器には、小型、軽量化を目的として、プリント基板(以下 PCB)が使用されている⁽²⁾⁻⁽³⁾。また、高速スイッチングを目的としたブスバー配線の適用について研究も盛んに行われており、平行配線構造の場合とラミネート構造では、ラミネート構造を用いることでインダクタンスの抑制が可能であることが実証されている⁽⁴⁾⁻⁽¹³⁾。

一方で、この 2 つの配線構造について、ブスバー配線間を真空または空気として、各配線構造の寄生パラメータの検討を行った例はあるが⁽⁹⁾、配線間に PCB に代表される誘電体物質を挿入した場合の検討は著者らの知る限りない。PCB を用いて電力変換器を設計する場合、小型化や高周波化を考慮すると、1 枚の PCB 基板上に主回路および制御回路、ゲート駆動回路を配置するケースが多い。このとき、平行配線構造では、ラミネート配線構造に比べてインダクタンスが増加するが、制御回路の配線レイアウトの制限が少ない。そのため、基板の小型化が可能となる。一方、ラミネート配線構造を適用した場合、平行配線構造に比べてインダクタンスが抑制可能である。しかし、基板両面に主回路配線がレイアウトされるため、制御回路の配線レイアウトが制限される。この結果、平行配線構造に比べて基板が大型化してしまう問題がある。以上のことから、PCB 上のブスバー配線構造は、基板の配線レイアウトや許容インダクタンスに応じて使い分けることが非常に重要であり、その指標を明らかにする必要がある。

本論文では、PCB 上の高周波インバータの直流ブスバー配線パターンを解析モデルとし、その寄生インダクタンスの差異を明確化することを目的とする。PCB 上に配置された平行配線構造およびラミネート配線構造の 2 つを解析モデルとし、各配線構造における寄生インダクタンスの差異についてシミュレーションおよび実験により考察する。最初に、解析モデルに使用する 2 つの配線構造の詳細について述べる。次に、シミュレーションによる解析手法について説明し、シミュレーションにより得られた寄生インピーダンスの特性を示す。その結果、同一インダクタンスに抑制するためには、平行配線構造では広いパターン幅が必要なのに対し、ラミネート配線構造の場合には狭いパターン幅で済むことを明らかにした。最後に、試作機を用いて行った実機検証の結果とシミュレーション結果の比較検討を行う。その結果、理論解析通り、ラミネート配線構造を用いることで平行配線構造と比較してサージ電圧の抑制が可能であることを確認したので報告する。

2. ブスバーの配線パターン

図 1 に想定する電圧形単相インバータの回路図を示す。回路図において、DC バスライン上に寄生するインダクタンス L_P , L_N を解析の対象とする配線パターンとする。以下、解析に用いる 2 つの配線パターンの詳細を述べる。

(2-1) 平行配線構造 図 2 に同一平面上に配線パターンを平行に配置した場合の構造図を示す。この構造では、 L_P , L_N となる配線パターンを同一平面上に平行に配置する。なお、実際の基板設計の際には、配線幅 W はパターンの許容電流に、配線間隔 d は駆動する際の絶縁距離に関わるため、設計する電力変換器の印加電圧により制限される。

(2-2) ラミネート配線構造 図 3 に基板の両面に配線パターンを配置した場合の構成図を示す。この構造においては、PCB の材質であるガラスエポキシ(以下 FR4)を挟むように L_P , L_N となる配線パターンを配置する。平行配線構造と比較検討を行うため、同じシミュレーション条件を元にインダクタンスの解析を行う。この時、ラミネート配線構造において基板の厚さ D を平行配線構造の配線間隔 d と同一にしているのは、平行配線構造と同等の配線間隔を確保するためである。

なお、実際の基板を設計する際は、平行配線構造と同様に使用電圧範囲を考慮して基板の厚さ D を決定する必要がある。

3. シミュレーション結果

2 つの配線構造において、電磁界解析を行い、各条件下におけるインダクタンスを算出する。シミュレーションソフトは Agilent 社製の Advanced Design System(以下 ADS)を使用する。本ソフトは一般的に回路シミュレーションとして用いられるが、本論文ではモーメント法機能を使用し、S パラメータを算出する。

(3-1) インダクタンス解析 各配線構造において、

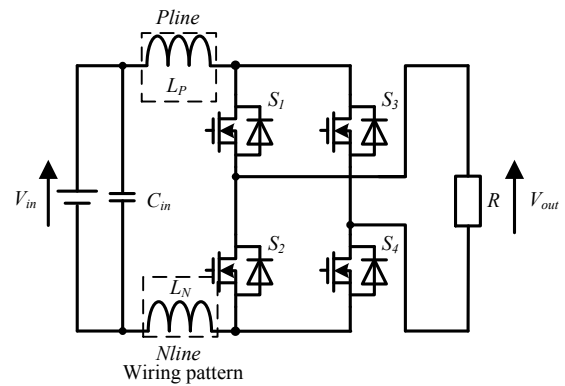


Fig. 1. Circuit schematic of inverter.

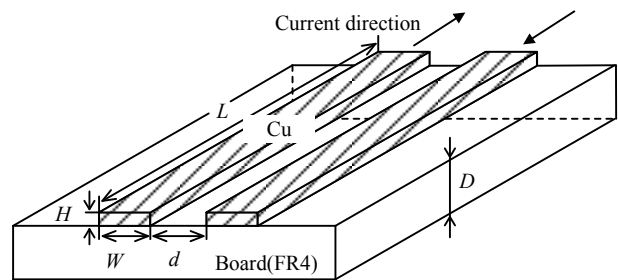


Fig. 2. Plane wiring pattern layout.

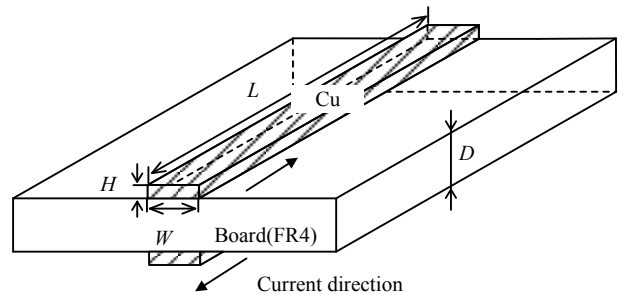


Fig. 3. Laminate wiring pattern layout.

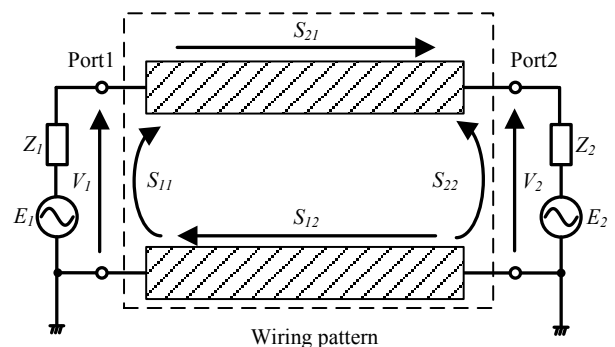


Fig. 4. Analysis equivalent circuit of wiring pattern.

基板上の 2 本の配線パターン幅 W 、配線間隔 d および基板の厚さ D 、流れる電流の周波数 f に対するインダクタンスの変化を検証するため、シミュレーションを行う。なお、シミュレーションでは、配線パターンを 2 ポート回路として S パラメータを算出している。図 4 にシミュレーションにおける構成を示し、図 5 に配線パターンの等価回路図を示す。

シミュレーションにおいて、 S_{11} , S_{21} , S_{12} , S_{22} の4つのSパラメータが算出される。 S_{11} は図5におけるPort1における信号の反射の割合であり、 S_{22} はPort2における反射の割合である。また、 S_{21} は図5におけるPort1から信号を入力し、Port2へ伝送される割合であり、 S_{12} はPort2から信号を入力し、Port1へ伝送される割合を表している。今回の解析では、この算出されたSパラメータの内、 S_{11} を用いてインダクタンスを算出する。ここで、Sパラメータ S_{11} は反射係数 Γ と同義であるため、以降反射係数 Γ とする⁽¹⁴⁾。

配線パターンのインダクタンスを算出するため、まずシミュレーションにおいて算出した反射係数 Γ を使用し、(1)式よりインピーダンス Z_{in} を算出する⁽¹⁵⁾。(1)式より算出した Z_{in} を用いて(3)式よりインダクタンスを算出する。なお、(1)式より算出した配線パターンのインピーダンスには、図5の等価回路より、インダクタンス成分だけでなく、配線間に発生する寄生容量が含まれる。

$$\dot{Z}_{in} = \left(\frac{1+\Gamma}{1-\Gamma} \right) \times \dot{Z}_0 \dots\dots\dots(1)$$

$$L = \frac{\text{Im}[\dot{Z}_{in}]}{2\pi f} \dots\dots\dots(2)$$

ここで、 Z_0 はシミュレーションの際に用いた特性インピーダンスである。また、(2)式は、自己インダクタンス L_s と相互インダクタンス M を用いて、(3)式でも表わされる⁽⁹⁾。

$$L = 2(L_s - M) \dots\dots\dots(3)$$

〈3・2〉 配線幅変化によるインダクタンス 図6に各配線構造における配線パターン幅 W を変化させた場合のインダクタンスの変化を示す。図6より、各配線パターン構造において、配線パターン幅 W を大きくすると、インダクタンスが減少傾向にあることが分かる。この原因は、配線パターン幅が大きくなることで、複数のインダクタンスが並列に接続されたことと等価になるためである。この結果、配線パターン幅 W が大きいとインダクタンスが減少する。また、2つの配線構造を比較すると平行配線構造に比べ、ラミネート配線構造のインダクタンス値を小さくできることが分かる。2つの配線構造におけるインダクタンス値の違いは、相互インダクタンス M が配線構造で異なるためである。自己インダクタンス L_s は配線パターンの大きさに起因するため、配線パターンの大きさを統一した本論文では2つの配線パターンの自己インダクタンスは等しい。一方、相互インダクタンス M はお互いの配線パターンが発生する磁束の影響を受ける。この時、配線パターンを細かく分割して考えた場合、ラミネート構造では均一に磁束の影響を与え合う。しかし、平行配線構造においては、外側の両端と内側の両端で磁束の影響が大きく異なる。そのため、ラミネート配線構造の方が平行配線構造に比べ、相互インダクタンス M が大きいため、インダクタンスが小さくなる。

一方で、同一インダクタンスを実現する観点からは、平行配線構造の方が広いパターン幅を必要とする。それに対

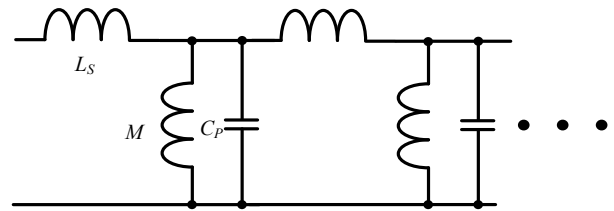


Fig. 5. Equivalent circuit of wiring pattern.

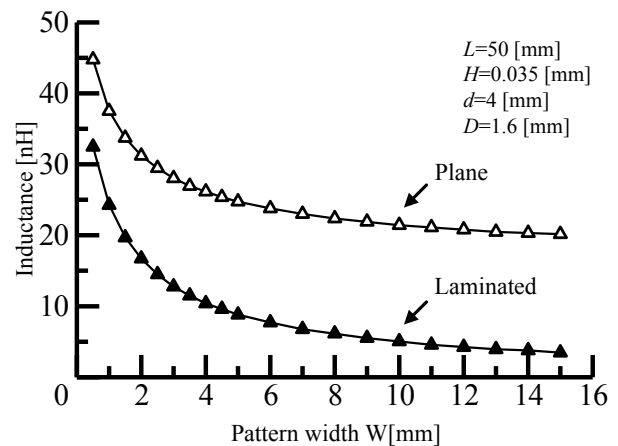


Fig. 6. Characteristics of wiring pattern inductance in difference width.

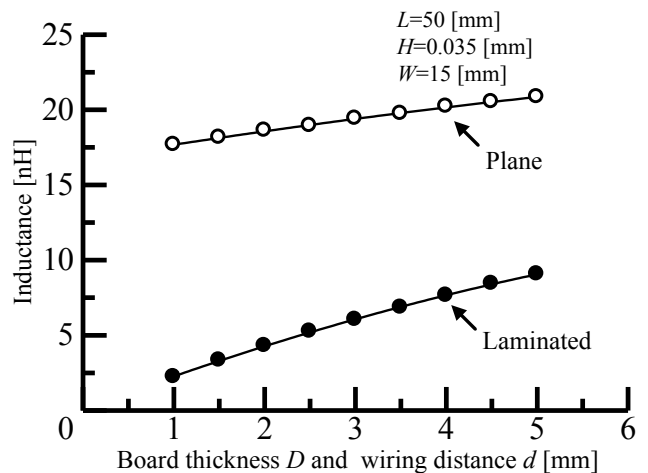


Fig. 7. Characteristics of wiring pattern inductance in difference board thickness and distance.

して、ラミネート構造では平行配線構造よりも狭いパターン幅で同一インダクタンスを実現することが可能である。例えば、25nHの配線インダクタンスに許容する場合、平行配線構造では、配線パターン幅 W が4mm以上必要となる。しかし、ラミネート配線構造では、配線パターン幅 W を1mmでも良い。図6より、PCBの制御回路の配線レイアウトや基板サイズなどの仕様に応じて、適切な直流バス部のレイアウト構造を選択する必要があることがわかる。

〈3・3〉 配線間隔変化によるインダクタンス 図7に各配線構造における配線パターン間隔および基板の厚さ D

を変化させた場合のインダクタンスの変化を示す。図 7 より、配線パターン間のインダクタンスは、各配線構造において配線間隔 d 及び基板の厚さ D が大きくなるとインダクタンスが増加する傾向であることがわかる。さらに、配線パターン幅 W を変えた場合のシミュレーション結果と同様に、平行配線構造と比較して、ラミネート配線構造を用いることで、配線インダクタンスを抑えることができる。

各配線構造において配線パターン間隔および基板の厚さ D が増加するとインダクタンスが増加する原因は、相互インダクタンス M が減少するためである。配線間隔 d 及び基板の厚さ D が大きい場合、配線パターン同士の相互インダクタンスの影響が弱くなる。そのため、相互インダクタンス M が減少し、(3)式にしたがって、配線インダクタンスが増加する。

〈3・4〉 周波数変化によるインダクタンス 図 8 に周波数を変化させた場合の各配線構造におけるインダクタンスの変化を示す。図 8 より、周波数を変化させた場合、平行配線構造は 20.2 nH、ラミネート配線構造は 3.52 nH で一定値となることが分かる。また、各配線構造について比較すると、平行配線構造に比べ、ラミネート配線構造の場合のほうが他の解析結果と同様にインダクタンスを抑制できることが分かる。

周波数が増加してもインダクタンスが変動しない原因は、配線インピーダンスに対する寄生容量の影響が小さいためである。これについてインピーダンスの観点から考察する。インダクタンス、寄生容量のインピーダンスは(4)、(5)式のように表される。

$$Z_L = 2\pi fL \dots\dots\dots(4)$$

$$Z_C = \frac{1}{2\pi fC} \dots\dots\dots(5)$$

また、解析結果から寄生容量のみを取り出すことが難しいため、(6)式より解析構造のパラメータを用いて算出を行った。

$$C = \epsilon_0 \epsilon_r \frac{A}{d} \dots\dots\dots(6)$$

ここで、 ϵ_0 は真空の誘電率、 ϵ_r は基板の誘電率、 A は配線パターンの面積、 d は配線の間隔である。なお、今回使用した FR4 の誘電率 ϵ_r は 4.7 とする。

(4)~(6)式を用いて各パラメータを算出すると、平行配線構造においては寄生容量 $C=0.01$ pF、ラミネート構造では $C=11.7$ pF である。したがって、平行配線構造においては 3 MHz の場合 $Z_L=0.38 \Omega$ 、 $Z_C=44M\Omega$ となる。また、ラミネート配線構造では 3 MHz の場合 $Z_L=0.067 \Omega$ 、 $Z_C=4.5k\Omega$ となる。これらの結果から、本論文で解析した周波数帯域においては、 Z_L に比べて Z_C が十分に大きいことが分かる。そのため、ブスパー電流は Z_C にはほとんど流れないことから、インダクタンスが周波数により変動しないと考えられる。

なお、配線構造における配線インダクタンスの差につい

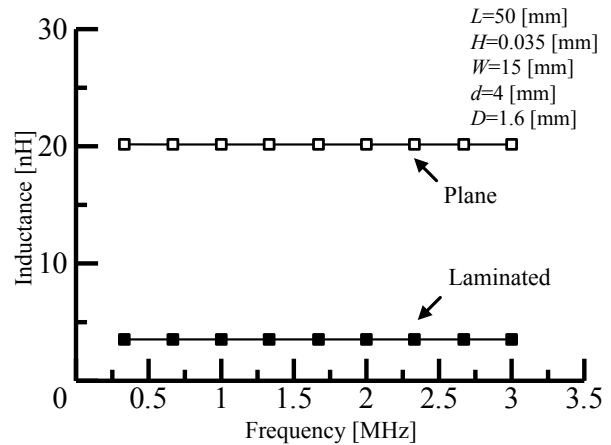


Fig. 8. Frequency characteristic of wiring pattern.

Table.1 Wiring pattern condition

Pattern Width W	15mm
Pattern Length L	30mm
Pattern Distance D (Plane type)	4mm
Pattern Distance D (Laminate type)	1.6mm
Pattern Thickness H	35 μ m

ては、配線パターン幅 W を変えた場合、配線パターン間隔および基板の厚さ D を変えた場合の解析結果と同様の理由である。

4. 実機検証

ここでは 3 章において行った解析結果に対する実機検証を行う。実機検証には、平行配線構造とラミネート配線構造を各 PCB の直流バス部に実装した高周波インバータ回路を用いる。表 1 に今回試作した基板の配線パターン条件を示す。なお、実際の基板においては、絶縁距離を考慮しなければならないため、平行配線構造およびラミネート配線構造は、それぞれ異なる配線間隔としている。本章では、解析結果の妥当性を確認するために、各高周波インバータ回路の MOS-FET のドレイン・ソース間電圧 V_{DS} を測定し、直流バス部の構造に起因するインダクタンスがドレイン・ソース間電圧のサージ電圧に与える影響を考察する。なお、インバータの動作条件はスイッチング周波数を 1 MHz、負荷に 50 Ω を接続して測定を行う。また、ゲート信号の立ち上がり時間/立ち下り時間はドレイン・ソース間電圧のサージ電圧に影響する。したがって、試作する各 PCB ではゲートドライバ IC からゲート端子までの配線長さを等しく設計する。

〈4・1〉 配線構造別のサージ電圧 図 9 及び図 10 に

実際に試作した高周波インバータ回路基板を示す。作成には PCB 基板を使用し、入力側のコンデンサから FET までを DC バスラインとして解析した配線パターンと同様の構成としている。なお、図 9 の基板は平行配線構造、図 10 の基板はラミネート配線構造を適用した基板である。

図 11, 12 に実際に測定した FET のドレイン・ソース間電圧, 出力電圧および出力電流波形を示す。図 11 は平行配線構造の場合の動作波形であり, ドレイン・ソース間電圧のサージ電圧は 83.0 V であった。また, 図 12 の測定波形はラミネート配線構造の動作波形を示しており, この時のドレイン・ソース間電圧のサージ電圧は 75 V であった。以上の結果より, 平行配線構造の場合のサージ電圧がラミネート構造に比べて 1.1 倍大きいことを確認した。ドレイン・ソース間電圧のサージ電圧は直流バスバー配線インダクタンスの大きさにしたがうため, 実験結果より平行配線構造とラミネート構造の寄生インダクタンスの理論解析の妥当性を確認した。

5. 結論

本論文では, 高周波フルブリッジインバータの DC バスラインを想定した PCB の配線パターンの配線インダクタンスを解析し, 実機実験より算出した結果と比較検討を行なった。解析結果においては, 配線パターン幅を変えた場合, また, 配線パターン間隔を大きくした場合, 配線インダクタンスが増加することがわかった。さらに, 周波数を変化させた場合においては, 配線インダクタンスは 3MHz までの帯域においてはほぼ変動しないことがわかった。また, 同一インダクタンスに抑制するためには, 平行配線構造では広いパターン幅が必要なのに対し, ラミネート配線構造の場合には狭いパターン幅で良いことを明らかにした。今後の予定として, 今回検討した条件以外の基板を用いた実機実験による検証, 配線インダクタンスと寄生容量の分離についての検討が挙げられる。

文 献

- (1) 玉手 道雄・大島 雅文・鳥羽 章夫:「シミュレーションによるパワーエレクトロニクス機器の EMC フロントローディング設計」, 富士時報, Vol.82, No.3, pp.165-169(2009)
- (2) T. Hirao, Y. Tsuruta and A. Kawamura, : “DC-DC Converter Using Power Board (Thick Copper Board)”, T. IEEJapan, Vol.132, No.4 号数 pp.510-517 (2012)
平尾 俊幸・弦田 幸憲・河村 篤男:「厚銅基板を用いた DC-DC コンバータ」, 平成 25 年電気学会産業応用部門大会, No.1-18 (2013)
- (3) 平尾 俊幸・弦田 幸憲・河村 篤男:「厚銅基板を用いた DC-DC コンバータ」, 平成 25 年電気学会全国大会, No.4-002 (2013)
- (4) 日野 晃裕, 和田 圭二:「ラミネートバスバーの浮遊キャパシタンスを考慮したスイッチング時の等価回路解析」, 平成 25 年電気学会全国大会, No.4-026(2013)
- (5) 安東 正登・和田 圭二:「過電圧と短絡電流を考慮したラミネートバスバー構造設計」, 平成 25 年電気学会全国大会, No.4-061 (2012)
- (6) K. Tsuboi, M. Tsuji, and E. Yamada : “A Simplified Calculating Method of Busbar Inductance and Its Application for Stray Resonance Analysis in Inverter DC Link”, IEEJ Trans. on Industry Applications, Vol.117, No.11, pp.1364-1374(1997)

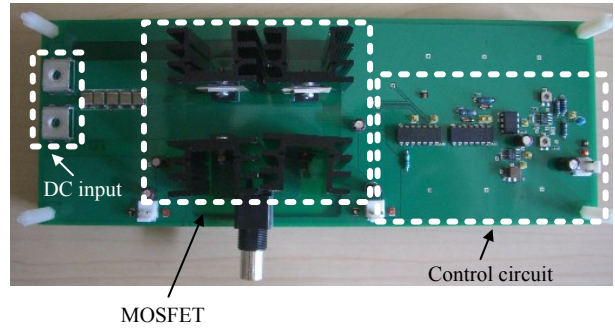


Fig. 9. Picture of circuit board (Plane type).

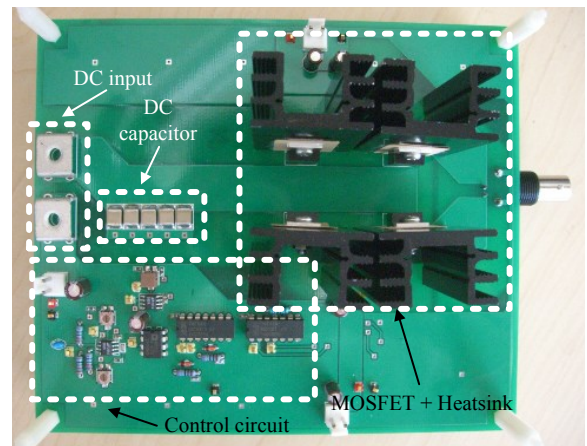


Fig. 10. Picture of circuit board (Laminated type).

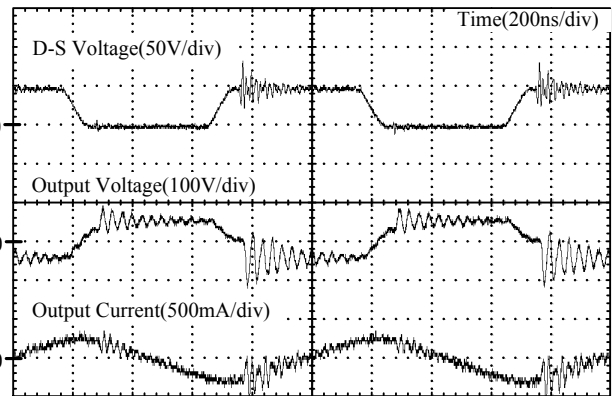


Fig. 11. Measurement waveform (Plane type).

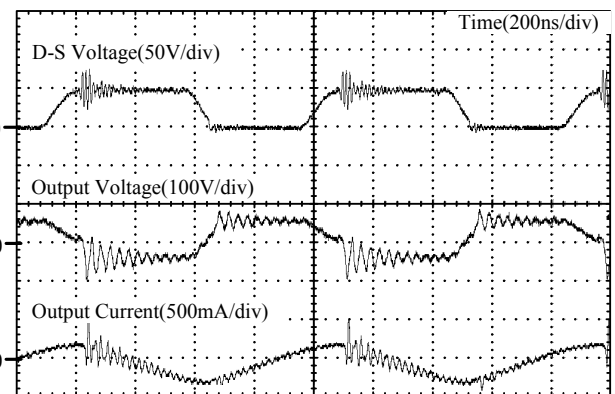


Fig. 12. Measurement waveform (Laminated type).

- 坪井 克剛・辻 峰男・山田 英二：「ブスバーインダクタンスの簡易設計算出法とインバータ DC リンクの寄生共振の解析」, 電学論 D, Vol.117, No.11, pp.1364-1374(1997)
- (7) A. Hino and K. Wada : “Designing method and Experiment Verification for DC-Side Bus-Bar Capacitance a Buck Chopper Circuit”, IEEJ 雑誌名, Vol.巻数, No.号数 p.000 (発行年)
日野 晃裕, 和田 圭二：「配線キャパシタンスを考慮したラミネートブスバー設計手法とその実験検証」, 平成 25 年電気学会産業応用部門大会, No.1-81(2013)
- (8) Z. Ariga and K. Wada, : “Analysis of Electromagnetic Induced Noise with Laminated Bus Bar”, T. IEEJapan, Vol.132, No.2 pp.288-294 (2012)
有賀 善之介・和田 圭二：「ラミネートブスバー近傍における電磁誘導ノイズの解析」, 電学論 D, Vol.132, No.2 pp.288-294 (2012)
- (9) M. Ando and K. Wada, : “Design of Wiring Structure by Considering Bus Bar Inductance”, T. IEEJapan, Vol.132, No.4 pp.510-517 (2012)
安東 正登・和田 圭二：「ブスバー配線の寄生インダクタンスを考慮した配線構造設計」, 電学論 D, Vol.132, No.4 pp.510-517 (2012)
- (10) Ignacio Rey-Stolle and Carlos Algora, : “Modeling of the Resistive Losses Due to the Bus-Bar and External Connections in III-V High-Concentrator Solar Cells”, IEEE Trans. on Electron devices, Vol.49, No.10 pp.1709-1714 (2006)
- (11) Marco Chiadò Caponet, Francesco Profumo, Rik W. De Doncker and Alberto Tenconi : “Low Stray Inductance Bus Bar Design and Construction for Good EMC Performance in Power Electronic Circuits”, IEEE Trans. on Power Electronics, Vol.17, No.2 pp.225-231 (2012)
- (12) Robert M. Del Vecchio, : “Eddy- Current Losses in a Conducting Plate Due to a Collection of Bus Bars Carrying Currents of Different Magnitudes and Phases”, IEEE Trans. on Magnetics, Vol.39, No.1, pp.549-552(2003)
- (13) Firuz Zare and Gerard F. Ledwich, : “Reduced Layer Planar Busbar for Voltage Source Inverters”, IEEE Trans. on Power Electronics, Vol.17, No.4 pp.508-516 (2002)
- (14) 市川 古都美・市川 裕一：「RF デザイン・シリーズ 高周波回路設計のための S パラメータ詳解」, CQ 出版, Vol.82, No.3, pp.165-169(2009)
- (15) 提橋 郁人・日下 佳祐・折川 幸司・伊東 淳一：「配線パターン設計に起因するインダクタンス特性に関する一考察」, 平成 25 年度電気関係学会北陸支部連合大会