

モジュラーマルチレベルコンバータを用いた 降圧形トランスレス AC-DC コンバータの動作検証

中西 俊貴* 伊東 淳一 (長岡技術科学大学)

Experimental verification of transformer-less step-down AC-DC Converter
using Modular Multilevel Converter Topology

Toshiki Nakanishi*, Jun-ichi Itoh, (Nagaoka University of Technology)

In this paper, a step-down AC-DC converter that uses a Modular Multilevel Converter (MMC) topology is proposed for a DC grid interface converter that converts from medium voltage into DC voltage of 400 V. The conventional MMC which uses chopper cells cannot convert medium voltage such as 3.3 kV or 6.6 kV into the low voltage of 400 V or less. The proposed system can achieve the step-down operation by applying H-bridge cells. Moreover, the proposed system controls the input current and the each capacitor voltage of H-bridge cell constantly. The experiment results are demonstrated by a miniature model that is three-phase AC voltage of 200 V into a DC voltage of 90 V. In addition, it is confirmed that the maximum ripple of the cell capacitor voltage and the output voltage is suppressed to 11.8% and 13.9%

キーワード：モジュラーマルチレベルコンバータ，Hブリッジセル，キャパシタ電圧一定制御，
トランスレス AC-DC コンバータ

(Keywords: Modular Multilevel Converter, H-bridge cell, Capacitor voltage balancing control, Transformer-less AC-DC converter)

1. はじめに

近年，大規模ビルや工場，データセンタの省エネルギー化を実現する手段として直流配電が検討されている⁽¹⁾⁻⁽⁴⁾。従来の交流配電では，それぞれの機器に AC-DC コンバータを設ける必要があるが，直流配電システムを導入することで AC-DC コンバータを個々に設ける必要がなくなり，機器およびシステムの効率向上や小型化が期待できる。このような背景のもと，特に大容量の直流配電系を実現する手段として，6.6 kV 系からトランスで 200 V，400 V の低圧系統に変換した後，AC-DC コンバータで直流に変換する方法が検討されてきた⁽⁵⁾。しかし，商用周波数で励磁するためトランス自体が大型化すること，さらには，低圧を介することでトランスおよび変換器の損失増加が懸念される。

そこで，入力電圧 6.6 kV から直流電圧への変換をトランスレスで行う手法が注目されている。しかし，従来の PWM 整流器では高耐圧のスイッチング素子が必要である。一般的に，高耐圧素子は低耐圧素子と比べて素子の損失が大き

いため，高周波スイッチングが難しく，受動素子が大型化する。

上記の問題を解決するトポロジーとして，近年，マルチレベル変換器の一つであるモジュラーマルチレベルコンバータ（以下，MMC: Modular Multilevel Converter）が注目され，盛んに研究されている⁽⁶⁾⁻⁽¹¹⁾。MMC は他のマルチレベル変換器と同様に，低圧，高速スイッチング素子を使用できるため，スイッチング素子単体の損失低減および高周波化が可能である。また，各アームは複数のスイッチング素子と直流キャパシタを組み合わせたセルのカスケード接続で構成されている。この特徴により，カスケード接続するセル数を増やすことで容易に回路の高耐圧化を図ることができる。そのため，高圧直流送電システム用途への適用を目的として，MMC を用いた AC-DC コンバータが数多く提案されてきた。しかし，これまで検討されてきた MMC では，トポロジーをチョッパ型セル⁽¹²⁾で構成しているため，セルの出力電圧は自ずと直流電圧となり，系統の入力電圧が決まるとシステムとして入力電圧以下の電圧は出力できな

い。つまり、降圧整流動作ができず、入力電圧 6.6 kV から数百 V への変換が必要な用途には適用できない。また、MMC による降圧動作可能な AC-DC コンバータは筆者らの知る限り報告されていない。

本論文では、降圧動作可能な MMC によるトランスレス AC-DC コンバータの制御法およびその有用性をシミュレーションと実機で検証する。提案システムでは、従来の MMC に採用されているチョップパ型セルに替わり、H ブリッジ型セルを採用することで従来の課題であったセル出力電圧の制限を回避することができる。これにより、降圧整流動作が可能となり、6.6 kV 系統電圧から直流配電用の電圧を直接出力することができる。本論文の構成は以下の通りである。まず、MMC を用いたトランスレス降圧形 AC-DC コンバータの回路構成および入力電流制御、各セルのキャパシタ電圧制御、出力電圧制御を同時に実現する制御について説明する。次に、シミュレーションで提案システムおよび制御系の動作を検証する。最後に、200V 系のミニモデルを用いた実機検証から提案システムの妥当性と有用性を示す。

2. 主回路構成

〈2・1〉 トランスレス降圧形 AC-DC コンバータの構成

図 1 に MMC を用いたトランスレス降圧形 AC-DC コンバータの回路構成を示す。MMC の各アームはバッファリアクトル L_b と複数のセルからなるモジュールによって構成される。MMC は各アームのセルで入力電圧を分担できるため、トランスレスで 6.6 kV 系に接続できる。さらに、各セルでは低耐圧素子を使用できるため、高周波スイッチングが可能である。また、図 1 では、これまで採用されてきたチョップパ型セルに替わり、H ブリッジ型セルを採用する。このため、セル出力電圧の制限を回避することができ、降圧整流動作が可能となるため、6.6 kV 系統電圧から直流配電用の電圧を直接出力できる。

なお、提案システムでは、上下のセル群ごとに制御を行うため、上側のセル群を A、下側を B と定義する。

〈2・2〉 セルの構成と出力電圧の関係

図 2 にチョップパ型セルと H ブリッジ型セルの構成とセル出力電圧の関係を示す。MMC を用いた AC-DC コンバータにおいて、入力線間電圧実効値を E とした場合、各アームには入力相電圧の最大値 $\sqrt{2/3}E$ が印加される。つまり、セルの出力電圧の peak to peak 値は入力相電圧と各アームを構成するセル数から(1)式で求められる。

$$v_{p-p} = 2\sqrt{\frac{2}{3}} \frac{E}{n} \dots\dots\dots (1)$$

ここで、 n は各レグを構成するセル数である。

また、MMC を用いた AC-DC コンバータの出力直流電圧 V_{mmc} は各レグを構成しているセルの出力電圧平均値の総和で決定されるため、(2)式で表される。

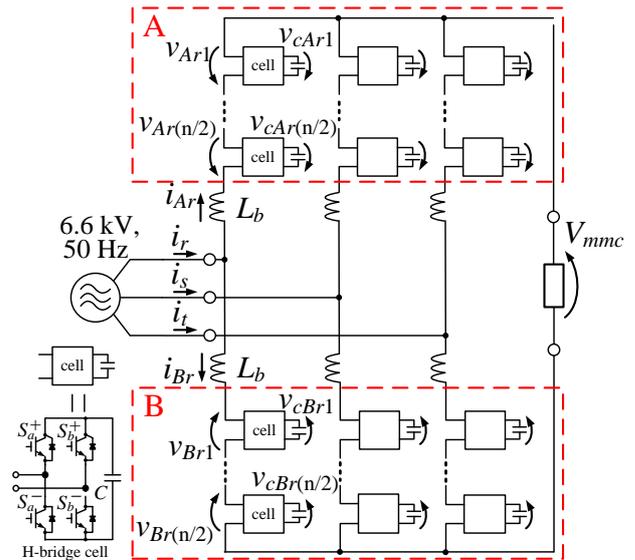


Fig. 1. Circuit configuration of the proposed step-down AC-DC converter using MMC.

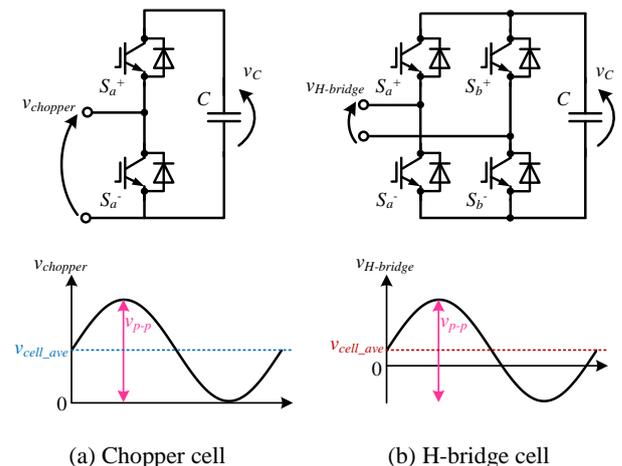


Fig. 2. Circuit configuration and output voltage of a cell.

$$V_{mmc} = n v_{cell_ave} \dots\dots\dots (2)$$

ここで、 v_{cell_ave} はセル出力電圧の平均値である。

図 2(a)にチョップパ型セルと出力電圧の関係を示す。チョップパ型セルでは、負電圧が出力できないためセル出力電圧の peak to peak 値 v_{p-p} によってセル出力電圧 v_{cell_ave} の下限値が決まる。したがって、セルの出力電圧平均値 v_{cell_ave} は(3)式の下限值以下には制御できない。

$$v_{cell_ave} = \frac{1}{2} v_{p-p} \dots\dots\dots (3)$$

(1), (3)式をもとに(2)式から出力電圧 V_{mmc} 下限値を求めると、入力相電圧最大値に一致する。したがって、チョップパ型セルでは各セルの出力電圧平均値に制限が存在するため、降圧整流器動作ができない。

図 2(b)に H ブリッジ型セルと出力電圧の関係を示す。チョッパ型セルでは各セルの出力電圧平均値に制限があるのに対し、H ブリッジ型セルは負電圧が出力できるため出力電圧平均値を(3)式の下限值以下に制御することができる。よって、H ブリッジ型セルを採用した場合は降圧整流器動作が可能となる。

表 1 に入力電圧 6.6 kV 系から直流電圧 400 V へ降圧整流する 1 MW 級のシステムを想定した場合の 1 相あたりのセル段数、総セル数、スイッチング素子およびセルキャパシタの必要個数を示す。なお、本検討では、1,700 V、1,600 A 素子(Infineon : FD1600_1200R17HP4_B2)を想定している。MMC では、セル群が入力電流と出力電圧を同時に制御する。したがって、各セルのキャパシタ電圧 v_c は(3)式の関係を満たす必要がある。

$$v_c^* \geq \frac{1}{n} \left(2\sqrt{\frac{2}{3}} E + V_{mmc} \right) \dots \dots \dots (4)$$

ここで、 V_{mmc} は出力直流電圧の 400 V である。(4)式によって求められる値から 2 割程度のマージンを設け、さらにその値から 3 割程度の素子耐圧マージンを見積もった場合、1,700 V 耐圧の素子の使用を想定した場合、1 相あたり 10 段で構成が可能となる。また、各セルにはキャパシタが一つ搭載されていることを想定し、個数を算出している。

3. MMC の制御方式

図 3 に提案する制御システムのブロック図を示す。本システムを MMC の上下のセル群それぞれに適用することで、システム全体を制御する⁽¹⁰⁾。提案制御は入力電流制御と各セルのキャパシタ電圧制御に大別される。さらに、キャパシタ電圧制御は全セルのキャパシタ電圧平均値を一律に制御する平均値制御と、各セルのキャパシタ電圧の発散を防ぐバランス制御から構成される。

本章では、上記の各制御について、セル群 A を例に説明

Table 1. Numbers of cells, switching devices and capacitors.

Rated Voltage of Switching Device	1,700 V
Numbers of Cells @ leg	10
Total numbers of Cells	30
Numbers of Switching Device	120
Numbers of Capacitor	30

する。

〈3・1〉 平均値制御

平均値制御はセル群内におけるキャパシタ電圧指令値と実際の電圧平均値との偏差を補正する制御である。ここで、セル群におけるキャパシタ電圧の平均値 v_{c_ave} は(5)式で表される。

$$v_{cA_ave} = \frac{2}{3n} \sum_{m=1}^{n/2} (v_{cArm} + v_{cAsm} + v_{cAtm}) \dots \dots \dots (5)$$

提案制御では上下のセル群を個別に制御するため、平均値算出における 1 相あたりのセル数は $n/2$ となる。また、 v_{cArm} 、 v_{cAsm} 、 v_{cAtm} は r, s, t 相に接続されたセルの各直流キャパシタ電圧である。

なお、キャパシタ電圧は有効電力によってのみ変動する。したがって、平均値制御の出力は入力電流制御の有効電流指令値 i_d^* となる。

〈3・2〉 バランス制御

平均値制御ではセル群内におけるキャパシタ電圧の平均値を制御する。つまり、キャパシタ全体に対する制御であるため、同アーム内においてカスケード接続された各キャパシタ間で発生する電圧アンバランスを補正することはできない。そこで、バランス制御によってキャパシタごとに電圧偏差を検出し、補正する必要がある。バランス制御の出力 v_{ce_Akm} は(5)式で表される。ただし、 $k=r,s,t$ 、 $m=1,2,\dots,n/2$ とする。

$$v_{ce_Akm} = K_C (v_c^* - v_{cAkm}) i_k \dots \dots \dots (6)$$

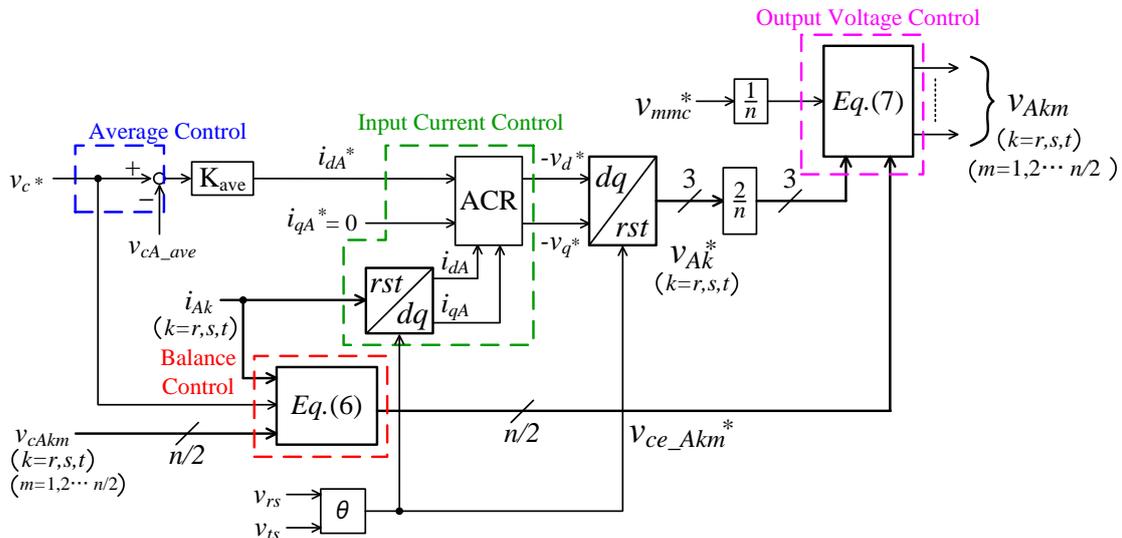


Fig. 3. Control block diagrams of the proposed circuit for the arm group A.

ここで、 k, m の添え字はそれぞれ相、段数を指しており、(6)式の両辺で対応している。

なお、本検討では、平均値制御とバランス制御の干渉を避けるため、両制御を P 制御で構成する。

〈3.3〉 入力電流制御

MMC では、入力電流は各相上下アームに分流する。つまり、A, B の上下のセル群によって各バッファリアクトル L_b に流れる電流を制御することで入力電流を制御する。また、入力電流制御はアームグループ間の連系が不要である。したがって、上下のアームグループごとに制御系を分離することができる。

入力電流制御系はフィードバック制御器および回転座標系における非干渉制御器によって構成される。また、入力電流制御系における入力是有効電流指令値 i_d^* と無効電流指令値 i_q^* とする。有効電流指令値 i_d^* はすでに述べたとおりキャパシタ電圧を制御するため、平均値制御の出力となる。一方、無効電流指令値 i_q^* は電流絶対値の低減および入力電流率を 1 とするため、零に設定する。

また、カスケード接続されたセルは共通したアーム電流を制御することから、同アーム内に接続されている各セルには共通の有効電流指令値および無効電流指令値が与えられる。

〈3.4〉 出力電圧制御

三相入力電圧から直流の出力電圧を得るために、上下のセル群間で共通した出力電圧指令値 v_{mmc}^* を用いる。よって、1 相あたりの段数が n の場合、出力電圧を制御するために各セルに要求される出力電圧は出力電圧指令値 v_{mmc}^* の $1/n$ 倍となる。

以上より、最終的な各セルの出力電圧指令値は v_{Akm}^* は(7)式で求められる。

$$v_{Akm} = \frac{1}{n} (2v_{Ak}^* + v_{mmc}^* - v_{ce_Akm})$$

$$v_{Bkm} = \frac{1}{n} (2v_{Bk}^* - v_{mmc}^* - v_{ce_Bkm}) \dots\dots\dots (7)$$

$$k = r, s, t, \quad m = 1, 2, \dots, n/2$$

ただし、出力側から見た場合、上下のセル群でセルの出力電圧の向きが異なるため、出力電圧指令値 v_{mmc}^* を入力電流指令値に重畳する際には正負の符号を変える必要がある。つまり、セル群 A のセル出力電圧指令値 v_{Akm}^* の場合は v_{mmc}^* を加算し、セル群 B のセル出力電圧指令値 v_{Bkm}^* には減算する。

〈3.5〉 キャパシタ電圧の決定

前章で既述したとおり、各セルは入力電流および出力電圧を同時に制御する必要がある。したがって、各セルのキャパシタ電圧 v_c は(4)式の関係を満たす必要がある。(4)式より、セル数が増加することでセル一つあたりの出力電圧が低くなるため、キャパシタ 1 つあたりの充電電圧も低くなる。したがって、セル数を増加した場合、キャパシタ電圧指令値を低く設定でき、スイッチング素子およびキャパシ

タの電圧ストレスを低減できる。さらに、低損失かつ高速動作可能な低耐圧のスイッチング素子が適用できることから、システムの小型化が期待できる。

4. シミュレーションによるシステムの動作検証

〈4.1〉 基本動作特性

本節では、提案制御法についてシミュレーションにより、基本的な動作検証を行う。

表 2 にシミュレーション条件を示す。今回は試作機との比較評価のため、定格容量 2 kW を想定する。

図 4 に入力相電圧および入力電流波形を示す。図 4 の波形より、相電圧と電流波形が同相となっていることからほぼ力率 1 が得られている。また、入力電流総合ひずみ率 (THD) は 0.76% であり、高調波の規制値に比べて非常に小さい値となっていることから、トランスレス変換器として系統への連系が可能である。さらに、電流波形にスイッチングリプルが重畳しているが、基本波周波数成分に対して小さく、ひずみの原因にはならない。

図 5 に直流出力電圧の波形を示す。図 5 の結果より、出力電圧は 100 V 付近に一定に保たれていることがわかる。よって、本論文で提案している、MMC による降圧整流動作が実現できていることがわかる。また、電圧リプルは出力電圧に対して 2.43% となり、出力の平滑キャパシタなしに低電圧リプルで整流動作が可能である。

図 6 に r 相に接続された下アームを構成するセルのキャパシタ電圧波形を示す。図 6 より、平均値制御およびバランス制御によって、キャパシタ電圧は長周期においても発散や大きな変動なく、指令値である 130 V 付近に一定に保持されている。

図 7 に r 相上下アームのセルキャパシタ電圧波形を示す。図 7 の結果より、セルキャパシタの電圧リプルは電圧平均値に対して 13% 以内に抑えられている。また、リプル電圧の周波数は基本波周波数である。これは、今回採用したセルの変調方法が整流動作によってキャパシタを充電する方式ではなく、セルに流れ込む電流の正負によって充放電を切り替える方式を採用しているためである。つまり、キャパシタには整流されていない電流が直接流入するため、その脈動は基本周波数と一致する。一方、セルキャパシタ電圧指令値と各キャパシタ電圧平均値の間に偏差が発生している。この偏差は平均値制御とバランス制御のゲイン調整によって解消することが可能である。しかし、ゲイン設定の関係によっては制御系が不安定になるため、制御系の安定性を踏まえた設計が必要になる。

5. 試作機による動作検証

200 V 系のミニモデルを試作し、実験により提案回路の動作を検証する。なお、今回は実機による基礎検証のため、上下 1 セル、1 相あたり 2 段で MMC を構成した。

表 3 に製作した試作機の仕様および実験条件を示す。なお、動作検証に用いる試作機の電力容量はシミュレーショ

ンと比べて半分に設定した。なお、今回の検討では、各アームをセル 1 つで構成するため、アーム内においてセルキャパシタ電圧のアンバランスを補正するバランス制御は行わず、平均値制御のみで電圧制御を行う。

図 8 に入力相電圧、入力電流および出力電圧波形を示す。図 8 の結果より、入力電流波形はひずんでいることがわかる。このときの入力電流 THD は 40.9% である。なっている。これは、検出系における遅れが原因である。MMC では各アームの電流信号 6ch 検出する必要がある。本実験では、時分割システムを用い、アーム電流を検出した後、同じ相を構成する他方のアーム電流を検出するため、検出遅れが約 25 μ sec 発生する。したがって、検出遅れが制御系に与える影響を検討する必要がある。

さらに、図の直流出力電圧波形より、出力電圧は 90 V 付近に保たれており、MMC による降圧整流動作が実現できている。また、電圧リップルは出力電圧平均値に対して 13.9% となっている。ここで、シミュレーションと同様に出力段には平滑キャパシタは設けていない。出力電圧が脈動している主な原因は入力電流のひずみである。図 5 のシミュレーション結果からもわかるように、上下のセル群に流れる三相電流が脈動せず、平衡している場合、出力電圧に含まれるリップル電圧は小さくなる。よって、入力電流ひずみを改善することで出力電圧のリップルを抑制することができる。

図 9 に r 相の上下アームグループを構成するセルのキャパシタ電圧波形を示す。図 9 より、平均値制御のみで、キャパシタ電圧は長周期においても発散や大きな変動なく、キャパシタ電圧指令値 220 V 付近に一定に保持されていることがわかる。また、シミュレーションと同様に、セルキャパシタ電圧に重畳している基本波成分のリップルは、電圧平均値に対して最大でも 11.8% に抑えられている。

しかし、セルキャパシタ電圧指令値と各キャパシタ電圧平均値の間に偏差がある。この偏差は、シミュレーションと同様にゲイン調整によって改善することが可能である。

6. まとめ

本論文では、MMC を用いたトランスレス AC-DC コンバータを提案した。提案システムでは、従来システムに採用するチョップ型セルから H ブリッジ型セルを採用したことで従来の AC-DC コンバータでは実現できない降圧動作が可能である。また、提案制御法について、シミュレーションより基本的な動作検証を行い、その有用性を明らかにした。さらに、200 V 系のミニモデルを製作し、実機実験を行った。その結果、入力電流 THD は 40.9%、各セルのキャパシタ電圧リップルは、平均値に対して 11.8% となった。また、三相入力電圧 200 V から直流電圧 90 V に降圧動作できることを確認した。さらに、出力側に平滑キャパシタなしに、出力電圧のリップル分は平均値に対して 13.9% に抑制できることを確認した。

今後は、入力電流のひずみおよびセルキャパシタ電圧の

Table 2 Simulation parameters

Output power	2 kW	Input voltage rms	200 V
Input voltage frequency	50 Hz	Output voltage	100V
Number of cell per leg n	4	DC capacitor C	1300 μ F
Load R	5 Ω	Carrier frequency	10 kHz
Buffer reactor L_b	2 mH ($Z\% = 3.14$)		

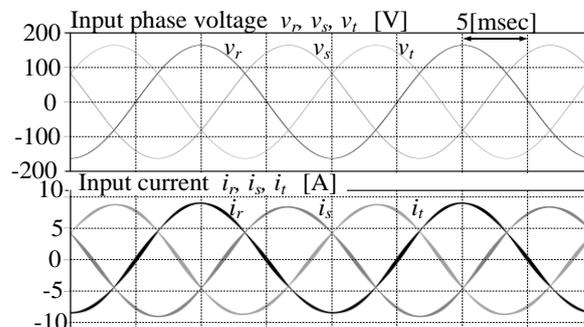


Fig. 4. Waveforms of input phase voltage and current.

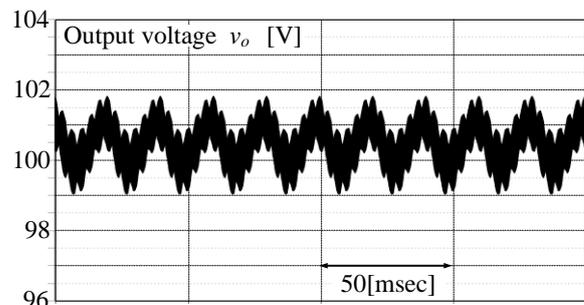


Fig. 5. Waveform of output voltage.

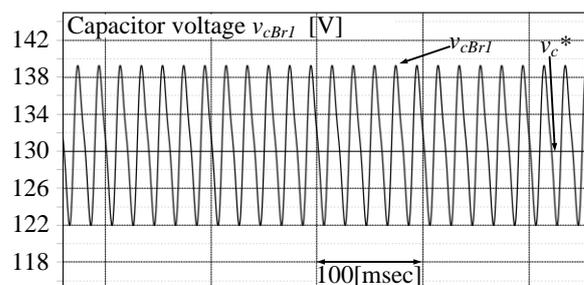


Fig. 6. Waveform of the capacitor voltage.

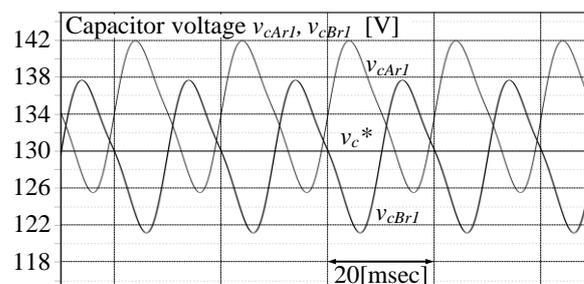


Fig. 7. Waveform of the capacitor voltage ripple

偏差を低減する。また、制御定数の最適設計や、6.6 kV 系直流配電システムを想定した設計方法の検討を行う予定である。

文 献

- (1) 廣瀬 圭一：「直流技術と応用の動向」, 電学論 B, Vol. 131, No. 4, pp. 358-361, (2011)
- (2) 中村 公雄：「ブロードバンド時代の高信頼度電源供給 IP 系情報通信機器への直流給電」, 電気学会誌, Vol. 123(10), pp. 681-684, (2003)
- (3) 朝倉 薫, 田中 憲光, 馬場崎 忠利：「高電圧直流給電システムの導入に向けて」, NTT 技術ジャーナル, Vol. 22(11), pp. 16-19, (2010)
- (4) 朝倉 薫, 馬場崎 忠利：「データセンタにおける高電圧直流給電技術」, 電気学会産業応用部門大会講演論文集, pp. I.127- I.130, (2010)
- (5) 柿ヶ野 浩明, 三浦 友史, 伊瀬 敏史, 打田 良平：「超高品質電力供給を可能とする DC マイクログリッドにおける直流電圧制御」, 電学論 D, Vol. 127, No. 8, pp. 890-897, (2007)
- (6) 萩原 誠, 赤木 泰文：「モジュラー・マルチレベル変換器 (MMC) の PWM 制御法と動作検証」, 電学論 D, Vol. 128, No. 7, pp.957-965 (2011)
- (7) M. Hagiwara and H. Akagi, "Control and Experiment of Pulsewidth-Modulated Modular Multilevel Converters", IEEE Trans. on Power Electronics, Vol. 24, No. 7, pp. 1737-1746 (2009)
- (8) M. Glinka ; "A new ac/ac multilevel converter family applied to a single-phase converter", PEDS 2003, vol. 1, pp. 16-23, (2003)
- (9) M. Hagiwara, R. Maeda and H. Akagi, "Negative-Sequence Reactive-Power Control by a PWM STATCOM Based on a Modular Multilevel Cascade Converter (MMCC-SDBC)", IEEE Trans. on Industry Applications, Vol. 48, No. 2, pp. 720-729 (2012)
- (10) 林 佑磨, 竹下 隆晴, 宗島 正和, 只野 裕吾, 小倉 和也：「モジュラーマトリックスコンバータの制御」, 平成 24 年電気学会産業応用部門大会, 1-48, pp.I-237--240 (2012)
- (11) M. Vasiladiotis, S. Kenzelmann, N. Cherix and A. Rufer ; "Power and DC Link Voltage Control Considerations for Indirect AC/AC Modular Multilevel Converters", Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference, (2011)
- (12) 関口 慧, カムブラツグデー プラシヤー, 萩原 誠, 赤木 泰文：「モジュラー・マルチレベル・カスケード変換器 (MMCC-DSCC) を用いた BTB システム：実験とシミュレーションによる動作検証」, 電学論 D, Vol. 133, No. 11, pp.1089-1096 (2013)

Table 3 Experimental condition

Output power	770 W	Input voltage rms	200 V
Input voltage frequency	50 Hz	Output voltage	90V
Number of cell per leg n	2	DC capacitor C	1300 μ F
Load R	10.5 Ω	Carrier frequency	10 kHz
Buffer reactor L_b	4 mH ($Z\% = 3.14$)		

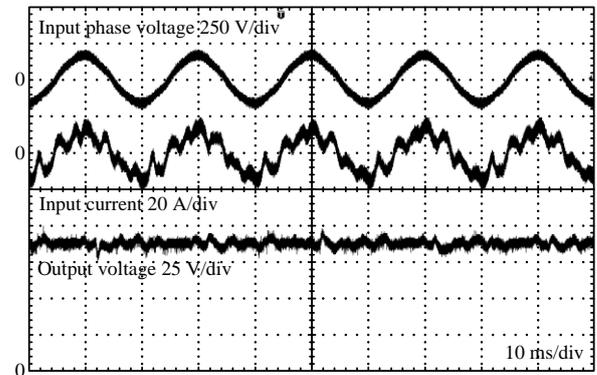


Fig. 8. Waveforms of input phase voltage and current.

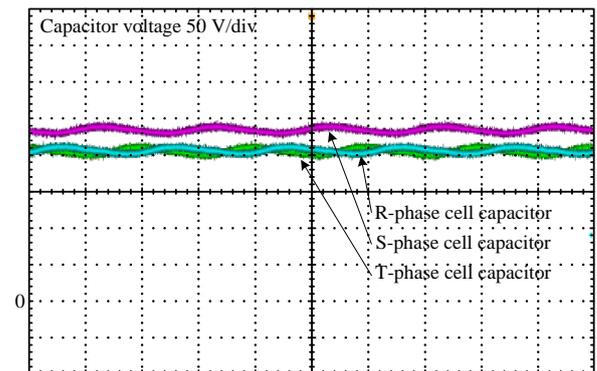


Fig. 9. Waveform of Capacitor voltage.