

フライングキャパシタ形トポロジーに着目した マルチレベルコンバータの損失解析とその高効率設計

学生員 榎原 有吾, 正員 伊東 淳一 (長岡技術科学大学)

Power Loss Analysis and High Efficiency Design Method for Multilevel Converter based on Flying Capacitor Topologies

Yugo Kashihara, Student Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

This present paper discusses the high efficiency design method for n-level converter based on flying capacitor topologies, and analyzes the power losses of converter. The error rates between the theoretical and simulation values are under 0.05 % at the rated load. In addition, two kinds of power loss characteristics of multilevel converters are compared. The comparison results indicate that the power loss of the ANPC topology is lower than the FC topology. In addition, the criteria design for achieving high efficiency in the multilevel converters is discussed.

キーワード: マルチレベル変換器, インバータ, 損失解析, 高効率設計

Keywords: Multilevel converter, Inverter, Loss analysis, High efficiency design

1. はじめに

近年, 様々なマルチレベル変換器の回路トポロジーが提案, 検討されている⁽¹⁾⁻⁽⁵⁾. マルチレベル変換器は, 従来の 2 レベルの電力変換器と比較すると, ①レベル数 n に対しスイッチング素子の耐圧を $n-1$ 分の 1 に低減できること, ②複数レベルの電圧を出力するので出力電圧の高調波を低減できることが利点としてあげられる。これらの利点から, 低耐圧で低オン電圧, もしくは低オン抵抗の半導体素子を使用できるため, 高効率な電力変換器を構成できる。そのため, マルチレベル変換器は高圧大容量化技術だけでなく高効率化技術として注目されている。

これまでに, マルチレベル変換器の損失について検討した研究がいくつかある^{(6),(7)}. これらの文献はシミュレーション解析を用いて, 複数のマルチレベル変換器の損失を比較している。しかしながら, シミュレーション解析において, 変換器の仕様や, レベル数, デバイスを変更した場合, その都度シミュレーションモデルを修正する必要がある。さらに, 損失最小点の検討などの最適設計を目指した場合, 大量のシミュレーション解析が必要となり, 最適設計の手段として有効であると考えにくい。

そこで, 筆者らは数式を用いたマルチレベル変換器の損失や体積などのパラメータの設計法について検討を行ってきた^{(8),(9)}. この方法は, 変換器を構成する半導体素子やキャパシタなどのデバイスパラメータや変換器の仕様から, 解析的に変換器の効率や体積を推定し, 高効率化・体積の最小化を目的にコストとのバランスを見ながら変換器設計ができ, 試作時間の短縮化, 製

品開発の低コスト化ができる。

これまで, 著者らは, 6 つの 3 レベル方式の損失について検討を行ってきた⁽⁹⁾. マルチレベル変換器のトポロジーは, ダイオードクランプ形とフライングキャパシタ形に分類できる。クランプダイオードの導通損失がないので, 効率の点では, フライングキャパシタ形の方が有利である。一方, マルチレベル変換器のレベル数は, 用途や使用デバイスの特性などにより選択される。特に, 損失低減の観点から最適なレベル数を検討した文献は著者らの知る限りない。

本論文は, フライングキャパシタトポロジーに着目し, フライングキャパシタ(以下 FC)方式とその派生回路であるアクティブ中性点クランプ(以下 ANPC)方式について, n レベル変換器の損失を一般化し, その損失特性について考察する。まず, 2つのマルチレベル方式について説明する。次に, 各方式の変換器の仕様とデバイスパラメータに基づいた損失計算法について説明する。そして, シミュレーションを用いて各方式の損失計算法の妥当性の確認を行う。最後に, 損失計算法を用いて, 2つのマルチレベル方式の損失特性について考察し, パワーデバイスの選定指針を明らかにする。その結果, ANPC方式がレベル数に関係なくFC方式よりも低損失であることが明らかになったので報告する。

2. マルチレベル方式

〈2・1〉フライングキャパシタ方式

Fig.1 に一般化された FC 方式の回路図(1 相分)を示す。FC

方式は中性点電圧とフライングキャパシタの電位をスイッチングによって加減算することで任意の電位を出力する方式で、レベル数に比例してフライングキャパシタの数が増加する⁽¹⁾。

(2・2) アクティブ中性点クランプ方式

Fig.2 に ANPC 方式の回路図(1 相分)を示す。ANPC 方式はフライングキャパシタ方式と 3 レベル中性点電圧出力回路を組み合わせた方式であり、それぞれ 2 つの Cell に分けることができる⁽²⁾。本論文では、フライングキャパシタ回路部分を Cell 1、3 レベル中性点電圧出力回路部分を Cell 2 とする。2 つの Cell の電位を加減算することで任意の電圧を出力する。ANPC 方式はレベル数に比例して Cell1 の回路のレベル数が増加する。

3. 一般化されたマルチレベル方式の損失計算法

2 章で述べた 2 つのマルチレベル方式の半導体素子に発生する損失の計算法について説明する⁽⁹⁾⁽¹⁰⁾。電力損失は以下の条件で計算を行う。

- 1) 負荷電流リップルは無視できる(電流源負荷とみなす)
- 2) キャパシタのリップル電圧は無視できる(直流電圧源とみなす)

半導体素子に発生する損失 P_{sw} は導通損失とスイッチング損失、ダイオードに発生する損失 P_D は導通損失とリカバリ損失とし、それぞれ(1)~(2)式で得られる。

$$P_{sw} = P_{con_sw} + P_{switch} \dots\dots\dots (1)$$

$$P_D = P_{con_D} + P_{rec} \dots\dots\dots (2)$$

ここで、 P_{con_sw} は半導体素子に発生する導通損失(W)、 P_{switch} は半導体素子に発生するスイッチング損失(W)、 P_{con_D} はダイオードに発生する導通損失(W)、 P_{rec} はダイオードに発生するリカバリ損失(W)である。

導通損失はスイッチ(IGBT, MOSFET)側と環流ダイオード(FWD)側に発生する損失に分けて考えることができる。ここで、素子に流れる正の電流はすべてスイッチ側に、負の電流はすべて FWD 側に流れると仮定する。また、MOSFET の場合、オン抵抗が小さければスイッチ側に正負両方に電流が流れる。しかし、FWD のオン電圧特性を MOSFET と同一に設定することで損失は計算できる。スイッチの導通損失の平均値 P_{con} は、スイッチのオン電圧とスイッチに流れる電流から導出することができ、それぞれ(3)、(4)式にて表せる。

$$P_{con} = \frac{1}{2\pi} \int_{\alpha}^{\beta} v_{on} i_{sw} dx \dots\dots\dots (3)$$

$$v_{on} = r_{on} I + v_0 \dots\dots\dots (4)$$

$$i_{sw} = \lambda I_m \sin(\theta + \phi) \dots\dots\dots (5)$$

ここで、 v_{on} はスイッチのオン電圧(V)、 i_{sw} は素子に流れる電流(A)、 α と β は電流の流れている期間、 r_{on} はスイッチのオン抵抗(Ω)、 v_0 は 0 A の時のオン電圧降下(V)、 λ は変調波、 θ は位相、 ϕ は負荷力率角である。ここで、オン電圧は IGBT を想定し、PN 接合による電圧降下と抵抗分にある電圧降下として(4)式にて表現しているが、MOSFET は抵抗特性であるため(4)式において $v_0=0$ とすれば表現できる。

(3・1) フライングキャパシタ方式の損失計算法

本節では、FC 方式の半導体素子の損失計算法について説明する⁽¹⁰⁾。FC 方式は、全てのスイッチが出力電圧指令値 1 周期

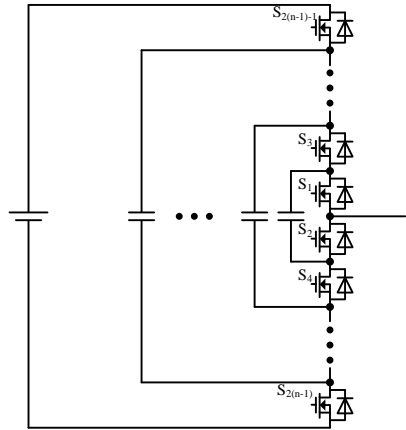


Fig.1. Generalized FC inverter circuit topology.

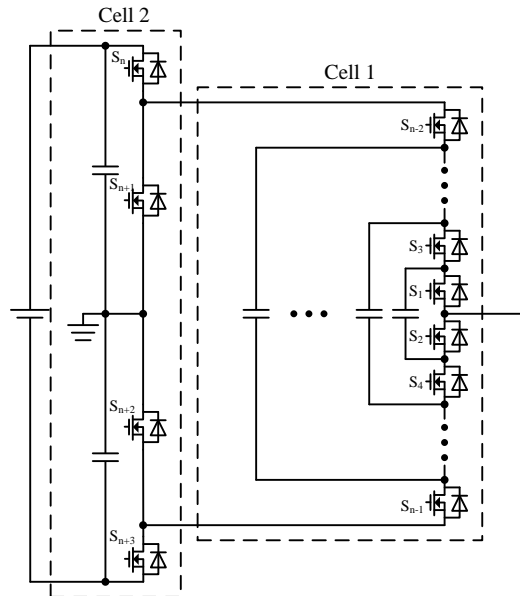


Fig.2. Generalized ANPC inverter circuit topology.

に対して PWM 駆動する。そのため全ての半導体素子に発生する損失は同じである。FC 方式を位相が異なる複数のキャリアを用いた位相シフト変調方式で動作させるとすると、FC 方式の変調波 λ_A は(6)式で得られる。

$$\lambda_A = a \sin \theta \dots\dots\dots (6)$$

ここで、 a は変調率である。

FC 方式の半導体素子 1 つのスイッチ側に発生する導通損失 $P_{FC_con_Sw}$ と FWD 側に発生する導通損失 $P_{FC_con_FWD}$ は(7)、(8)式で得られる

$$P_{FC_con_Sw} = \left(\frac{1}{2\pi} v_0 + \frac{1}{8} I_m r_{on} \right) I_m + \left(\frac{1}{3\pi} a I_m r_{on} + \frac{1}{8} a v_0 \right) I_m \cos \phi \dots\dots\dots (7)$$

$$P_{FC_con_FWD} = \left(\frac{1}{2\pi} v_0 + \frac{1}{8} I_m r_{on} \right) I_m - \left(\frac{1}{3\pi} a I_m r_{on} + \frac{1}{8} a v_0 \right) I_m \cos \phi \dots\dots\dots (8)$$

FC の全ての半導体素子は、同じスイッチング周波数で動作し、スイッチングを行う期間や印加される電圧も同じである。そのため、スイッチング損失 P_{FC_switch} は(9)式、リカバリ損失 P_{FC_rec} は(10)式で表される。

$$P_{FC_switch} = \frac{1}{2(n-1)\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \dots\dots\dots (9)$$

$$P_{FC_rec} = \frac{1}{2(n-1)\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} e_{rr} f_c \dots (10)$$

従って、n レベルの FC 方式の半導体に発生する 1 相当りの損失は(11)式で表される。

$$P_{FC_Loss_semi} = 2(n-1)(P_{FC_con_sw} + P_{FC_con_FWD} + P_{FC_switch} + P_{FC_rec}) \dots (11)$$

〈3・2〉アクティブ中性点クランプ方式の損失計算法

本節では、ANPC 方式の半導体素子の損失計算法について説明する⁽²⁾⁽⁹⁾。ANPC 方式も FC 方式と同様に位相シフト変調方式で動作させるとすると、ANPC 方式の変調波 λ_B は(12)式で得られる。

$$\lambda_B = \begin{cases} a \sin \theta & \text{when } 0 < \theta < \pi \\ a \sin \theta + 1 & \text{when } \pi < \theta < 2\pi \end{cases} \dots (12)$$

Fig.2 において、Cell1 の素子 1 つに発生するスイッチ側の導通損失 $P_{ANPC_con_sw_Cell1}$ は(13)式で、FWD 側の損失 $P_{ANPC_con_FWD_Cell1}$ は(14)式で導出することができる。

$$P_{ANPC_con_sw_Cell1} = I_m \left(\frac{v_0}{2\pi} - \frac{1}{2} v_0 \cos \phi + \frac{1}{8\pi} I_m r_{on} \sin 2\phi - \frac{1}{4\pi} I_m r_{on} \phi - \frac{2}{3\pi} I_m a r_{on} \cos \phi - \frac{1}{4} a v_0 \cos \phi \right) \dots (13)$$

$$P_{ANPC_con_FWD_Cell1} = I_m \left(\frac{v_0}{2\pi} + \frac{1}{2} v_0 \cos \phi - \frac{1}{8\pi} I_m r_{on} \sin 2\phi + \frac{1}{4\pi} I_m r_{on} + \frac{1}{4\pi} I_m r_{on} \phi - \frac{2}{3\pi} I_m a r_{on} \cos \phi - \frac{1}{4} a v_0 \cos \phi \right) \dots (14)$$

Cell2 の導通損失について述べる。 S_n, S_{n+2} のスイッチ側の導通損失 $P_{ANPC_con_sw_Cell2A}$ は(15)式で、 S_n, S_{n+2} の FWD 側の導通損失 $P_{ANPC_con_FWD_Cell2A}$ は(16)式で導出することができる。

$$P_{ANPC_con_sw_Cell2A} = \frac{1}{2\pi} \left[a r_{on} \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) I_m^2 + a v_0 \left(\frac{1}{2} \pi \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) \right] \dots (15)$$

$$P_{ANPC_con_FWD_Cell2A} = \frac{1}{12\pi} \left[I_m^2 \left(8 I_m r_{on} \sin \left(\frac{\phi}{2} \right)^4 - 3 v_0 \sin \phi + 3 \phi v_0 \cos \phi \right) \right] \dots (16)$$

同様に、 S_{n+1}, S_{n+3} のスイッチ側の導通損失 $P_{ANPC_con_sw_Cell2B}$ と FWD 側の導通損失 $P_{ANPC_con_FWD_Cell2B}$ は(17)、(18)式となる。

$$P_{ANPC_con_sw_Cell2B} = \frac{1}{2\pi} \left[I_m v_0 (\cos \phi + 1) + I_m^2 r \left(\frac{\pi}{2} + \frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m a v_0 \left(\frac{\pi}{2} \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) + I_m a r \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] \dots (17)$$

$$P_{ANPC_con_FWD_Cell2B} = \frac{1}{2\pi} \left[I_m^2 r \left(\frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) - I_m v_0 + I_m v_0 \cos \phi - \frac{1}{2} I_m a v_0 (\sin \phi - \phi \cos \phi) + I_m^2 a r \left(\frac{1}{6} \cos 2\phi - \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] \dots (18)$$

Cell1 のスイッチング損失 $P_{ANPC_switch_Cell1}$ と FWD のリカバリ損失 $P_{ANPC_rec_Cell1}$ は(19)、(20)式で導出することができる。

$$P_{ANPC_switch_Cell1} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} (e_{on} + e_{off}) f_c \dots (19)$$

$$P_{ANPC_rec_Cell1} = \frac{1}{(n-1)\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} e_{rr} f_c \dots (20)$$

Cell2 のスイッチング損失は、Cell2 のスイッチが出力周波数でスイッチングを行うため、キャリア周波数と同じ周波数でスイッチ

ングする Cell1 のスイッチング損失と比較して、Cell2 のスイッチング損失は十分小さく無視できる。

従って、n レベルの ANPC 方式の半導体に発生する 1 相当りの損失は(21)式で表される。

$$P_{ANPC_Loss_semi} = 2 \left[\frac{(n-3)}{2} + 1 \right] \left(P_{ANPC_con_sw_Cell1} + P_{ANPC_con_FWD_Cell1} + P_{ANPC_switch_Cell1} + P_{ANPC_rec_Cell1} \right) + 2 \left(P_{ANPC_con_sw_Cell2A} + P_{ANPC_con_FWD_Cell2A} + P_{ANPC_con_sw_Cell2B} + P_{ANPC_con_FWD_Cell2B} \right) \dots (21)$$

〈3・3〉シミュレーションを用いた各マルチレベル方式の損失計算式の妥当性の確認

Fig.3 に 3 相 10kW の各方式の半導体素子に発生する損失を数式による計算結果とシミュレーションによる解析結果で比較した結果を、Table1 に解析に用いた変換器の仕様とデバイスを示す。Table1 の仕様に基づいて 3 相 10kW の 5 レベル FC インバータ、7 レベル ANPC インバータを設計した。Fig.3 より、各方式の半導体に発生する損失の数式による計算結果とシミュレーションによる解析結果が最大誤差 0.05% 以下で全て一致しており、数式による損失計算法の妥当性を確認した。

4. 損失計算法による各方式のレベル数に対する損失特性の比較

本節では、3 章にて提案した各方式の損失計算法を用いて、レベル数を 3-11 レベルまで変化させたときの 2 つのマルチレベル方式の損失特性について考察する。

Fig.4 に MOSFET の素子耐圧に対するオン抵抗の特性を示す。Fig.4 に示す MOSFET は 5 つのデバイスメーカー (Infineon, IXYS, IR, RENESAS, TOSHIBA) の製品から、素子耐圧が 60V-300V、電流定格が 50A-100A のものを選択している。Fig.4 において、素子耐圧とオン抵抗が比例する近似線を任意に作成し、それに基づいてレベル数を 3-11 レベルまで変化させたときのマルチレベル変換器の損失を導出する。

Fig.5 に、2 つのマルチレベル方式のレベル数に対する損失特性を示す。Fig.5 は、変換器の仕様に Table1 と同じパラメータを用い、レベル数に応じて Fig.4 の近似線に基づいた MOSFET を使用したときの各マルチレベル変換器の損失特性である。ANPC 方式の損失特性は、Cell2 に高耐圧素子を 1 つ用いた場合 (ANPC 方式 1) と、Cell2 に Cell1 と同耐圧の素子を複数直列に接続して使用した場合 (ANPC 方式 2) の 2 つの条件で検討している。各レベルの MOSFET は、半導体素子の印加電圧に対して 1.5 倍以上の余裕をみて選定している。Fig.5 より、各損失特性において、レベル数に対して損失が低減されている。また、FC 方式と ANPC 方式の損失特性において、同耐圧の素子を用いた場合、導通損失は同じ (Fig.5(a)) であり、スイッチング損失 (Fig.5(b)) は倍になっている。レベル数を $n (n \geq 5)$ とすると、ANPC 方式の Cell1 の FC 回路のレベル数は $n-2$ レベルになる。そのため、レベル数が同じ場合、ANPC 方式において PWM 駆動する半導体素子の数は、常に FC 方式の半分であり、レベル数に関係なく ANPC 方式の方が FC 方式よりも損失が小さくなる。

Fig.5 の ANPC 方式の損失特性において、ANPC 方式 1 と ANPC 方式 2 の場合では、高レベル化に対する損失の低減効

果が異なっている。これは、ANPC 方式 1 においてレベル数に関係なく Cell2 に同じ性能の高耐圧素子を用いているので、Cell2 に発生する損失は、レベル数に依存しないためである。従って、ANPC 方式 1 の条件で、高レベル化、低損失化を達成するためには、素子のオン抵抗が以下の条件を満たせば良い。

$$r_{on,h} \geq \frac{n-1}{2} r_{on,n} \dots\dots\dots (22)$$

ここで、 $r_{on,h}$ は素子耐圧が入力電圧の半分の電圧を許容できる素子のオン抵抗値、 $r_{on,n}$ は n レベルの時に素子耐圧が入力電圧の $1/(n-1)$ を許容できる素子のオン抵抗値である。一方で、(22)式を満たす素子がない場合、例えば Fig.4 の近似線よりもオン抵抗の小さい素子がない場合は、レベル数を変化させず同耐圧で低オン抵抗の素子を用いる、もしくは、複数の素子を並列接続して使用することで、電力変換器の低損失化を達成できる。またこの指針は他の方式にも同様に用いることができる。

5. 結論

本論文では、2 つのマルチレベル方式の損失一般化を行い、その損失特性について考察した。各方式の損失計算法は、シミュレーションによる解析結果と比較して誤差 0.05% 以下で一致し、その妥当性を確認した。また、損失計算法を用いて、マルチレベル方式の損失特性について比較し、ANPC 方式が FC 方式よりも低損失な変換器ということがわかった。さらに、マルチレベル方式の高効率化を目的とした高レベル化の条件及び半導体素子の複数並列使用条件を明らかにした。

今後は、マルチレベル方式の損失計算法の拡張性を高めるために、ダイオードクランプ方式及び一般化されたマルチレベル方式の損失一般化について検討を行う。

文 献

- (1) F. Z. Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (2) Barbosa, P.; Steiner, P.; Steinke, J.; Meysenc, L.; Winkelkemper, M.; Celanovic, N: "Active Neutral-point-Clamped Multilevel Converter", Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th 16-16 June 2005 Page(s):2296 - 2301
- (3) Gateau, G., Meynard, T.A., Foch, H.: "Stacked multicell converter (SMC) : properties and design", Power Electronics Specialists Conference (2001), 2001, IEEE 32nd Annual
- (4) 徳永翔平, 宗島正和, Hui Zhang, 漆畑正太, 小金沢竹久: 「3 レベル T-type NPC を拡張した 5 レベル変換器」, 全国大会, No4, pp75 (2012)
- (5) ABB RESEARCH LTD. : 多数の電圧レベルを切換えるためのスイッチギアゼル及び変換回路 P2009-525717A
- (6) Lin Ma, Tamas Kerekes, Remus Teodorescu, Xinmin Jin, Dan Florica, Marco Liserre : 「The High Efficiency Transformer-less PV Inverter Topologies Derived From NPC Topology」, EPE 2009-Barcelona , pp.1-10 (2009)
- (7) Sayago, J.A. ; Bernet, S. ; Bruckner, T.: 「Comparison of Medium Voltage IGBT-based 3L-ANPC-VSCs」, Power Electronics Specialists Conference - 2008, pp. 851-858 (2009)
- (8) J. W. Kolar, J Biela and J, Minibock: 「Exploring the Pareto Front of Multi-Objective Single-Phase PFC Rectifier Design Optimization -99.2% Efficiency vs. 7kW/dm³ Power Density」, IPEMC 2009-China, (2009)
- (9) 榎原有吾, 伊東淳一, 森田一徳, 宗島正和, 小倉和也: 「パレートフロントカーブを用いた 5 レベルトポロジーの性能比較」, SPC 浜松, SPC-12-159, EDD-12-066(2012)
- (10) 榎原有吾, 伊東淳一: 「3 レベルマルチレベル方式の半導体素子に発生する損失に対する一考察」, 全国大会, NO 4-041, pp. 71-72 (2013)

Table 1 Specification.
(a) Converter specification

Input voltage	350V	Rated power	10kW
Output voltage	200V	Output frequency	50Hz
Output current	29A	Switching frequency	10kHz
Phase angle	-18deg.	Modulation index	0.93

(b) Device parameters

Topology	FC topology	ANPC topology	
		Cell 1	Cell 2
MOSFET	IXTH88N15(IXYS)	2SK4201(RENESAS)	IXTK75N30(IXYS)
V _{DSS}	150V	100V	300V
I _D	88A	80A	75A
R _{DS}	22mΩ(Max.)	9.1mΩ(Typ.)	42mΩ(Typ.)
t _r	33ns	12ns	25ns
t _f	18ns	11ns	20ns
V _F	1.5V(Max.)	0.95V(Typ.)	1.5V(Max.)
t _{tr}	150ns	73ns	360ns

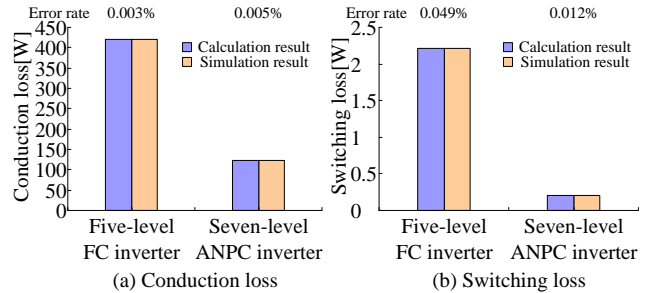


Fig.3. Power loss comparisons of two multilevel converters.

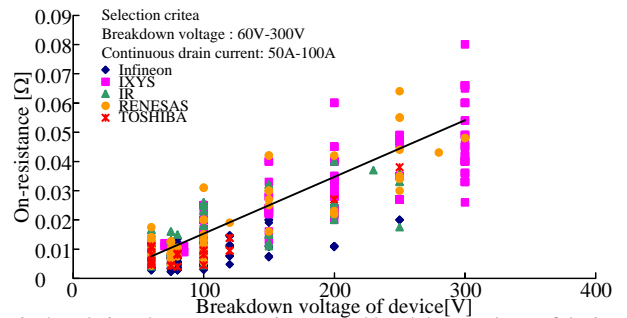


Fig.4. Relations between on resistance and breakdown voltage of device.

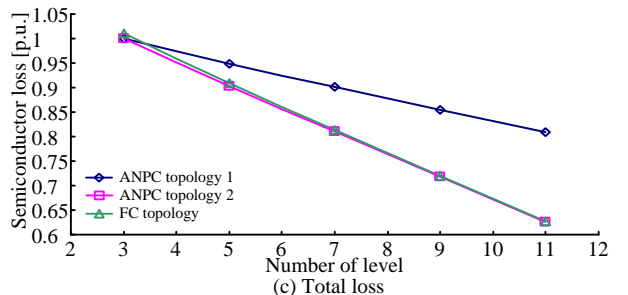
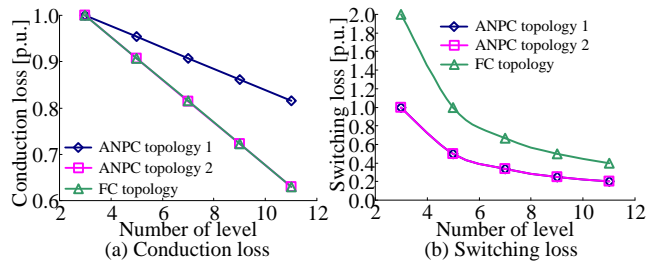


Fig.5. Power loss characteristics of multilevel converters.

1 [p.u.] of the figure 6 (a) is normalized value by total conduction loss of the three-level ANPC topology 1. On the other hand, 1 [p.u.] of the figure 6 (b) are normalized by total switching loss of the three-level ANPC topology 1. Finally, 1 [p.u.] of the semiconductor losses of figure 6 (c) are normalized value by total loss of the three-level ANPC topology 1. Cell 2 devices of the ANPC topology 1 use high-voltage rating devices. Cell 2 devices of the ANPC topology 2 use same rating devices of the Cell 1 devices.