

マトリックスコンバータの損失定式化手法

学生員 小岩 一広, 正員 ゴーテックチャン, 正員 伊東 淳一 (長岡技術科学大学)

Loss Analysis Method for Matrix Converter

Kazuhiro Koiwa, Student Member, Goh Teck Chiang, Member, Jun-ichi Itoh, Member (Nagaoka University of Technology)

This paper discusses an analysis method to evaluate the losses of matrix converter (MC). Due to the control complexity defining the losses in MC is difficult. In this paper, the conduction loss and the switching loss of the MC are derived theoretically based on the virtual AC-DC-AC control method. Then, the validity of the equations is confirmed in simulation and experimental. From the experimental results, the maximum efficiency is 97.9% with 2-phase modulation at rated power (Devices: MOSFET R6046FNZ). At last, the relationships between the efficiency and power density are discussed in a pareto front curve.

キーワード: マトリックスコンバータ, 損失解析, パレートフロント

Keywords: matrix converter, loss analysis, pareto front

1. はじめに

近年, 大容量のエネルギーバッファを用いずに交流から交流へ直接変換できるマトリックスコンバータ(以下 MC)の研究が盛んに行われている⁽¹⁾⁽²⁾⁽⁴⁾。MC は直流リンク部に大容量の電解コンデンサがないため, PWM 整流器と PWM インバータから構成される Back-to-Back システム(以下 BTB)と比較して, 小型, 軽量化および長寿命が期待できる。また, MC の電流通過素子数は BTB の半分であるため, 導通損失を小さく高効率を達成できる。以上の観点から MC はハイブリッド自動車や風力発電システムなどの交流連系システムへの適用が期待できる。

そのため, MC の高効率化や高パワー密度化が盛んに研究されている⁽¹⁾。一般に, 電力変換器を高効率・高パワー密度化するためには, 損失解析を行い, 使用するスイッチングデバイスやスイッチング周波数を最適化する必要がある。そこで, 損失解析の手法としては, 回路シミュレータを用い, 素子に流れる電流と印加される電圧から損失を算出する方法⁽²⁾と, デバイスパラメータを使用し, 理論式に基づいて損失を算出する方法⁽³⁾がある。しかし, 回路シミュレータを用いる方法で多くの動作条件にて損失を解析する場合, シミュレーション回数の増加や解析に時間がかかるため, 最適化設計には不向きである。一方, 理論式に基づく損失算出方法は, 解析にかかる時間の削減や試行回数を低減するなど最適化設計が容易であり, 簡単に回路設計することができる。

しかし, MC は回路構成が複雑であり, 交流から交流へ直接電力変換するため, 理論的な損失解析が困難である。そのため, MC の損失を定量的に解析した論文は, あまり報告されていない。

そこで本論文では, デバイス選定の観点から高効率化を

容易にするため, MC の損失を定式化する。本論文の構成は以下のようになっている。まず, 導通損失を定式化する方法について説明する。次に, スwitching 損失の定式化手法を述べる。さらに, 導出した式による計算結果とシミュレーション結果を比較し, 式の妥当性を確認する。最後に, MC の高効率化を図るため, 導出した式をもとに効率 98% が得られる MC を設計および試作し, 実験により最高効率 97.9%を確認した。

2. 回路構成および制御方法

図 1(a)に損失定式化の対象である MC の回路を示す。MC に用いる双方向スイッチは IGBT(または MOS-FET)を 2 つ逆直列に接続した構成である。また, 入力リアクトル L とフィルタキャパシタ C による共振を抑制するため, L に並列にダンピング抵抗 R を接続する。

図 1(b)に制御ブロック図を示す。MC の制御は, 仮想 AC-DC-AC 方式⁽⁴⁾を採用する。これにより, MC のスイッチングパターンは最大相から中間相を経由して最小相(または, 最小相から中間相を経由して最大相)へのスイッチングとなり, 最大相から最小相へのスイッチングは考慮しない。また, 損失解析の簡単化のため, 仮想インバータ側の制御には 3 相変調を導入し, デッドタイムおよび転流は無視する。さらに, 仮想整流器側の入力電流指令値は, 入力力率が 1.0 となるように決定される。

3. 損失定式化

図 2 に MC の損失定式化に用いる単相等価モデルを示す。ここで, 損失定式化は各相のスイッチを入力相電圧の大小関係によって振り分けて行う。たとえば, 入力相電圧の大小関係が $R > S > T$ の場合, 最大相のスイッチ S_{max} は R 相, 中間相のスイッチ S_{mid} は S 相, 最小相のスイッチ S_{min} は T 相

に接続されているスイッチとなる。つまり、 S_{max} 、 S_{mid} および S_{min} 毎に損失の定式化を行う。

(3・1) 導通損失

MC の最大相スイッチにおける導通損失の一般式は次式となる。

$$P_{con} = \frac{1}{\pi} \int_{\theta_o}^{\pi+\theta_o} D_{max} \cdot v_{on} \cdot i_o \, d\omega_o t \dots\dots\dots(2)$$

ここで、 D_{max} は最大相スイッチのデューティ、 ω_o は出力角周波数である。また、 v_{on} はデバイスのオン電圧であり、次式で表される。

$$v_{on} = k_{con1} i_o + k_{con2} \dots\dots\dots(3)$$

ただし、 k_{con1} および k_{con2} はデータシートのオン電圧特性から読み取る値である。また、 i_o は負荷電流の瞬時値であり、負荷電流最大値 I_o および負荷角 θ_o を用いて次式で表される。

$$i_o = I_o \sin(\omega_o t - \theta_o) \dots\dots\dots(4)$$

最大相スイッチの導通損失は(2)式を用いて計算できる。しかし、デューティ D_{max} は時間とともに変化するため、損失の定式化は困難である。そこで、各スイッチ毎に導通損失は求めず、総合の導通損失を定式化する。具体的には、MC において 1 相毎のデューティ指令値は以下の式で表される。

$$D_{max} + D_{mid} + D_{min} = 1 \dots\dots\dots(5)$$

ここで、 D_{max} 、 D_{mid} 、 D_{min} はそれぞれ最大相、中間相、最小相のデューティである。(5)式より、必ず 1 つのスイッチは ON 状態、かつ、2 つ以上スイッチングしないことがわかる。つまり、同じスイッチングデバイスを用いていけば、MC 単相分の導通損失は以下の式で表される。

$$P_{con} = \frac{1}{\pi} \int_{\theta_o}^{\pi+\theta_o} v_{on} \cdot i_o \, d\omega_o t \dots\dots\dots(6)$$

$$= \frac{1}{2} k_{con1} I_o^2 + \frac{2}{\pi} k_{con2} I_o$$

(3・2) スイッチング損失

本節では、MC の最大相スイッチング(ターンオン)損失 P_{ton_smax} を定式化する手法を述べる。まず、MC のターンオン損失の一般式は次式となる。

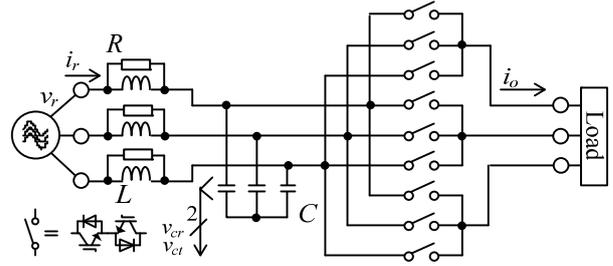
$$P_{sw_loss} = \frac{1}{T} \int_0^T \frac{f_s}{V_s} e_{on} v_{sw} \, d\omega_o t \dots\dots\dots(7)$$

ここで、 T は負荷電流の周期、 f_s はスイッチング周波数、 V_s はスイッチング損失を測定した際の試験電圧、 v_{sw} はスイッチに印加される電圧である。また、 e_{on} は素子に流れる電流に対して発生する瞬時ターンオン損失であり、(8)式で表される。

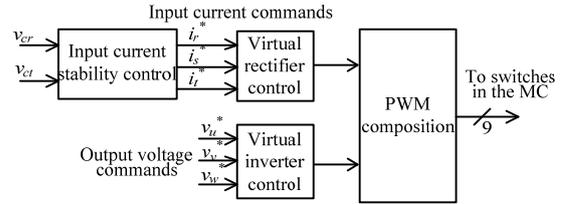
$$e_{on} = k_{ton1} i_o + k_{ton2} \dots\dots\dots(8)$$

ここで、 k_{ton1} および k_{ton2} はデータシートのスイッチング損失特性から一次近似して求められる。

図 3 に各相のスイッチにおけるスイッチング損失の発生期間を示す。図に示すように、各スイッチにおいてスイッチング損失が発生する期間は負荷電流 i_o の極性によって異



(a) Main circuit.



(b) Control diagram of the matrix converter.

Fig. 1. Circuit configuration of the matrix converter.

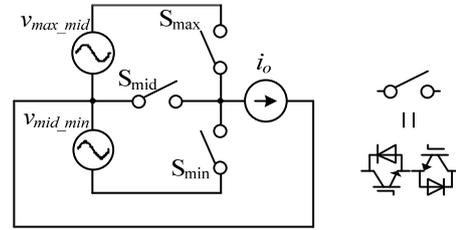


Fig. 2. Equivalent single phase model of the matrix converter for formulating the losses.

なる。たとえば、最大相のスイッチング損失 P_{sw_smax} は i_o の極性が正のときに発生する。一方、スイッチに印加される電圧 v_{sw} は各スイッチ毎に異なる。全スイッチングパターンが最大相(または最小相)から中間相を経由して最小相(または最大相)にスイッチングすると仮定した場合、最大相のスイッチに印加される電圧は最大相の電圧 v_{max} と中間相の電圧 v_{mid} の差分電圧 v_{max_mid} となる。以上より、最大相のスイッチング損失 P_{sw} は(9)式で表される。

$$P_{ton_smax} = \frac{f_s}{4\pi^2 V_s} \cdot \int_{\theta_o}^{\pi+\theta_o} \left\{ \int_0^{\frac{\pi}{6}} e_{on}(x) v_{max_mid}(y) \, dy + \dots + \int_{\frac{\pi}{6}}^{2\pi} e_{on}(x) v_{max_mid}(y) \, dy \right\} dx \dots\dots\dots(9)$$

ここで、積分範囲 x および y は次式となる。

$$x = \omega_o t \dots\dots\dots(10)$$

$$y = \omega_i t \dots\dots\dots(11)$$

ただし、 ω_i は入力角周波数である。したがって、最大相のスイッチング損失は(12)式となる。

$$P_{ton_smax} = \frac{3f_s V_{in}}{2\pi^2 V_s} (2k_{ton1} I_o + k_{ton2} \pi) \dots\dots\dots(12)$$

同様に、中間相および最小相のスイッチング損失を計算すると次式となる。

$$P_{ton_smid} = \frac{3f_s V_{in}}{\pi^2 V_s} (2k_{ton1} I_o + k_{ton2} \pi) \dots\dots\dots(13)$$

$$P_{ron_smin} = \frac{3f_s V_{in}}{2\pi^2 V_s} (2k_{ton1} I_o + k_{ton2} \pi) \dots\dots\dots (14)$$

4. シミュレーションと理論式の比較

本章では、3章で導出した式の妥当性を確認するため、損失シミュレーションを用いて比較する。ここで、表1に損失計算およびシミュレーションで用いるパラメータを示す。シミュレーションでは、IGBTのオン電圧特性およびスイッチング損失特性をそれぞれ一次近似して損失解析を行った。

図4に負荷電流の大きさに対する導通損失およびスイッチング損失の比較結果を示す。シミュレーション結果は点で、導出した式から求めた結果は実線または点線で示している。結果より、シミュレーションと理論式の導通損失の誤差は0.02%以内となり、導出した導通損失の式の妥当性を確認できる。一方、負荷電流が20Aの場合、スイッチング損失はシミュレーションと理論式との誤差が2.4%である。この誤差の原因は、スイッチングリップルであり、スイッチング周波数を増加させると、誤差は小さくなる。

5. MOSFET を用いたマトリックスコンバータの高効率化設計

MCの導通損失およびスイッチング損失を(6), (12), (13)および(14)式を用いて最適化設計し、高効率が得られるMCを試作する。ここで、使用するスイッチング素子はMOSFET(R6046FNZ)であり、表2にMOSFETのパラメータおよび実験条件を示す。MOSFETのスイッチング損失は負荷電流の極性に依存しないため、IGBTスイッチング損失の2倍となる。

図5にMOSFETを用いたMCの外観を示す。この基板は主回路以外にも、フィルタキャパシタ、サージ電圧保護回路、スイッチを駆動するための回路から構成されている。また、本基板のサイズは、358mm×155mm×40mmである。

図6に誘導性負荷を用いて2kW試作MCの動作実験を行った結果を示す。ここで、入力電圧は相電圧を、出力電圧は線間電圧を示す。出力電圧はLPF(カットオフ周波数1.5kHz)を通過させた波形である。また、仮想インバータ側の制御に2相変調を適用した。結果より、MCの入力力率はほぼ1.0に制御されている。また、入力電流THDは7.4%である。以上より、試作したMCの基本動作を確認できる。

図7に負荷に対する損失特性を示す。実験結果とシミュレーション結果および理論値を比較すると、ほぼ一致している。したがって、導出した式の妥当性を確認でき、本損失定式化手法を適用することで、より少ない試行回数で損失解析できるため、最適化設計が容易である。

図8にMCのパレートフロントを示す。ここで、MCのパワー密度に対する効率の特性を、スイッチング周波数を6kHzから100kHzまで変化させて取得した。また、出力電力は2kW一定とし、体積は入力LCフィルタ、スイッチング素子およびヒートシンクを考慮している。なお、LCフィ

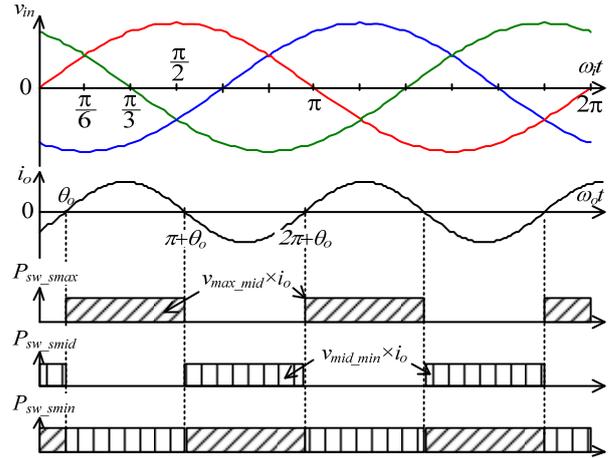


Fig. 3. Integral period of each switching loss of the matrix converter.

Table 1. Device parameters and simulation condition to calculate the matrix converter losses.

Parameters of switching device (SK80GM063)		
On-state voltage characteristic	k_{con1} (V/A)	0.0182
	k_{con2} (V)	0.9773
Switching loss characteristic	k_{ton1} (J/A)	0.00005
	k_{ton2} (J)	0.0
Input power factor		1.0
Maximum input line voltage V_{in}		283 V
Switching frequency f_s		10 kHz
Output angular frequency ω_o		180π rad/s
Input angular frequency ω_i		100π rad/s

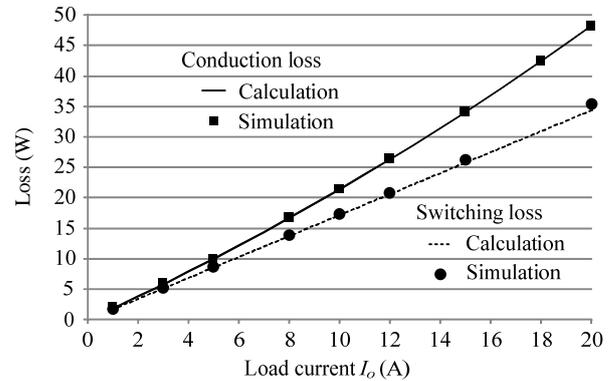


Fig. 4. Conduction loss and switching loss - load current characteristics between calculation and simulation.

ルタは、カットオフ周波数をスイッチング周波数の1/10およびフィルタキャパシタの電圧リップルを5%以下と仮定して設計した。さらに、ヒートシンクは単位体積当たりの冷却効果(CSPI)を4.0と仮定⁽⁵⁾し、次式により設計した。

$$Vol_{heat} = \frac{1}{CSPI \times R_{th}} \dots\dots\dots (15)$$

ここで、 R_{th} は熱抵抗であり、デバイスの損失 P_{loss} 、最大ジャンクション温度 T_j および周囲温度 T_a を用いて次式で表せられる。

Table 2. Device parameters and experimental conditions.

Parameters of switch (R6046FNZ)			Input line voltage	200 V
Rated voltage V_n	600 V	Output line voltage	2-phase mod.	150 V
Rated current I_n	46 A		3-phase mod.	173 V
On-state voltage characteristic	k_{con1} (V/A)	0.08	Output frequency f_o	40 Hz
	k_{con2} (V)	0.0	Switching frequency f_s	10 kHz
Turn-on loss characteristic	k_{ton1} (J/A)	0.00005	Load inductance L_o	10 mH
	k_{ton2} (J)	0.0	Input inductance L	2 mH
Turn-off loss characteristic	k_{off1} (J/A)	0.00005	Filter capacitor C	6.6 μ F
	k_{off2} (J)	0.0	Damping resistor R	-
No load loss and snubber loss	10 W	Wire resistance R_w	55 m Ω	

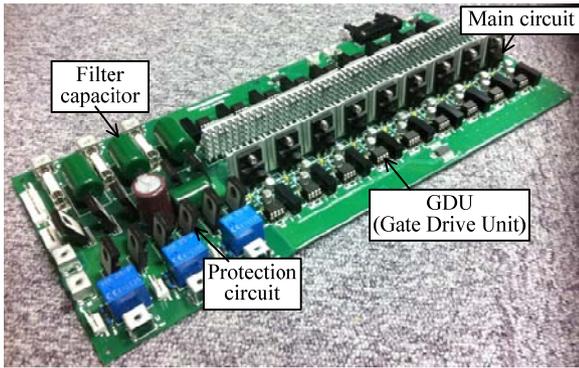


Fig. 5. Board of a 2-kW matrix converter.

$$R_{th} = \frac{T_j - T_a}{P_{loss}} \dots \dots \dots (16)$$

結果より、スイッチング周波数 60 kHz のときに、最高パワー密度で高効率(97.0%)が得られることを確認できる。一方、スイッチング周波数 10 kHz, 出力電力 2.08 kW 時の実験結果を一点プロットした。ここで、パワー密度は MC 基板の体積を用いて計算した。その結果、理論計算と比較して効率はほぼ一致している。しかし、理論計算と実機のパワー密度に 12%の誤差がある。これは、実際のスイッチの T_j の上昇と、計算で許容している T_j に差異があるためである。以上より、MC の損失を定式化することで、試行回数が多いパレートフロントによる検討を容易に行うことができる。

6. まとめ

本論文では、MC の導通損失およびスイッチング損失を定式化する手法について提案した。

その結果、導出した式による計算結果とシミュレーション結果を比較し、導通損失の誤差率は 0.02%以内と理論式の妥当性を確認した。一方、スイッチング損失の誤差率は 2.4%であり、誤差の原因はスイッチングリップルである。さらに、導出した式をもとに、効率 98%が得られる MC を設計および試作し、実験により負荷 1.5 kW で最高効率 97.9%を得た。

今後の課題として、BTB システムを製作し、MC と BTB システムをパレートフロントおよび実験で比較することで、MC の有効性を効率の観点から検討する。なお、本研究の一部は平成 23 年度産業技術研究助成事業の支援を受けており、関係各位に感謝の意を表します。

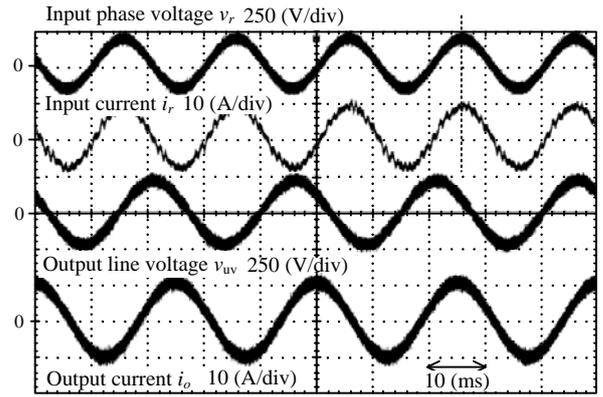


Fig. 6. Steady operation at rated power by the experiment.

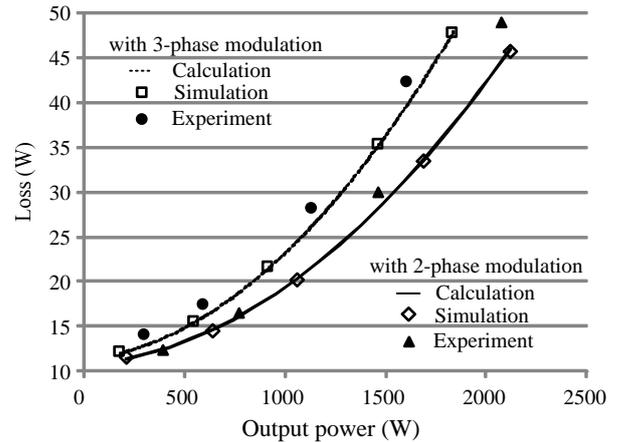


Fig. 7. Total loss characteristics comparison among calculation, simulation and experimental result.

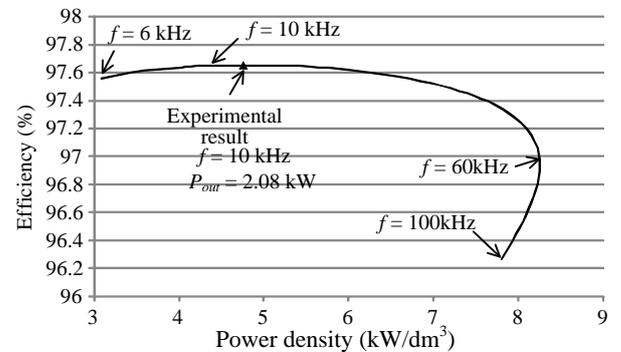


Fig. 8. Pareto front of the matrix converter (Rated power = 2kW).

文 献

- (1) P. W. Wheeler, J. Rodriguez, J. C. Clare, L. Empringham: "Matrix Converters: A Technology Review" IEEE Transactions on Industry Electronics Vol. 49, No. 2, pp274-288, 2002.
- (2) J. Itoh, T. Iida, A. Odaka: "Realization of High Efficiency AC link Converter System based on AC/AC Direct Conversion Techniques with RB-IGBT" Industrial Electronics Conference, Paris, PF-012149,2006
- (3) R. Moghe, R. P. Kandula, A. Iyer, D. Divan: "Loss comparison between SiC, hybrid Si/SiC, and Si devices in direct AC/AC converters", ECCE2012, pp. 3848-3855 (2012)
- (4) J.Itoh, I.Sato, H.Ohguchi, K.Sato, A.Odaka, N.Eguchi: 「A Control Method for the Matrix Converter Based on Virtual AC/DC/AC Conversion Using Carrier Comparison Method」 IEEJ Vol.124-D No.5,2004(in Japanese)
- (5) U. DROFENIK, G. LAIMER, J. W. KOLAR: "Theoretical Converter Power Density Limits for Forced Convection Cooling", Proceedings of the International PCIM Europe Conference, Vol. , No. , pp. 608-619 (2005)