



なお,  $S_1, S_3, D_2$  と  $S_2, S_4, D_1$  は出力周波数の正負に伴い, 半周期毎にスイッチングする。また, この回路では, 中性点電位でクランプされるため, スwitchの印加電圧は直流電圧の 1/2 となる。従って, DLCMP に発生する無負荷損失  $P_{nloss\_3D}$  は, (3)式で得られる。

$$P_{nloss\_3D} = 2 \left\{ \frac{1}{2} C_{ds} \left( \frac{V_{dc}}{2} \right)^2 \frac{f_c}{2} \right\} + 2 \left\{ \frac{1}{2} C_j \left( \frac{V_{dc}}{2} \right)^2 \frac{f_c}{2} \right\} = \frac{1}{2} (C_{ds} + C_j) \left( \frac{V_{dc}}{2} \right)^2 f_c \quad (3)$$

ここで,  $C_j$  はダイオードの接合容量,  $V_{dc}$  は直流電圧である。

<2.2>FC ここで考える変調方式は, 図 1(b)において,  $S_1$  と  $S_4, S_2$  と  $S_3$  のそれぞれ相補動作する素子を, 出力電圧指令値 1 周期の期間, 常にキャリア周波数でスイッチングを行うとする。また, 各素子の印加電圧は直流電圧の 1/2 となる。相補動作となる素子において, スwitchの印加電圧は出力電圧指令値周期の半周期ごとにフライングキャパシタによって常に片方のスwitchのオンオフするタイミングで変化する。従って, 一方のスwitchは印加電圧ゼロでオンするため無負荷損失は発生しない。すなわち, 無負荷損失は全てのスswitchにおいて出力電圧指令値の半周期の期間のみ発生し, FC に発生する無負荷損失は(4)式となる

$$P_{nloss\_3F} = 4 \left\{ \frac{1}{2} C_{ds} \left( \frac{V_{dc}}{2} \right)^2 \frac{f_c}{2} \right\} = C_{ds} \left( \frac{V_{dc}}{2} \right)^2 f_c \quad (4)$$

<2.3>T-type NPC 図 1(c)において出力電圧指令値が正の時,  $S_1$  と  $S_3, S_4$  が, 指令値が負の時,  $S_2$  と  $S_3, S_4$  がキャリア周波数でスイッチングする。ここで, T-type NPC の各素子の耐圧は, 他のトポロジーと異なり,  $S_1$  と  $S_2$  は直流電圧,  $S_3$  と  $S_4$  は直流電圧の 1/2 となる。しかし,  $S_1$  から  $S_2$  へ転流する際, 必ず  $S_3, S_4$  を経由してスイッチングするので,  $S_1, S_2$  のスイッチング電圧は直流電圧の 1/2 となる。また, DLCMP と同じく, スwitchングする素子は出力周波数の正負で入れ替わる。さらに,  $S_1, S_2$  は, 転流の際に印加電圧が直流電圧から直流電圧の 1/2 に変化する際にも無負荷損失が発生する。よって, T-type NPC に発生する無負荷損失は(5)式で得られ, フライングキャパシタ形と同じ式となる。

$$P_{nloss\_3T} = 2 \left\{ \frac{1}{2} C_{ds} \left( \frac{V_{dc}}{2} \right)^2 \frac{f_c}{2} \right\} + 2 \left\{ \frac{1}{2} C_{ds} \left( V_{dc} - \frac{V_{dc}}{2} \right)^2 \frac{f_c}{2} \right\} = C_{ds} \left( \frac{V_{dc}}{2} \right)^2 f_c \quad (5)$$

### 3. 実験検証

検討した無負荷損失の妥当性を確認するために, 3 つの 3 レベルトポロジーを試作し, 軽負荷時の損失について評価する。定格出力を 3.3kW として, DLCMP と FC は 300V 耐圧の素子を, T-type NPC は 600V 耐圧の素子を選定した。ここで, スwitchング素子の寄生容量は 10 個の試料を用いて LCR メータ (5 V, 10 kHz) で測定しその平均値とした。また, FC のフライングキャパシタの ESR も 5 個の試料を用いて同様に測定しその平均値とした。ここで, 寄生容量や ESR は 1 試料の測定だけでは, 測定結果に大きな誤差を含む可能性があるため, 注意が必要である。

図 2 に 3 レベルトポロジーに発生する無負荷損失について

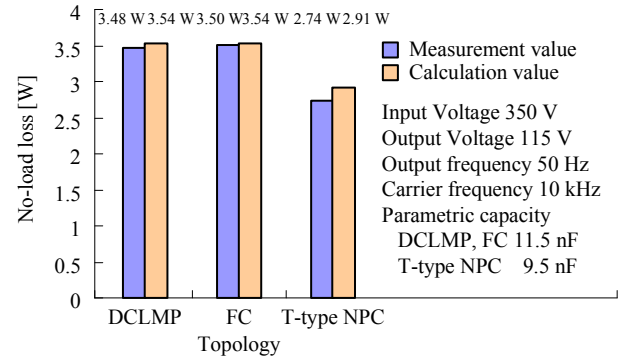


Fig. 2.No-load loss comparison of the three-level inverters.

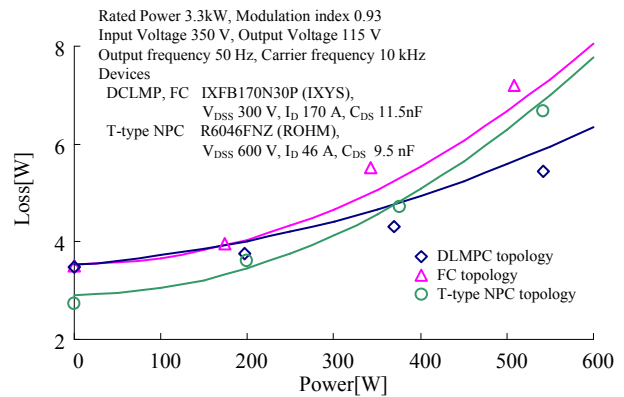


Fig. 3.Power loss of the three-level inverters.

て計算式と比較した結果を示す。それぞれのトポロジーにおいて, 実験値と計算値の誤差が DLCMP トポロジーは 1.7%, FC トポロジーは 1.1%, T-type NPC トポロジーは 5.9% で一致し, 無負荷損失の計算式の妥当性を確認した。

図 3 に負荷を無負荷から 550W まで変化させたときの損失特性を示す<sup>(4)</sup>。図 3 より DLCMP トポロジーは最大誤差 7% 以下, FC トポロジーは最大誤差 8% 以下, T-type NPC トポロジーは最大誤差 6% 以下で一致した。

### 4. 結論

本論文では, 3 つの 3 レベルインバータの無負荷損失の発生メカニズムを考察した。そして, 試作機を作成し, 軽負荷時の損失について実験値と計算値を比較した。その結果, 誤差が 6% 以内の誤差でよく一致し, 提案する無負荷損失の計算方式が妥当であることを確認した。

### 文 献

- (1) 日向敏文, 伊東淳一:「インダイレクトマトリックスコンバータの無負荷運転時における損失の一考察」, 平成 22 年度北陸支部連合大会, A-75 (2010)
- (2) A. Nabae, I. Takahashi, H. Akagi, “A new neutral-point-clamped PWM inverter”, IEEE Trans. Industry Applications, Vol.1A-17, 1981, pp.518-523.
- (3) F. Z. Peng : “A Generalized Multilevel Inverter Topology with Self Voltage Balancing”, IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (4) Yugo Kashiwara, Jun-ichi Itoh, “The performance of the multilevel converter topologies for PV inverter”, International Conference on Integrated Power Electronics Systems (CIPS) 2012, Nuremberg, Germany (2012)