

らかにした論文は, 著者らの知る限りない。

本論文では, 従来回路の 2 レベルインバータや 3 レベル DC 形インバータ, 3 レベル T-type 中性点クランプ(以下 NPC)形インバータ, 5 レベル ANPC 形インバータの効率とパワー密度に着目したパラメータ設計を明らかにする。そして, 系統連系用として各マルチレベルトポロジーを設計し, 効率や体積について, それぞれの回路の特徴を評価することを目的とする。これによって, 仕様に応じた最適なトポロジーを選択・設計することができる。しかしながら, 電力変換器の効率とパワー密度にはトレードオフの関係があるため, 単純な電力変換器の高効率化を目指した場合, 変換器の体積は大きくなり, 高効率と高パワー密度の両立が難しくなる。そこでパレートフロントを用いて各マルチレベルトポロジーの性能を比較する。パレートフロントカーブはトレードオフとなる 2 つのパラメータの限界点を示す 1 つの手法で有り, 仕様に対する性能限界点を示すことができる^{(6), (7), (8)}。この手法を用いて, 仕様に対する各マルチレベルトポロジーの性能限界点を明らかにする。

本稿では, まず, PV 用系統連系システムに適用する変換器と設計手順について説明する。次に, 各変換器のパラメータ設計について説明する。最後に, PV 用系統連系インバータを設計し, パレートフロントによる変換器性能について検討する。その結果, 5 レベル ANPC インバータが効率, パワー密度共に最も高い変換器を設計できることがわかったので報告する。

2. 変換器トポロジーと設計フローチャート

〈2・1〉 回路トポロジー

図 2 に, 4 つのマルチレベルトポロジーを示す。本論文では, 従来の 2 レベルインバータ, 3 レベル DC 形インバータ, 3 レベル T-type NPC 形インバータ, 5 レベル ANPC 形インバータの性能について検討する。2 レベルインバータは, 全てのインバータの基本的な回路である。3 レベル DC 形インバータは, 直流中点をダイオードでクランプした回路で, 産業応用において中電圧アプリケーションに適用されている。3 レベル T-type NPC 形インバータは 3 レベル DC 形インバータのダイオード(D₁, D₂)と負荷中点側のスイッチ(S₂, S₃)を逆直列に接続された 2 つのスイッチに置き換えた回路である。5 レベル ANPC 形インバータは DC 方式と FC 方式を組み合わせた回路である。

〈2・2〉 設計フローチャート

図 3 に, マルチレベル変換器の設計フローチャートを示す。設計フローチャートは, 変換器の仕様やデバイスパラメータを入力とし, 変換器を構成する半導体素子, インダクタ, キャパシタ, ヒートシンクの各パラメータを設計する。それぞれのパラメータ設計結果から, 変換器全体の効率, 体積, パワー密度を導出する。ここで, 設計フローチャートは, 半導体素子, インダクタ, キャパシタは同じ入力パラメータから設計する。変換器全体のパラメータは 4 つの部品を設計した上で導出するため, 各部品はどのパー

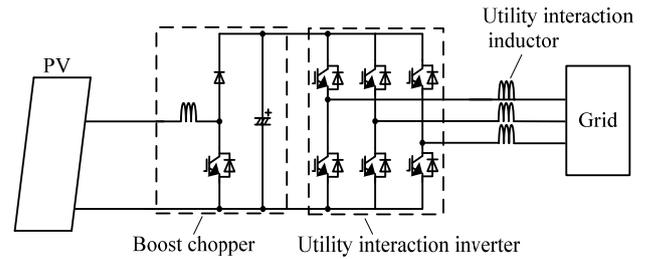
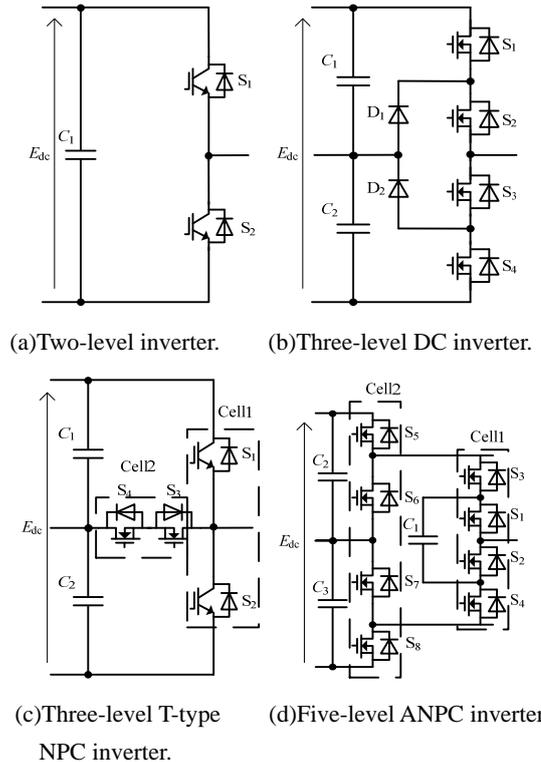


Fig.1. A PV system.



(a)Two-level inverter.

(b)Three-level DC inverter.

(c)Three-level T-type

(d)Five-level ANPC inverter.

NPC inverter.

Fig.2. Single leg multilevel converter topologies.

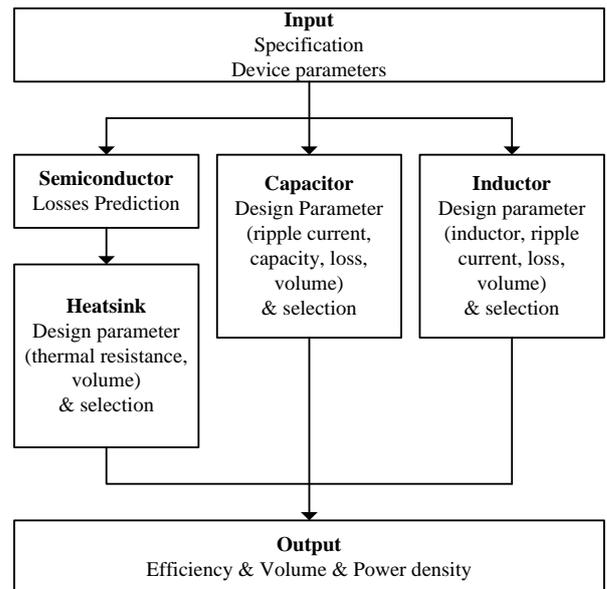


Fig.3. Power density and efficiency calculation procedure for the inverter.

トからでも設計できる。

半導体素子の設計パートでは、半導体素子に発生する損失は入力パラメータを用いて数式により計算する⁽⁵⁾。

キャパシタの設計パートでは、入力パラメータ用いてキャパシタ容量、リップル電流、電力損失、体積を導出する。特に、キャパシタの体積は変換器の高パワー密度化に対する重要な要素となる。キャパシタの体積は製品から体積係数を導出して計算する^{(6)・(8)}。

リアクトルの設計部分では、インダクタ、リップル電流、損失、体積の 4 つのパラメータを検討する。特に、インダクタの体積は変換器の小型化に対して重要な要素である。インダクタの体積は、Area Product を用いて設計を行なう⁽⁸⁾。

ヒートシンクの設計では、先に算出した半導体素子の損失に基づき、熱抵抗と体積のパラメータについて検討を行なう。ヒートシンクの体積の見積もりには、CSPI (Cooling System Performance Index)を用いて検討を行なう^{(7)・(10)}。CSPI は、単位体積当たりの熱抵抗の逆数で、この数値が大きいほど単位体積当たりの冷却能力が大きいことを示す。

各部品のパラメータ設計から、変換器の総合損失 P_{Loss} は(1)式で得ることができる。

$$P_{Loss} = P_{Sw} + P_{Cap} + P_L \dots\dots\dots(1)$$

ここで、 P_{Sw} は半導体素子の損失、 P_{Cap} はキャパシタの損失、 P_L はインダクタの損失である。

次に、変換器の総合体積 Vol は(2)式にて表せる。

$$Vol = Vol_{Sw} + Vol_{Cap} + Vol_L + Vol_H \dots\dots\dots(2)$$

ここで、 Vol_{Sw} は半導体素子の体積、 Vol_{Cap} はキャパシタの体積、 Vol_L はインダクタの体積、 Vol_H はヒートシンクの体積である。最後に(1)式、(2)式よりパワー密度 ρ は(3)式となる。

$$\rho = \frac{P_{out}}{Vol} \dots\dots\dots(3)$$

ここで、 P_{out} は出力電力である。

3. マルチレベル変換器への適用

2章で述べた変換器の設計フローチャートを用いて4つのマルチレベルインバータを設計する。

〈3・1〉 半導体素子の損失計算法

本節では半導体素子の損失計算について説明する。半導体素子に発生する電力損失は以下の条件で計算を行う。

- 1) 負荷電流リップルは無視できる(電流源負荷とみなす)
- 2) キャパシタのリップル電圧は無視できる(直流電圧源とみなす)なお、キャパシタのリップル電圧が大きい場合でも、半導体素子の損失はほとんど変わらないことを損失シミュレーションにより確認している⁽¹²⁾。

はじめに、半導体素子に発生する損失は(4)式のように表すことができる。

$$P_{Sw} = P_{con} + P_{switch} + P_{rec} + P_{nloss} \dots\dots\dots(4)$$

ここで、 P_{con} は導通損失、 $P_{switching}$ はスイッチング損失、 P_{rec} はリカバリ損失、 P_{nloss} は無負荷損失である。半導体素子に発生する損失は、導通損失、スイッチング損失、無負荷損失から構成される。

まず、導通損失はスイッチ(IGBT, MOSFET)と環流ダイオード(FWD)側に発生する損失に分けて考えることができる。ここで、半導体素子に流れる正の電流はすべてスイッチ側に、負の電流はすべて FWD 側に流れると仮定する。また、MOSFET の場合、オン抵抗が小さければスイッチ側に正負両方の電流が流れる。しかし、FWD のオン電圧特性を MOSFET と同一に設定することで損失は計算できる。 P_{con} は、スイッチのオン電圧とスイッチに流れる電流から導出することができ、それぞれ(5)、(6)、(7)式にて表せる。

$$P_{con} = \frac{1}{2\pi} \int_{\alpha}^{\beta} v_{on} i_{sw} d\theta \dots\dots\dots(5)$$

$$v_{on} = r_{on} I_m \sin(\theta + \phi) + v_0 \dots\dots\dots(6)$$

$$i_{sw} = \lambda I_m \sin(\theta + \phi) \dots\dots\dots(7)$$

ここで、 v_{on} はスイッチのオン電圧降下、 v_0 はスイッチに流れる電流が 0A の時のオン電圧降下、 r_{on} は半導体素子のオン抵抗、 λ は変調波、 I_m は負荷電流ピーク値、 θ は位相角、 ϕ は出力の基本波負荷力率角である。また、スイッチのオン電圧は IGBT を想定し、PN 接合による電圧降下と抵抗分による電圧降下として一次近似により表現しているが、MOSFET の場合は抵抗特性のため、(6)式において $v_0=0$ とすれば順方向の導通損失を導出できる。

次に、出力周波数 1 周期あたりのスイッチング損失とリカバリ損失は、スイッチング周波数と素子に印加される電圧と電流から(8)式と(9)式で導出できる。

$$P_{switch} = \frac{1}{n-1} \frac{E_{dc}}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \frac{1}{2\pi} \int_{\alpha}^{\beta} I_m \sin(\theta + \phi) d\theta \dots\dots\dots(8)$$

$$P_{rec} = \frac{1}{n-1} \frac{E_{dc}}{E_{dcd} I_{md}} e_{rr} f_c \frac{1}{2\pi} \int_{\alpha}^{\beta} I_m \sin(\theta + \phi) d\theta \dots\dots\dots(9)$$

ここで、 E_{dc} は直流リンク電圧、 e_{on} はスイッチング 1 回のターンオン損失、 e_{off} はスイッチング 1 回のターンオフ損失、 e_{rr} はリカバリ 1 回のリカバリ損失、 E_{dcd} 及び I_{md} はデータシート上のターンオン損失、ターンオフ損失、リカバリ損失の測定条件時の電圧と電流、 f_c はキャリア周波数である。

さらに、無負荷損失は、半導体素子の寄生容量により発生する損失が支配的である。半導体素子に電圧が印加されたとき、半導体素子のドレーン-ソース間の寄生容量が充電される。そして、寄生容量の電圧が放電されたとき、半導体素子のオン抵抗に無負荷損失が発生する。無負荷損失 $P_{2L_{nloss}}$ は(10)式で導出することができる。

$$P_{nloss} = \frac{1}{2} C_{ds} V_{sw}^2 f_c \dots\dots\dots(10)$$

ここで、 C_{ds} はドレーン-ソース間の寄生容量、 V_{sw} は半導体素子に印加されている電圧である。

3.1.1 2 レベルインバータ(図 2(a))

2 レベルインバータの変調波 λ_{2l} は、(11)式で得られる。

$$\lambda_{2l} = a \sin \theta \dots\dots\dots(11)$$

ここで、 a は変調率である。

(5)式と(11)式から、2 レベルインバータの半導体素子のスイッチ側に発生する損失 $P_{2L_{con_sw}}$ は、(12)式で導出できる。

$$P_{2L_con_sw} = \left(\frac{1}{8} + \frac{1}{3\pi} a \cos \phi \right) r_{on} I_m^2 + \left(\frac{1}{2\pi} + \frac{1}{8} a \cos \phi \right) v_0 I_m \dots\dots\dots (12)$$

同様に, 2 レベルインバータの半導体素子の FWD 側に発生する損失 $P_{2L_con_FWD}$ は(13)式となる。

$$P_{2L_con_FWD} = \left(\frac{1}{8} - \frac{1}{3\pi} a \cos \phi \right) r_{on} I_m^2 + \left(\frac{1}{2\pi} - \frac{1}{8} a \cos \phi \right) v_0 I_m \dots\dots\dots (13)$$

(8)式と(9)式から, スイッチング損失 $P_{2L_switching}$ とリカバリ損失 P_{2L_rec} は, (14)式と(15)式で表せる。

$$P_{2L_switching} = \frac{1}{\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} (e_{on} + e_{off}) f_c \dots\dots\dots (14)$$

$$P_{2L_rec} = \frac{1}{\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} e_{rr} f_c \dots\dots\dots (15)$$

一方, 2 レベルインバータの無負荷損失 P_{2L_nloss} は(16)式で導出することができる。

$$P_{2L_nloss} = \frac{1}{2} C_{ds} V_{sw}^2 f_c \dots\dots\dots (16)$$

3.1.2 3 レベル DC 形インバータ(図 2(b))

3 レベル DC 形インバータのパルス発生法にはいくつかの方法があるが, ここでは最も簡単思われる(17)式で表す変調波 λ_{3D} を使用する変調方式を検討する。

$$\lambda_{3D} = \begin{cases} a \sin \theta & \text{when } 0 < \theta < \pi \\ a \sin \theta + 1 & \text{when } \pi < \theta < 2\pi \end{cases} \dots\dots\dots (17)$$

3 レベル DC 形インバータの各半導体素子に流れる電流は出力する電圧レベルと出力電圧指令値の極性によって異なる。図 2(b)において, 回路の対称性から S_1 と S_4 , S_2 と S_3 , D_1 と D_2 に発生する損失は同じであると仮定する。3 レベル DC 形インバータのそれぞれの半導体素子に発生する導通損失を, 2 レベルインバータと同様に(5)式と(17)式から導出する。まず, S_1 と S_4 のスイッチ側に発生する導通損失 $P_{3D_con_S1_sw}$ は(18)式で, FWD 側に発生する導通損失 $P_{3D_con_S1_FWD}$ は(19)式で表せる。

$$P_{3D_con_S1_sw} = \frac{a}{2\pi} \left\{ \left[\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right] r_{on} I_m^2 + \left[\frac{\pi}{2} \cos \phi - \frac{1}{2} \sin \phi + \frac{\phi}{2} \cos \phi \right] v_0 I_m \right\} \dots\dots\dots (18)$$

$$P_{3D_con_S1_FWD} = \frac{a}{2\pi} \left\{ \left[4 \sin^2 \left(\frac{\phi}{2} \right) - \sin^2 \phi \right] \frac{r_{on} I_m^2}{3} - [\sin \phi - \phi \cos \phi] \frac{1}{2} v_0 I_m \right\} \dots\dots\dots (19)$$

次に, S_2 と S_3 に発生する損失も同様に, スイッチ側の導通損失 $P_{3D_con_S2_sw}$ は(20)式で, FWD 側の導通損失 $P_{3D_con_S2_FWD}$ は(21)式で表すことができる。

$$P_{3D_con_S2_sw} = \frac{1}{2\pi} \left\{ \left[\frac{\pi}{2} + a \left(\sin^2 \phi - 4 \sin^2 \left(\frac{\phi}{2} \right) \right) \right] r_{on} I_m^2 + \left[2 + \frac{1}{2} a (\sin \phi - \cos \phi) \right] v_0 I_m \right\} \dots\dots\dots (20)$$

$$P_{3D_con_S2_FWD} = \frac{a}{2\pi} \left\{ \left[4 \sin^2 \left(\frac{\phi}{2} \right) - \sin^2 \phi \right] \frac{1}{3} r_{on} I_m^2 - [\sin \phi - \phi \cos \phi] \frac{1}{2} v_0 I_m \right\} \dots\dots\dots (21)$$

最後に, D_1 と D_2 に発生する導通損失 $P_{3D_con_D}$ は(22)式で得られる。

$$P_{3D_con_D} = \left\{ \left[\frac{\pi}{2} + a \left[\frac{1}{3} \sin^2 \phi - \frac{4}{3} \sin^2 \left(\frac{\phi}{2} \right) - \frac{1}{6} \cos 2\phi - \frac{2}{3} \cos \phi - \frac{1}{2} \right] \right] \frac{r_{on} I_m^2}{2\pi} + \left[2 + a \left[\sin \phi - \cos \phi \left(\phi + \frac{\pi}{2} \right) \right] \right] \frac{v_0 I_m}{2\pi} \right\} \dots\dots\dots (22)$$

次に, スイッチング損失に注目する。3 レベル DC 形インバータの全ての半導体素子は, 出力電圧指令値の半周期の期間のみキャリア周波数でスイッチングを行う。従って, (8)式と(9)式よりスイッチング損失 $P_{3D_switching}$ とリカバリ損失 P_{3D_rec} は(23)式, (24)式で表せる。

$$P_{3D_switching} = \frac{1}{2\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} (e_{on} + e_{off}) \frac{f_c}{2} \dots\dots\dots (23)$$

$$P_{3D_rec} = \frac{1}{2\pi} \frac{E_{dc} I_m}{E_{dc} I_{md}} e_{rr} \frac{f_c}{2} \dots\dots\dots (24)$$

また, 同様に 3 レベル DC 形インバータの無負荷損失 P_{3D_nloss} もスイッチング期間を考慮して, (25)式で得ることができる。

$$P_{3D_nloss} = \frac{1}{2} C_{ds} V_{sw}^2 \frac{f_c}{2} \dots\dots\dots (25)$$

3.1.3 3 レベル T-type NPC 形インバータ(図 2(c))

3 レベル T-type NPC 形インバータは 3 レベル DC 形インバータの派生回路であり, 一部の素子は同じ動作をする。従って, 3 レベル T-type NPC 形インバータの変調波 λ_{3TN} も, 3 レベル DC 形インバータの変調波と同様に(17)式で得ることができる。また, 図 2(c)において, 回路の対称性から S_1 と S_2 に発生する損失は同じであると仮定し, 2 レベルインバータと同様に(5)式と(17)式からそれぞれの半導体素子に発生する導通損失を導出する。

まず, 3 レベル T-type NPC 形インバータの S_1 と S_2 に発生するスイッチ側の導通損失 $P_{3TN_con_S1_sw}$ と FWD 側の導通損失 $P_{3TN_con_S1_FWD}$ は, (18)式, (19)式で導出できる。次に, 3 レベル T-type NPC 形インバータの S_3 , S_4 のスイッチ側の導通損失 $P_{3TN_con_S3_sw}$ と FWD 側に発生する導通損失 $P_{3TN_con_S3_FWD}$ は, S_3 , S_4 に流れる電流と 3 レベル DC 形インバータのダイオードに流れる電流が同じであるため, スイッチ側, FWD 側に発生する導通損失も同様に(22)式で得ることができる。

3 レベル T-type NPC 形インバータの半導体素子に印加される電圧は他の同レベルのトポロジーの半導体素子に印加される電圧と異なり, 入力電圧と同じ電圧が印加される。なお, 本論文では中性点アームに 2 つの半導体素子を逆直列に接続しているため, 中性点アーム中の素子 1 つに印加される電圧は入力電圧の 2 分の 1 になる。さらに, 各半導体素子のスイッチング期間は, S_1 と S_2 は出力電圧指令値の半周期の期間にキャリア周波数でスイッチングを行い, 一方で, S_3 と S_4 は出力電圧指令値の一周期の期間にスイッチングをする。以上を考慮して(8)式と(9)式から, 3 レベル T-type NPC 形インバータの S_1 と S_2 のスイッチング損失 $P_{3TN_switching_S1}$ は(26)式で, リカバリ損失 $P_{3TN_rec_S1}$ は(27)式で導出することができる。

$$P_{3TN_switching_S3} = \frac{1}{\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) \frac{f_c}{2} \dots\dots\dots (26)$$

$$P_{3TN_rec_S3} = \frac{1}{\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} e_{rr} \frac{f_c}{2} \dots\dots\dots (27)$$

一方で, 3 レベル T-type NPC 形インバータの S_3 と S_4 のスイッチング損失 $P_{3TN_switching_S3}$ とリカバリ損失 $P_{3TN_rec_S3}$ はスイッチング期間に注意して(28)式, (29)式で導出することができる。

$$P_{3TN_switching_S3} = \frac{1}{2\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \dots\dots\dots (28)$$

$$P_{3TN_rec_S3} = \frac{1}{2\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} e_{rr} f_c \dots\dots\dots (29)$$

無負荷損失についても, 各半導体素子のスイッチング期間を考慮して, 3 レベル T-type NPC 形インバータの S_1 と S_2 に発生する無負荷損失 $P_{3TN_loss_S1}$ は(25)式で, S_3 と S_4 の発生する無負荷損失 $P_{3TN_loss_S3}$ は(16)式で導出することができる。

3.1.4 5 レベル ANPC 形インバータ(図 2(d))

5 レベル ANPC 形インバータの回路中の半導体素子は 2 つの異なるスイッチング周波数で動作する。そのため, 2 つの Cell に分けて損失計算式を導出する。まず, 5 レベル ANPC 形インバータの変調波 λ_{5A} は, 3 レベル DC 形インバータの変調波と同様に(17)式で得られる。また, 図 2(d)において, 回路の対称性から S_1 - S_4 , S_5 と S_8 , S_6 と S_7 に発生する損失は同じであると仮定し, 2 レベルインバータと同様に(5)式と(17)式からそれぞれの半導体素子に発生する導通損失を導出する。まず, Cell1 の半導体素子のスイッチ側に発生する導通損失 $P_{5A_con_Cell1_sw}$ は(30)式で, FWD 側に発生する導通損失 $P_{5A_con_Cell1_FWD}$ は(31)式で導出できる。

$$P_{5A_con_Cell1_sw} = \frac{1}{2\pi} \left[\left[\frac{1}{4} \sin 2\phi - \frac{1}{2} \phi + \frac{4}{3} a \cos \phi \right] r_{on} I_m^2 + \left[1 - \pi \cos \phi \left(1 + \frac{1}{2} a \right) \right] v_0 I_m \right] \dots\dots\dots (30)$$

$$P_{5A_con_Cell1_FWD} = \frac{1}{2\pi} \left[\left[-\frac{1}{4} \sin 2\phi + \frac{1}{2} \phi - \frac{4}{3} a \cos \phi + \frac{\pi}{2} \right] r_{on} I_m^2 + \left[1 + \pi \cos \phi \left(1 - \frac{1}{2} a \right) \right] v_0 I_m \right] \dots\dots\dots (31)$$

Cell2 の半導体素子において, S_5 と S_7 は出力電圧指令値が正の時ターンオン, S_6 と S_8 は出力電圧指令値が負の時ターンオンする。しかしながら, それぞれの半導体素子に流れる電流は異なる。そのため, S_5 と S_8 , S_6 と S_7 の損失は同じになる。従って, S_5 と S_8 のスイッチ側に発生する損失 $P_{5A_con_Cell2_swA}$ と FWD 側に発生する損失 $P_{5A_con_Cell2_FWDA}$ は(32)式と(33)式で導出することができる。

$$P_{5A_con_Cell2_swA} = \frac{a}{2\pi} \left[\left[\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right] r_{on} I_m^2 + (-\sin \phi + (\pi + \phi) \cos \phi) \frac{1}{2} v_0 I_m \right] \dots\dots\dots (32)$$

$$P_{5A_con_Cell2_FWDA} = \frac{a}{12\pi} \left[8 \sin \left(\frac{\phi}{2} \right)^4 r_{on} I_m^2 + 3(-\sin \phi + \phi \cos \phi) v_0 I_m \right] \dots\dots\dots (33)$$

一方で, S_6 と S_7 のスイッチ側に発生する損失

$P_{5A_con_Cell2_swB}$ と FWD 側に発生する損失 $P_{5A_con_Cell2_FWDB}$ は(34)式と(35)式で導出できる。

$$P_{5A_con_Cell2_swB} = \frac{1}{2\pi} \left[\left[\left(\frac{\pi}{2} + \frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) + a \left(\frac{1}{6} \cos 2\phi + \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] r_{on} I_m^2 + \left[(\cos \phi + 1) - a \left(\frac{\pi}{2} \cos \phi - \frac{1}{2} \sin \phi + \frac{1}{2} \phi \cos \phi \right) \right] v_0 I_m \right] \dots\dots\dots (34)$$

$$P_{5A_con_Cell2_FWDB} = \frac{1}{2\pi} \left[\left[\left(\frac{\phi}{2} - \frac{1}{4} \sin 2\phi \right) + a \left(\frac{1}{6} \cos 2\phi - \frac{2}{3} \cos \phi + \frac{1}{2} \right) \right] r_{on} I_m^2 + \left[-1 + \cos \phi - \frac{1}{2} a (\sin \phi - \phi \cos \phi) \right] v_0 I_m \right] \dots\dots\dots (35)$$

5 レベル ANPC 形インバータの Cell1 の半導体素子は出力電圧指令値一周期の期間キャリア周波数でスイッチングを行う。すなわち, Cell1 のスイッチング損失 $P_{5A_switching_Cell1}$ とリカバリ損失 $P_{5A_rec_Cell1}$ は(36)式と(37)式で得ることができる。

$$P_{5A_switching_Cell1} = \frac{1}{4\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} (e_{on} + e_{off}) f_c \dots\dots\dots (36)$$

$$P_{5A_rec_Cell1} = \frac{1}{4\pi} \frac{E_{dc} I_m}{E_{dcd} I_{md}} e_{rr} f_c \dots\dots\dots (37)$$

また, Cell1 の無負荷損失 $P_{5A_loss_Cell1}$ はスイッチング期間を考慮して, 2 レベルインバータの場合と同様に(16)式で導出することができる。一方で, 5 レベル ANPC 形インバータの Cell2 の半導体素子は出力周波数と同じ周波数でスイッチングを行うため, スイッチング損失, リカバリ損失, 無負荷損失がほとんど発生しないため無視できる。

以上, ここまで述べたこれらの損失計算式で求めた結果は損失シミュレーションの値と 0.1% 以下で一致しており, 導出した式の妥当性は検証されている⁽¹¹⁾。

3.1.5 実験による損失計算式の妥当性の検証

ここまでに求めた損失計算式の妥当性を検証するため, 5 レベル ANPC 形インバータを例に取り, 実機の損失及び効率測定結果と計算結果を比較する。図 4 に 3 相 10 kW 5 レベル ANPC 形インバータの試作機を, 表 1 と表 2 に実験条件を示す。本節では, 試作機の動作確認とこれまでに説明した損失計算式の妥当性の確認を行う。

図 5 に 8.8 kW 負荷時の 3 相 5 レベル ANPC 形インバータの動作波形を示す。出力電流は出力電流ひずみなしの正弦波が, フライイングキャパシタは入力電圧 350 V の 4 分の 1 の 87.5 V が得られている。線間 9 レベルの電圧波形が出力されており, 5 レベル ANPC 形インバータの動作を確認できる。

図 6 に, 5 レベル ANPC 形インバータの損失計算式による損失計算値と実験による損失測定値を, 負荷を変化させて比較した結果を示す。計算結果には, 3.1.4 節で示した半導体の損失に加え, キャパシタの等価直列抵抗による損失も加味している。なお, 実験結果には変換器のみの損失について検討しておりインダクタの損失は考慮していない。また, 試作機の定格を 10 kW としているが実験設備の都合に

より, 8.8 kW までの実験結果を示している。損失の計算値と実験値の誤差は 8.8kW 時において 1%となっている。

図 7 に 5 レベル ANPC 形インバータの損失計算式による効率計算値と実験による効率測定値を, 負荷を変化させて比較した結果を示す。効率の計算値と実験値の誤差は 8.8 kW 負荷時において 0.01%となっており, 計算値と実験値がよく一致することを確認した。また, 軽負荷時も無負荷損失を考慮することにより, 定格の 1/10 の出力でもよく一致している。以上から, 本節で述べた損失計算法が有効であることが言える。

(3.2) ヒートシンク設計法

ヒートシンクの設計は, Cooling System Performance Index (以下 CSPI)に基づいて行う^{(7),(10)}。CSPI は単位体積当たりの熱抵抗の逆数で(38)式で導出することができる。この値が大きいほど冷却能力が高いことを意味する。CSPI は自然空冷では 1~4, 強制空冷で 5~10 程度である。また CSPI を任意に定めれば, ヒートシンクの体積が求められる。

$$CSPI = \frac{1}{R_{th(s-a)} Vol_H} \dots\dots\dots (38)$$

ここで, $R_{th(s-a)}$ はヒートシンク-大気間の熱抵抗[°C/W], Vol_H はヒートシンクの体積[dm³]である。

電力変換器に要求されるヒートシンクの熱抵抗は(39)式で導出することができる。

$$R_{th(s-a)} = \frac{T_j - T_a}{P_{Sw}} - R_{th(j-s)} \dots\dots\dots (39)$$

ここで, T_j はチップのジャンクション温度[°C], T_a は周囲温度[°C], $R_{th(j-s)}$ はジャンクション-ヒートシンク間の熱抵抗[°C/W]である。

(3.3) キャパシタ設計法

3.3.1 キャパシタの容量

変換器の直流リンクにおける直流平滑キャパシタの設計法について説明する。キャパシタ容量設計は, 出力電流のリプルを無視できると仮定して導出する。Fig.2(a)の 2 レベルインバータの直流平滑キャパシタ C_1 の容量 C_{DCsc_2l} は, キャパシタのリプル電圧から(40)式で導出できる。

$$C_{DCsc_2l} = \frac{V_m}{2\omega\Delta v_{cn} E_{dc}} I_m \pi \dots\dots\dots (40)$$

ここで, Δv_{cn} は直流リンクキャパシタのリプル電圧, V_m は出力電圧ピーク値, ω は出力角周波数である。

一方で, 3 レベル DC 形インバータ, 3 レベル T-type NPC 形インバータ, 5 レベル ANPC 形インバータは, マルチレベル電圧の出力に直流中点電位を使用するため, 直流リンクに 2 つの直流平滑キャパシタを直列に接続する。それぞれの回路の直流平滑キャパシタの容量 C_{DCsc} は同じ設計式で導出することができ, 中点電位の変動から(41)式となる。

$$C_{DCsc} = \frac{V_m}{2\omega\Delta v_{cn} E_{dc}} I_m \left(\sqrt{3} - \frac{\pi}{3} \right) \dots\dots\dots (41)$$

5 レベル ANPC 形インバータのフライングキャパシタの容量 C_{FC} はキャパシタに流れる電圧, リプル電圧, フライングキャパシタ電圧の充電もしくは放電時間の時間積から導

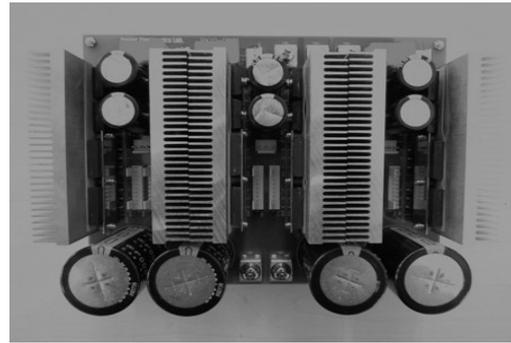


Fig.4 A five-level ANPC inverter.

Table 1 Experimental condition.

Rated power	10 kW	Output frequency	50 Hz
Input voltage	350 V	Output voltage	200 V
Carrier frequency	20 kHz	Output current	29 A
Switching device	ANPC	Cell1	MOSFET:IRFP4668pBF(IR)
		Cell2	MOSFET:IXFB170N30P(IXYS)
Flying capacitor	EEUEE2C331 (Panasonic)		
	330 μF, 1250 mA, 200 V, 2 parallel connection		
DC smoothing capacitor	ESMQ251VSNI82MA45S (Nippon chemi-con)		
	1800 μF, 4550mA, 250 V, 2 parallel connection		

Table 2 Device parameters

(a) IRFP4668pBF				
MOSFET:IRFP4668pBF(IR)	V_{DSS}	200 V	I_D	130 A
	R_{DS}	8 mΩ (typ.)	V_F	1.3 V (Max.)
	t_r	41 ns	trr	130 ns
	t_f	74 ns		
(b) IXFB170N30P				
MOSFET:IXFB170N30P(IXYS)	V_{DSS}	300 V	I_D	170 A
	R_{DS}	18 mΩ (Max.)	V_F	1.3 V (Max.)
	t_r	29 ns	trr	200 ns
	t_f	16 ns		

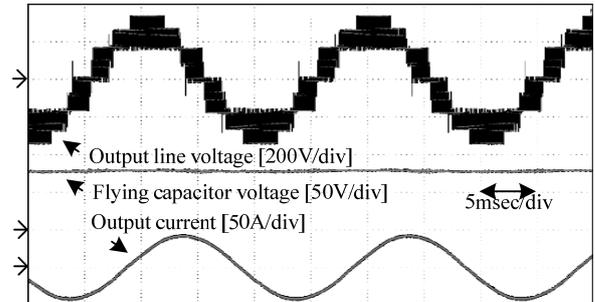


Fig.5 Experimental waveform of a five-level ANPC inverter.

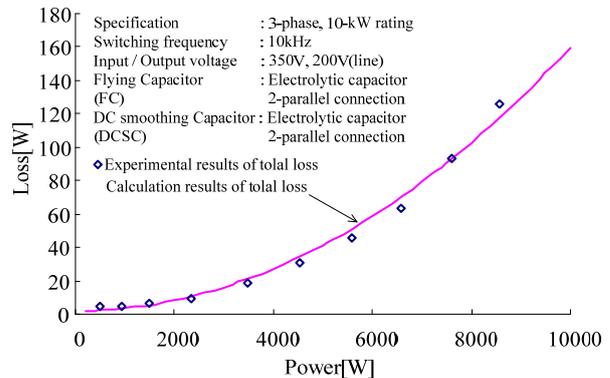


Fig.6. Loss of ANPC inverter.

出すことができ、(42)式となる。

$$C_{FC} = \frac{I_m T E_{dc}}{8 \Delta V_{FC} V_m} \dots \dots \dots (42)$$

ここで、 T はキャリア周期、 ΔV_{FC} は直流リンクキャパシタのリプル電圧である。

3.3.2 キャパシタの損失計算法

キャパシタの損失 P_{Cap} は、キャパシタの等価直列抵抗(以下 ESR)に発生する。 P_{Cap} は、キャパシタに流れる電流より(43式)で計算できる⁽⁶⁾。

$$P_{Cap} = I_{rms_Cap}^2 R_{ESR} \dots \dots \dots (43)$$

ここで、 I_{rms_Cap} はキャパシタに流れるリプル電流実効値、 R_{ESR} はキャパシタの ESR である。キャパシタは許容リプル電流が決められているため、 I_{rms_Cap} はキャパシタの選定の際にも重要となる。スイッチング周波数帯のリプル電流実効値は非線形であるため、一般解を得ることは困難であり、また複雑な式は実用的でない。フライングキャパシタの電流は、負荷力率と変調率の関数となり、これらは無次元であることに着目して、電流実効値係数 K_{cf} を導入し、(44)式にて、電流実効値を求める。

$$I_{rms_Cap} = K_{cf} I_m \dots \dots \dots (44)$$

電流実効値係数 K_{cf} は正規化したシミュレーションにより、リプル電流実効値、負荷力率と変調率の関係を求める。 K_{cf} は無次元の係数のため、定格電圧や電流、周波数に寄らず使用できる。

図 8 に電流実効値係数 K_{cf} の変化を示す。 K_{cf} は、変調率 a と負荷力率 ϕ によって決定される。また、図 8 より、変調率 a が 0.5 から 0.6 のとき、 K_{cf} は最大 0.65 となる。従って、 $K_{cf}=0.65$ として、設計しておけばよい。

3.3.3 キャパシタの体積計算法

本節ではキャパシタの体積計算法について説明する。キャパシタの体積は、メーカーの製品シリーズから選定する。

1) フィルムコンデンサ

フィルムコンデンサの体積 Vol_{CF} はエネルギー密度に比例するので(45)式で導出することができる⁽⁷⁾。

$$Vol_{CF} = \gamma_{VolCF}^{-1} \frac{1}{2} C_F U_o^2 \dots \dots \dots (45)$$

ここで γ_{VolCF}^{-1} はフィルムコンデンサの体積係数、 C_F はフィルムコンデンサの容量、 U_o はコンデンサの印加電圧である。

2) 電解コンデンサ

電解コンデンサの体積 Vol_{CE} は、電解コンデンサのリプル電流実効値に比例し、(46)式で表せる⁽⁷⁾。

$$Vol_{CE} = \gamma_{VolCE}^{-1} I_{C,RMS} \dots \dots \dots (46)$$

ここで、 γ_{VolCE}^{-1} は電解コンデンサの体積係数、 $I_{C,RMS}$ は電解コンデンサに流れる電流リプル実効値である。

〈3・4〉リアクトルの設計⁽⁹⁾

インダクタのリプル電流 ΔI を規定すれば、2 レベルインバータのインダクタ L_{2L} は(47)式で、 n レベルインバータの連系インダクタ L_M は(48)式で求められる。

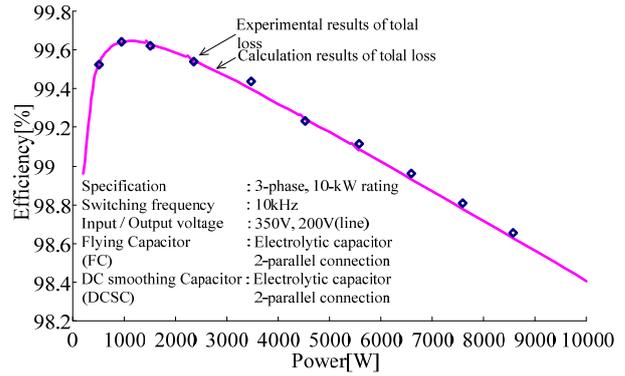


Fig.7. Efficiency of ANPC inverter.

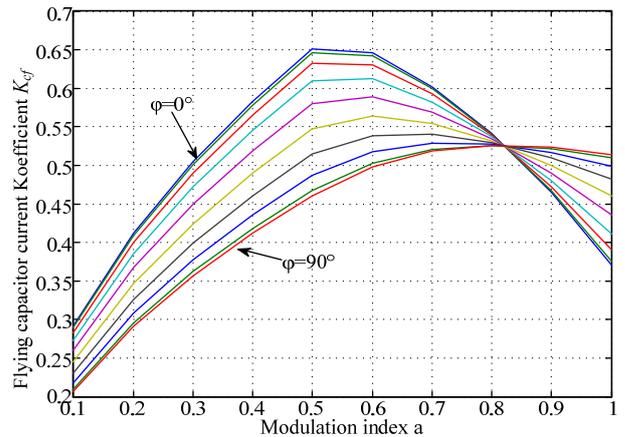


Fig.8. Current coefficient of flying capacitor.

$$L_{2L} = \frac{V_m}{2\Delta I} \left(1 - \frac{V_m}{E_{dc}}\right) T \dots \dots \dots (47)$$

$$L_M = \frac{E_{dc} - \sqrt{3}V_m}{(n-1)\Delta I} \left(\sqrt{3} \frac{V_m}{E_{dc}} - \frac{1}{2}\right) T \dots \dots \dots (48)$$

インダクタの体積 Vol_L は、Area Product⁽⁹⁾を用いて検討を行い、(49)式で決定できる。

$$Vol_L = K_V \left(\frac{2W}{K_u B_m J_w}\right)^{\frac{3}{4}} \dots \dots \dots (49)$$

ここで、 K_V はコアの形状から決定される定数、 W はリアクトルに蓄積されるエネルギー、 K_u は窓の線積率、 B_m はコアの最大磁束密度、 J_w は巻き線の電流密度である。インダクタの損失 P_L は(50)式で計算できる。

$$P_L = \frac{1}{2} I_m^2 R_w \dots \dots \dots (50)$$

ここで、 R_w はインダクタの巻線の抵抗である。ここで、本論文ではインダクタの損失はリアクトルの銅損のみを考慮しており、鉄損については無視している。

4. モデルベースの変換器の性能比較

本章では、これまでに述べたマルチレベル変換器の性能について検討する。表 3 と表 4 の仕様に基づいて、3 相 10kW を定格として各変換器を設計し、定格運転時における損失

を計算する。2 レベルインバータに 600V 耐圧の半導体素子を, 3 レベル DC 形インバータに, 300V 耐圧の半導体素子を, T-type NPC 形インバータに 300V 耐圧と 600V 耐圧の半導体素子を, 5 レベル ANPC 形インバータに 200V 耐圧と 300V 耐圧の素子を使用している。また, ANPC 形インバータにおいてフライングキャパシタのリプル電圧を 30% として設計を行う。これは, 先行研究にて, フライングキャパシタの許容リプル電圧を十分な余裕を持って設計しても変換器の損失や出力電流ひずみ率にほとんど影響がない⁽¹²⁾。さらに, リプル電圧の許容量を大きくすることでキャパシタ容量を小さく設計できることから, 許容リプル電流が大きいフィルムコンデンサを使用することができる。そこで, 5 レベル ANPC 形インバータのフライングキャパシタには, 電解コンデンサとフィルムコンデンサの 2 種類のコンデンサを用いて, 性能を評価する。

図 9 は, 4 つのマルチレベルインバータの定格出力時 (10kW) の損失及び効率である。図 9 より, 変換器のレベル数に対して, 損失が低減していることがわかる。各変換器の損失内訳を見ると, 半導体素子の導通損失, インダクタの損失が支配的な損失となっていることがわかる。なおここでは, インダクタの損失は, 銅損のみとし鉄損は考慮していない。また, 3 レベル DC 形インバータと 3 レベル T-type NPC 形インバータの損失に注目すると, 3 レベル T-type NPC 形インバータの損失が大きい。これは, 3 レベル T-type NPC 形インバータは, 電流の通過素子数が同レベルのトポロジーよりも少ない反面, 上下アームに使用している半導体素子の素子耐圧が 2 レベルインバータと同じ耐圧になる。そのため, デバイスの仕様は, 2 レベルインバータと同じになり, 低耐圧の素子を使用できるのは中性点アームの半導体素子部分のみとなる。このことから, 高効率化の観点から, 3 レベル T-type NPC 形インバータよりも, 3 レベル DC 形インバータの方が損失の低減効果が高いことがいえる。

図 10 に表 2 の条件を用いてインダクタを含めた各変換器の体積比較を行なった結果を示す。変換器の内訳を見るとインダクタとヒートシンクの体積がレベル数に応じて小型 (ANPC インバータのインダクタの体積は 2 レベルインバータの 1/4, 3 レベルインバータの 1/2) にできることがわかる。また, 変換器の体積は, フライングキャパシタにフィルムコンデンサを使用した 5 レベル ANPC 形インバータが最も体積が小さく, その一方で, フライングキャパシタに電解コンデンサを使用した 5 レベル ANPC 形インバータが最も体積が大きい変換器であることがわかる。

まず, 2 つの ANPC 形インバータの体積に注目する。表 2 より, ANPC 形インバータのフライングキャパシタはリプル電圧を 30% として設計している。そのため, キャパシタの容量を小さくできる。また, フライングキャパシタには, 電解コンデンサとフィルムコンデンサの 2 種類のコンデンサを用いている。電解コンデンサは単位体積当たりのエネルギー密度が高く, 一方で許容リプル電流が小さい。フィルムコンデンサは, 単位体積当たりのエネルギー密度が小

Table 3 the converter specification of the PV system and devices.

Rated power	10 kW	Output frequency	50 Hz
Input voltage	350 V	Output voltage	200 V
		Output current	29 A
Switching device	2-level	-	MOSFET:IRFP4668pBF(IR)
	DC	-	MOSFET(S ₁ ,S ₂):IXFB170N30P(IXYS)
	T-type NPC	Cell1	MOSFET:IXFB170N30P(IXYS)
		Cell2	IGBT:1MBH50D-060S (Fuji Electric)
	ANPC	Cell1	MOSFET:IRFP4668pBF(IR)
Cell2		MOSFET:IXFB170N30P(IXYS)	
Heatsink	CSPI 10		
Flying capacitor	Electrolytic capacitor	LXS series (Nippon chemi-con)	
		13500 μ F, 23.4 A, 315 V, 5 parallel connection	
	Film capacitor	TACD series (Nippon chemi-con)	
		3.3 μ F-88 μ F, 22.5 A, 315 V, 4 parallel connection	
DC smoothing capacitor	LXS series (Nippon chemi-con)		
	9000 μ F, 17.9 A, 400 V 5 parallel connection		
	Ripple Voltage 5 %		
Inductor	Ripple Current	5%	
	Constant value	17.9	
	Window utilization factor	0.5	
	Flux density	0.8 T	
	current density	5.7A/mm ²	

Table 4 Device parameters

(a) IRFP4668pBF			
MOSFET:IRFP4668pBF(IR)			
V _{DSS}	200 V	I _D	130 A
R _{DS}	8 m Ω (typ.)	V _F	1.3 V (Max.)
t _r	41 ns	trr	130 ns
t _f	74 ns		
(b) IXFB170N30P			
MOSFET:IXFB170N30P(IXYS)			
V _{DSS}	300 V	I _D	170 A
R _{DS}	18 m Ω (Max.)	V _F	1.3 V (Max.)
t _r	29 ns	trr	200 ns
t _f	16 ns		
(c) IXFB132N50P3			
IXFB132N50P3(IXYS)			
V _{DSS}	500 V	I _D	132 A
R _{DS}	39 m Ω (Max.)	V _F	1.5 V (Max.)
t _r	9 ns	trr	250 ns
t _f	8 ns		

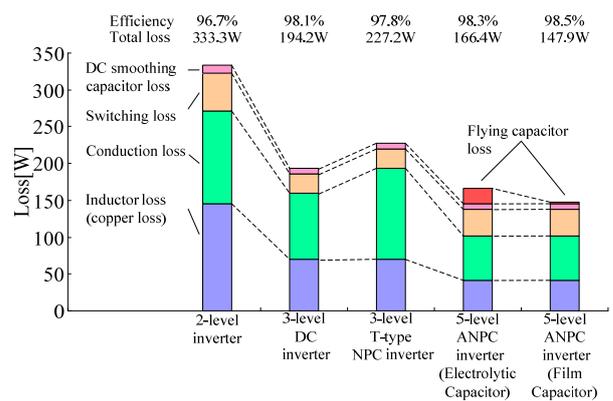


Fig.9. Loss comparison among the inverter topologies.

さい反面, 許容リプル電流が大きい。フライングキャパシタにフィルムコンデンサを使用した 5 レベル ANPC 形インバータは表 2 の仕様とフィルムコンデンサの長所が一致していることから, 部品点数が多くても全体の体積が低減できている。一方で, フライングキャパシタに電解コンデン

サを使用した 5 レベル ANPC 形インバータは、許容リップル電圧を大きくしても、電解コンデンサ 1 つ当たりの許容リップル電流は小さいため、仕様のリップル電流を満たすために電解コンデンサの並列数が多くなる。その結果、インダクタやヒートシンクの体積が低減されても、フライングキャパシタの体積の方が大きくなり、結果として小型化には寄与しない。従って、体積及び大容量化の観点から、5 レベル ANPC 形インバータのフライングキャパシタにはフィルムコンデンサの使用が適切である。

次に、2 つの 3 レベルインバータに注目する。3 レベル DC 形インバータと 3 レベル T-type NPC 形インバータの体積は、損失の解析結果と異なり、3 レベル DC 形インバータの体積が大きい。これは、素子 1 つ当たりの損失は、3 レベル DC 形インバータは小さく、3 レベル T-type NPC 形インバータは大きい。しかしながら、1 相当りの半導体素子数は、3 レベル DC 形インバータの方が大きいため、ヒートシンクの数が多くなる。その結果、3 レベル DC 形インバータの体積は 3 レベル T-type NPC 形インバータの体積よりも大きくなる。

図 11 にスイッチング周波数を 1 kHz から 500 kHz まで変化した時の各変換器のパレートフロントカーブを示す。ここで、フライングキャパシタにフィルムコンデンサを使用した 5 レベル ANPC 形インバータはスイッチング周波数を 5 kHz から 500 kHz まで変化させている。また、表 5 に各変換器のパレートフロントカーブにおいて、パワー密度が最大になる点のスイッチング周波数と効率とパワー密度を示す。2 レベルインバータのパレートフロントカーブを基準とするとレベル数に比例してパレートフロントカーブの効率とパワー密度の最大点が高くなっていることがわかる。

2 つの 3 レベルインバータにおいて、2 レベルインバータのパレートフロントカーブと比較すると、3 レベル DC 形インバータは効率が、3 レベル T-type NPC 形インバータはパワー密度がそれぞれ高いことがわかる。これは、3 レベル DC 形インバータは、2 レベルインバータよりも低耐圧で低オン抵抗な半導体素子を使用できることから、変換器の損失を低減効果が大きく高効率化を達成できる反面、回路構成素子数が多いためパワー密度が低くなる。また、3 レベル T-type NPC 形インバータは、一部のデバイスの選定条件が 2 レベルインバータと同じになる反面、3 レベル DC 形インバータよりも回路構成素子数が少ないため、高パワー密度を達成できる。

さらに、5 レベル ANPC インバータは、2 レベル、3 レベルインバータよりも低耐圧の半導体素子を使用できるため高効率を達成している。また、部品点数が低レベルのインバータよりも多くなっても、半導体素子 1 つ当たりの損失も小さいため、ヒートシンクの体積が小さくでき、効率、パワー密度両方のパラメータを向上できる。また、5 レベル ANPC 形インバータにおいてフライングキャパシタの電圧リップルを大きく設定し、フィルムコンデンサを使うことにより、表 2 の仕様ではフライングキャパシタに電解コンデ

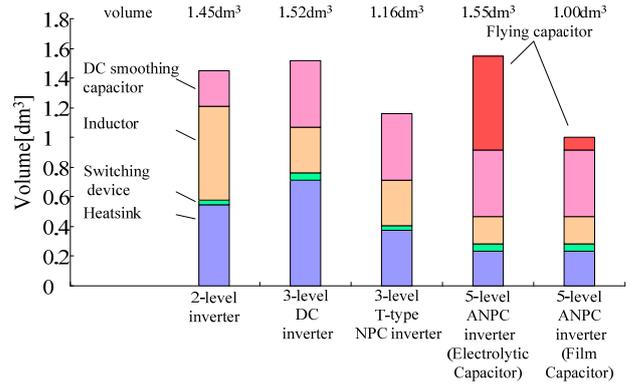
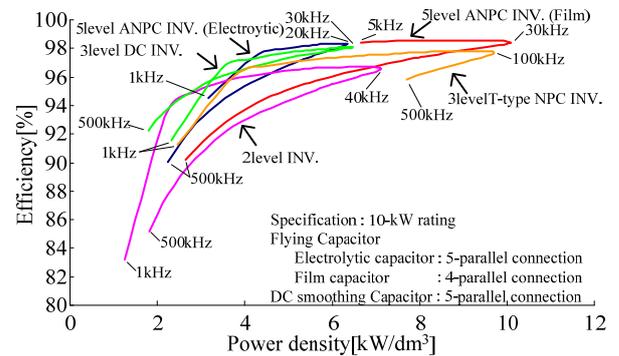
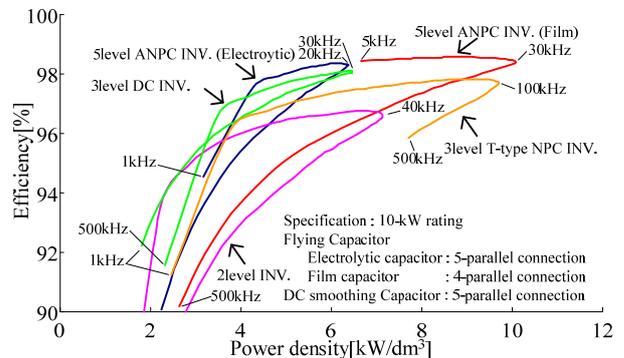


Fig.10. Volume analysis of the inverter topologies.



(a) overall view



(b) enlarged view

Fig.11. Pareto front curve of the inverter topologies.

ンサを仕様したときよりもパワー密度を最大 1.5 倍(スイッチング周波数が同じ場合)向上できる。

それぞれの結果から、5 レベル ANPC 形インバータが最も高効率な変換器を設計可能であることがわかった。

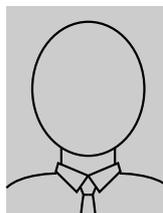
5. 結論

本論文では、数式を用いたマルチレベル変換器のパラメータ設計法を提案した。そして、パラメータ設計法を用いて PV システム用系統連系インバータを設計し、パレートフロントによる変換器性能について検討した。その結果、5 レベル ANPC 形インバータが最も高効率、高パワー密度な変換器を設計可能であることがわかった。

文 献

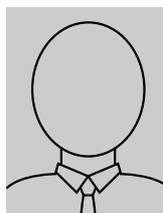
- (1) Lin Ma, Tamas Kerekes, Remus Teodorescu, Xinmin Jin, Dan Florica, Marco Liserre : 「The High Efficiency Transformer-less PV Inverter Topologies Derived From NPC Topology」, EPE 2009-Barcelona , pp.1-10 (2009)
- (2) A. Nabae, I. Takahashi, H. Akagi, “A new neutral-point-clamped PWM inverter”, IEEE Trans.Industry Applications, Vol.IA-17, 1981, pp.518-523.
- (3) F. Z. Peng : “A Generalized Multilevel Inverter Topology with Self Voltage Balancing”, IEEE Transactions on industry applications, Vol.37, No.2, pp. 2024-2031 (2001)
- (4) Barbosa, P.; Steimer, P.; etc: “Active Neutral-point-Clamped Multilevel Converter”, Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th16-16 June 2005 Page(s):2296 – 2301
- (5) Gateau, G., Meynard, T.A., Foch, H.: “Stacked multilcell converter (SMC) : properties and design”, Power Electronics Specialists Conference (2001), 2001, IEEE 32nd Annual
- (6) Y. Kashihara, J. Itoh: “Parametric design of a Five-level Active NPC inverter”, IEEJ Trans. D, Vol. 131, No. 12, pp. 1383-1392 (2011)
 榎原有吾, 伊東淳一: 「5 レベルアクティブ NPC インバータのパラメータ設計」, 電学論 D, Vol. 131, No. 12, pp. 1383-1392 (2011)
- (7) J. W. Kolar, J Biela and J. Miniböck : 「Exploring the Pareto Front of Multi-Objective Single-Phase PFC Rectifier Design Optimization -99.2% Efficiency vs. 7kW/dm³ Power Density」, the 2009 IEEE International Power Electronics and Motion, Wuhan, China (2009)
- (8) Kolar, J.W., Drogenik, U., Biela, J., Heldwein, M.L., Ertl, H., Friedli, T., and Round, S.D., “PWM Converter Power Density Barriers,” Proceedings of the 4th Power Conversion Conference (PCC'07), Nagoya, Japan, April 2 - 5; furthermore published in condensed form in IEEJ Transactions on Industry Applications, No. 4, pp. 468 - 480.
- (9) Wm. T. Mclyman: “Transformer and inductor design handbook”, Marcel Dekker Inc. (2004)
- (10) Drogenik, U., Laimer, G., Kolar, J. W., “Theoretical Converter Power Density Limits for Forced Convection Cooling”, Proceedings of the International Power Conversion Intelligent Motion (PCIM) Europe 2005 Conference, Nuremberg, Germany, June 7 - 9, pp. 608 - 619 (2005).
- (11) Y. Kashihara, J. Itoh: “Parametric design of a Five-level Active NPC inverter”, SPC-10-025 (2009) (in Japanese)
 榎原有吾, 伊東淳一: 「アクティブ中性点クランプ形マルチレベルインバータの損失に関する一考察」, SPC 京都, SPC-10-025 (2009)
- (12) Y. Kashihara, J. Itoh: “A Consideration about Parameters Design of Efficiency and Volume of Multilevel Converter for a PV System”, IJASC, No. 1-23 (2012) (in Japanese)
 榎原有吾, 伊東淳一: 「PV 用マルチレベル変換器の効率と体積に注目したパラメータ設計法に関する一考察」, 平成 24 年電気学会産業応用部門大会, No. 1-23 (2012)

榎 原 有 吾



(学生員) 1986 年 3 月 24 日生まれ。2011 年 3 月長岡技術科学大学院工学研究科修士課程電気電子情報工学専攻修了。同年 4 月同大学大学院工学研究科博士後期課程エネルギー環境工学専攻に進学。主に電力変換回路に関する研究に従事。

伊 東 淳 一



(正員) 1972 年 1 月 6 日生まれ。1996 年 3 月，長岡技術科学大学院工学研究科修士課程修了。同年 4 月，富士電機（株）入社。2004 年 4 月，長岡技術科学大学電気系准教授。現在に至る。主に電力変換回路，電動機制御の研究に従事。博士（工学）（長岡技術科学大学）。2007 年第 63 回電気学術振興賞進歩賞受賞。2010 年 Takahashi Isao Award (IPEC Sapporo), 第 58 回電気科学技術奨励賞，2012 年インテリジェントコスモス奨励賞，2013 ECCE-Asia Third Paper Prize, 受賞。IEEE, 自動車技術会会員。