

# 系統擾乱におけるフルブリッジクランプ付き 単相三線式マルチレベル回路の動作検証

唐木 隆行\* 伊東 淳一 (長岡技術科学大学)  
野下 裕市 (東京都立産業技術高等専門学校)

Experimental Verification of a Multi-level Inverter with Full-bridge Clamp  
for Single-phase Three-wire in the Grid Disturbance.

Takayuki Karaki\*, Jun-ichi Itoh, (Nagaoka University of Technology)  
Yuichi Noge, (Tokyo metropolitan College of Industrial Technology)

A multilevel inverter with a H-bridge clamp circuit is proposed for single-phase three-wire (1P3W) utility connected applications such as PV systems. The proposed inverter consists of two n-level inverters and a H-bridge clamp circuit. The proposed inverter requires only 12 controllable switches to obtain a 5-level output voltage though conventional multi-level converters with grounded neutral point of the DC-bus require 16 switches. The control strategy for the proposed circuit is also discussed in this paper. Moreover, the proposed circuit was confirmed that it is satisfied with the FRT (Fault Ride Through) requirements. Finally, when load-unbalance during self-sustained operation occurs, grid voltage was confirmed to keep balance state by experiment.

キーワード : マルチレベルインバータ, 単相三線式系統, 系統連系, 系統擾乱, 太陽光発電  
(Multi-level inverter, Single-phase three-wire connection, grid connection, grid disturbance, photovoltaics systems)

## 1. はじめに

近年, 地球温暖化などの環境問題を背景に, 太陽光発電 (Photovoltaics, 以下, PV) の利用に注目が集まっている。PV は化石燃料を用いた発電方式に比べ, 二酸化炭素排出量が少ない, 太陽電池の接続数を変更することで, 発電電圧や発電量を柔軟に設計可能といったメリットがあり, メガソーラー, 家庭用発電, スマートグリッドなどに対して需要が急増している。

日本国内で広く使用される単相三線式系統に連系する場合, インバータ直流中点を接地した単相フルブリッジ構成がよく使用されている。さらに, 連系リアクトルの小型化や半導体損失の低減を目的として, 近年, 系統連系インバータへマルチレベル回路を適用する手法が注目されている<sup>(1)(2)</sup>。一般的に, n レベルのマルチレベル回路は, スイッチング素子の電圧ストレスを DC リンク電圧の  $1/(n-1)$  倍に低減することができる<sup>(3)(4)</sup>。しかし, マルチレベル回路はレベル数 n の  $2(n-1)$  個のスイッチ素子が必要で, 特に家庭用では半導体・コンデンサのコスト増加が課題となる。

これまで, マルチレベル回路の部品削減を達成する手法がいくつか検討されている。その手法の一つとして ANPC (Active Neutral Point Clamp) インバータが提案されている<sup>(5)</sup>。ANPC インバータは系統連系用途において, 他のマルチレベル回路と比較し, 高い効率を得られることが確認されている<sup>(6)</sup>。一方で, ANPC インバータは, 受動素子部品は削減できるが, スイッチ素子数が従来のマルチレベル回路と同等であり, 従来のマルチレベル回路と同様に, コストの削減が難しいという課題がある。

また, 系統連系変換器の特徴として, 系統擾乱時に所定の要件を満たす必要がある。PV はインバータ連系の電源であるため, 系統擾乱が発生すると PCS (Power Conditioner System) の保護装置が働き, PV は解列する。将来的に PV が大量導入された場合, 系統擾乱時に大量の PV が一斉解列すると系統内の需給バランスが崩れ, 系統全体の電圧維持に影響を与える恐れがある。そのため, 系統連系インバータは系統擾乱時の運転継続指標である FRT (Fault Ride Through) 要件を満足することが必要である<sup>(7)(8)</sup>。

これまでに筆者らは, 単相三線式系統が接地点基準で相

補的に動作することに着目し、ANPC 回路二相分を一体化、出力側にフルブリッジクランプ回路を設けた新たな構成を提案し、試作機による基本的な実機検証を行っている<sup>(9)</sup>。提案する回路方式は、 $2(n-1)+4$  個のスイッチ素子が必要であり、5 レベル構成では、12 個のスイッチを使用する。これは、同様のレベル数で 16 個のスイッチを使用する他のマルチレベル回路よりもスイッチ数が少なく、安価に実現できる可能性がある。

本論文では、まず、従来及び提案回路の回路構成を述べ、5 レベル構成の従来回路と提案回路の部品点数を比較し、提案回路の有用性を示す。次に提案回路が系統擾乱時において系統連系規程で定められている FRT 要件を満足することを実機実験により検証する。最後に、自立運転時に上下相で負荷不平衡が発生しても系統電圧が平衡状態を保つことを実機実験により検証する。

## 2. 提案回路の構成と制御法

### (2.1) 従来回路

図 1 に、単相三線式系統に  $2n-1$  レベルの ANPC インバータを適用した例を示す。ANPC 回路は、8 個のスイッチング素子をクランプ回路に使用し、各電位を出力電圧の正と負の半周期ごとにシフトさせ、 $n$  レベルの波形を生成する。クランプ回路に用いるスイッチング素子の耐圧は直流電圧の  $1/2$  となるが、スイッチング周波数は出力周波数、この場合は商用周波数と同じになり、 $n$ -level インバータに対してほとんどスイッチング損失を発生しない。

### (2.2) 提案回路

図 2(a)に提案回路の概念図を示す。提案回路は直流中点の上下に  $n$  レベルのインバータ、出力側にフルブリッジ型のクランプ回路を持つ。単相三線式系統は U、W 相の電圧極性が相補的に変化するため、系統周波数の半周期ごとにクランプ極性を切り替える。よってクランプ回路のスイッチング損失は ANPC インバータの  $n$  レベルインバータに比べ、非常に小さい。また、出力電圧レベル数は  $2n-1$  レベルとなり、ANPC 回路と同一の波形が得られる。

図 2(b)に 5 レベル構成の回路図を示す。図 2(b)の回路は、直流中点の上下に配置されているフライングキャパシタ (FC)型 3 レベル回路を用いて、 $V_{dc}/4$  ステップの出力電圧を得る。

表 1 に提案回路と他の従来回路における構成素子数の比較を示す。提案回路と ANPC 回路におけるクランプ回路の耐圧は直流電圧と等価であるが、全体のスイッチ数は最も少ない。また、提案回路はダイオードクランプ(DCLP)に対してはダイオード、FC に対してはキャパシタがそれぞれ削減できる。また、提案回路は DCLP と異なり、FC 形 3 レベルとクランプ回路により構成されるので、フライングキャパシタの電圧バランスは補助回路なしに制御することができる。以上から、提案回路は、主回路部品および電圧バランス回路、ゲート駆動回路などの周辺回路を削減できることから、実装コストの低減が可能となる。また、フルブ

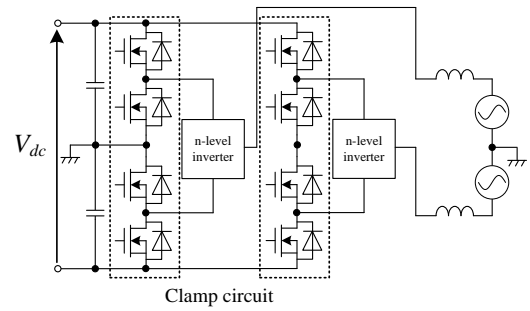
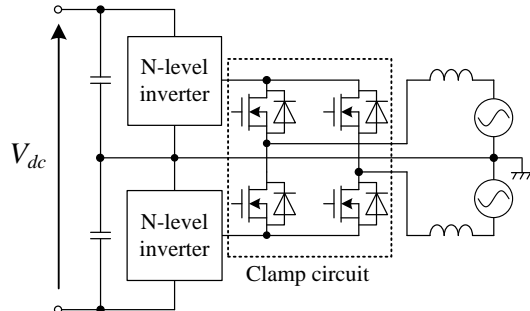
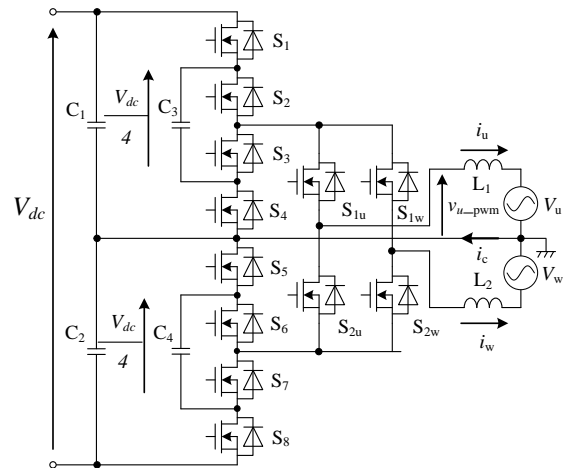


Fig. 1. Active neutral point clamped (ANPC) multi-level inverter.



(a) Proposed H-bridge clamped converter.



(b) Proposed H-bridge clamped converter at five-level configuration.

Fig. 2. Circuit configuration of a multilevel inverter for single-phase three-wire utility connected system.

Table 1. Comparison of the number of devices in four different multi-level topologies based on a  $1/4V_{dc}$  voltage rating.

	Proposed	ANPC	DCLP	FC
Switch (Carrier freq.)	8	8	16	16
Switch (Grid freq.)	4 <sup>*1</sup>	8 <sup>*2</sup>	0	0
Switch(all)	12	16	16	16
Diode	0	0	24	0
Flying Capacitor	2	2	0	6

\*1: Voltage stress of  $V_{dc}$  \*2: Voltage stress of  $1/2 V_{dc}$

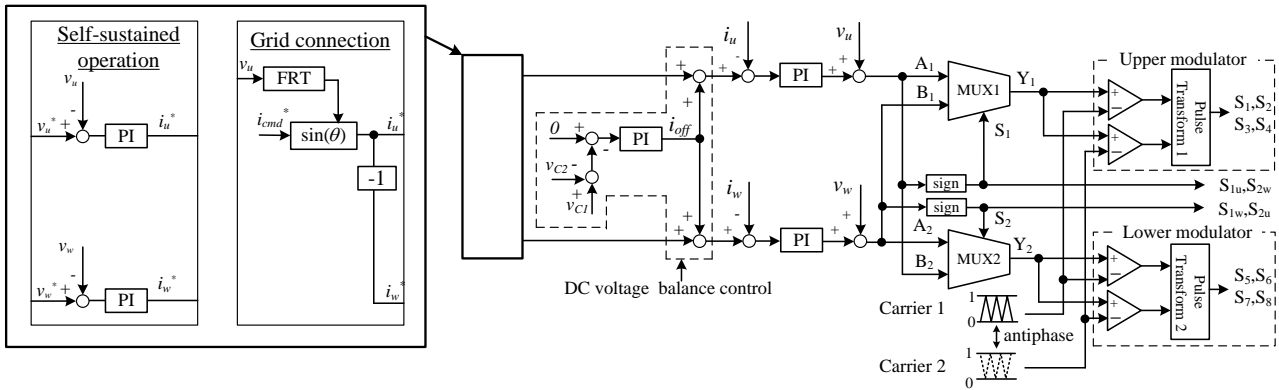


Fig.3 . Control block diagram.

リッジランプ回路には最大で  $V_{dc}$  の耐圧が必要であるが、スイッチング周波数は系統周波数と同じであるため、スイッチング速度が遅くてもスイッチング損失は  $n$  レベルインバータに比べて小さくできるため、オン抵抗の低いスイッチを選定できる。

〈2・3〉 制御方式

図 3 に提案回路の制御ブロック図を示す。各相の電流を PI 制御器によって独立に制御し、上下インバータへの電圧指令値を系統電圧極性に応じて入れ替える。また、フルブリッジランプ回路は、電圧極性に応じて切り替えるのみで、PWM 動作しない。上下インバータは位相シフト PWM 変調を適用し、 $C_3, C_4$  の電圧を制御する。 $C_1, C_2$  の電圧アンバランスは電流指令にゼロ相分を重畳することにより補償する。具体的には、 $C_1, C_2$  の電圧を検出し、 $C_1, C_2$  の電位差を 0 に調節する PI 制御器を配置する。PI 制御器によって生成された補償電流指令は U,W 相の電流指令値にそれぞれ加算することで電圧アンバランスを補償する。ここで、提案回路は自立運転時と系統連系時には動作が異なるため、各運転に対応した制御を行う必要がある。系統連系の場合は、PLL(Phase Lock Loop)によって系統電圧に同期した電流指令を生成する。一方で、自立運転時の場合は、単相三線式系統の上下相の負荷電圧を常に平衡状態に保たせるために、電流制御の前段に負荷に対応した電流指令を出力する電圧制御を追加する。瞬時電圧低下動作部(FRT)に関しては次章にて詳しく説明を行う。

表 2 に Multiplexer(MUX)1,2 の入出力関係を示す。sign によって出力電圧指令値が正のときは  $S_{1,2}=1$ 、負のときは  $S_{1,2}=0$  となる。例として  $S_1=1$  のときは、 $A_1$  信号が MUX1 の出力  $Y_1$  に、 $S_1=0$  のときは、 $B_1$  信号が MUX1 の出力  $Y_1$  となる。

図 4 に提案回路の PWM 信号生成法を示す。これは、フライングキャパシタ方式の PWM 信号生成法を応用したものである。ゲート信号は正弦波指令値と位相が互いに反転した 2 本の三角波(Carrier1,2)を比較して PWM 信号を得る。Upper modulator の電圧指令値は常に正の半周期、Lower modulator の電圧指令値は常に、負の半周期となる。ここで、本制御方式におけるデューティ比  $D_{ref}$  は(1)~(4)式

Table2. Input-output relation of the MUX1,2.

MUX1		MUX2	
$S_1$	$Y_1$	$S_2$	$Y_2$
0	$B_1$	1	$A_2$
1	$A_1$	0	$B_2$

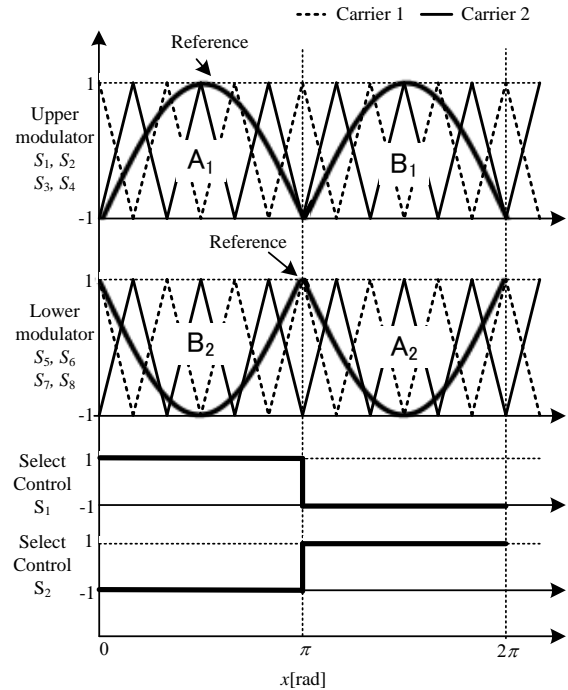


Fig. 4. Gate signal and select control S.

で得られる。

$$\text{正の半周期: } D_{ref} = 2a \sin \theta - 1 \quad (0 \leq \theta \leq \pi) \dots \dots \dots (1)$$

$$D_{ref} = -2a \sin \theta - 1 \quad (\pi \leq \theta \leq 2\pi) \dots \dots \dots (2)$$

$$\text{負の半周期: } D_{ref} = -2a \sin \theta + 1 \quad (0 \leq \theta \leq \pi) \dots \dots \dots (3)$$

$$D_{ref} = 2a \sin \theta + 1 \quad (\pi \leq \theta \leq 2\pi) \dots \dots \dots (4)$$

ここで、 $a$  は指令値の振幅 ( $0 \leq a \leq 1$ )、 $\theta$  は出力位相角である。

### 3. FRT(Fault Ride Through)要件

#### 〈3・1〉 FRT 要件

図 5 に系統連系規程によって定められている FRT 要件を示す<sup>(10)</sup>。ここで、LVRT(Low voltage Ride Through)は、瞬時電圧低下時の系統電圧の残電圧を示す。また、斜線部のエリアは解列領域であり、解列領域に入らない限り継続して運転を行う。PV における FRT 要件は、LVRT が 20% 以上の場合と 20% 未満の場合の 2 つに分けられる。

図 5(a)に LVRT が 20%以上の FRT 要件を示す。瞬時電圧低下時間は 1 秒以内、電圧復帰時間が 1 秒以内で LVRT が定格電圧の 80%まで復帰する必要がある。

図 5(b)に LVRT が 20%未満の FRT 要件を示す。瞬時電圧低下時間は 1 秒以内で電圧復帰時間が 0.1 秒以内で系統電圧が定格電圧の 80%まで復帰する必要がある。

#### 〈3・2〉 瞬時電圧低下時の動作

図 6 に瞬時電圧低下時の動作を示す。瞬時電圧低下信号  $v_m$  は、瞬時電圧低下を検出時に 1、未検出時に 0 を出力する。 $v_m=1$  の時、系統電圧の PLL 出力に  $\pi/2$  を加算させることで、瞬時電圧低下時に提案回路は力率 0 で動作する。瞬時電圧低下中に力率 0 で動作させることで有効電力のやり取りがなくなるため解列せずに動作する。

#### 〈3・3〉 実験結果

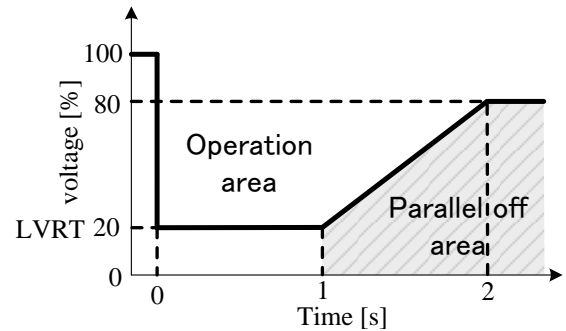
初めに提案回路の基本動作を確認するため定格 1kW の試作機による実機検証を行う

表 3 に実験条件を示す。図 7 に系統連系時の定格動作結果を示す。出力電流は良好な正弦波となり、出力電圧は 5 レベルの階段状となっている。ここで、出力電流ひずみ率は 2.52%となる。さらに、フライングキャパシタ電圧は、入力電圧  $V_{dc}=300V$  の 1/4 倍となる 75V 付近で一定に制御されている。

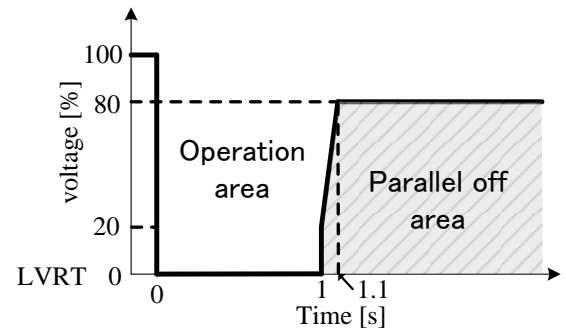
図 8 に LVRT=20%時の FRT 動作を示す。ここで、瞬時電圧低下時間は、LVRT の大きさに関わらず 0.1 秒とする。また、電圧復帰時間は、使用する電源の仕様上、瞬時に復帰させている。

図 8(a)において瞬時電圧低下期間にも解列せずに運転継続していることが確認できる。また、電圧復帰後も直流電圧が一定値に制御されている。図 8(b)において、瞬時電圧低下時に力率 0 動作から力率 1 動作に移行していることが確認できる。このように提案回路は、瞬時電圧低下時にも力率 0 動作に移行することで PV を解列せずに運転を継続できることがわかる。一方、図 8(c)においては、電圧復帰時に力率 0 動作から力率 1 動作に移行していることが確認できる。

図 9 に LVRT が 20%未満である LVRT=5%時の FRT 動作を示す。図 9(a)において LVRT=5%時においても LVRT=20%時の図 8 と同様で瞬時電圧低下期間にも解列せずに運転継続できていることがわかる。また、電圧復帰後も直流電圧が一定値に制御されている。図 9(b)において、瞬時電圧低下時に力率 0 動作から力率 1 動作に移行してい

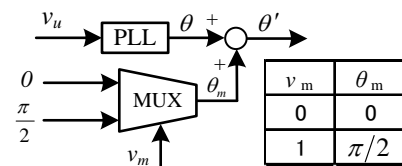


(a) LVRT (Low voltage Ride Through) level > 20%.



(b) LVRT (Low voltage Ride Through) level < 20%.

Fig.5 FRT requirements.



※  $v_m$ : Momentary voltage drop signal

Fig.6 Operation of momentary voltage drop.

Table3. Experimental condition.

Rated output power	P	1 kW
DC bus voltage	$V_{dc}$	300 V
Output voltage	$V_u, V_w$	100V <sub>rms</sub>
Grid frequency	$f_{grid}$	50 Hz
Rated current	$I_u, I_w$	5 A <sub>rms</sub>
Inductor	$L_1, L_2$	4 mH (%Z=6.35)
Flying capacitor	$C_3, C_4$	4.7 $\mu$ F
DC capacitor	$C_1, C_2$	360 $\mu$ F
Carrier frequency	$f_s$	20 kHz

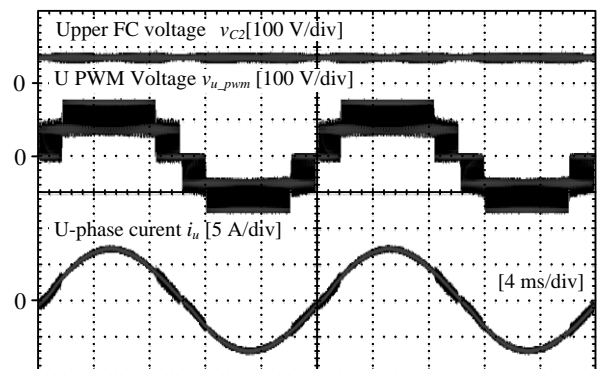
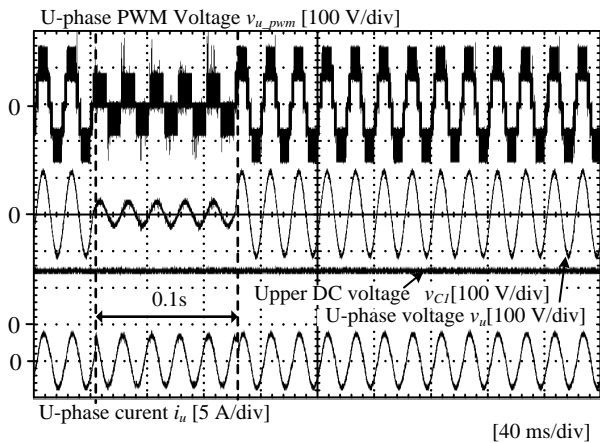
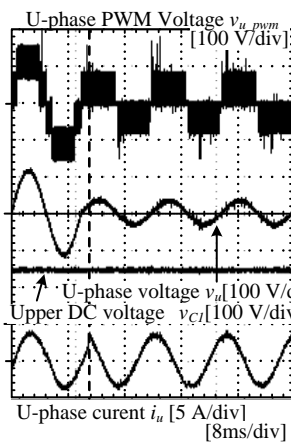


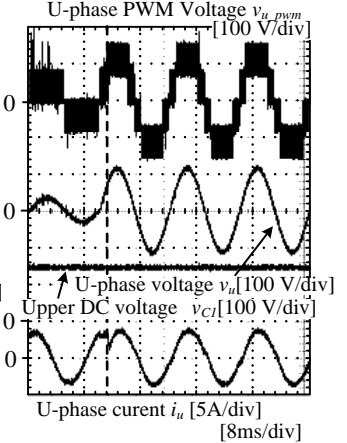
Fig. 7. Experimental results of the rated power.



(a) Waveform of FRT Operation

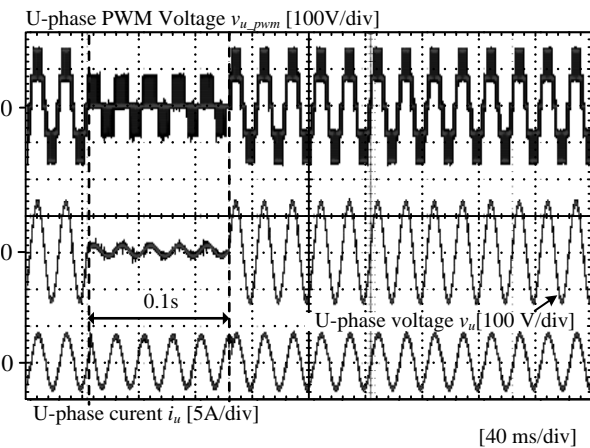


(b) Voltage drop operation.

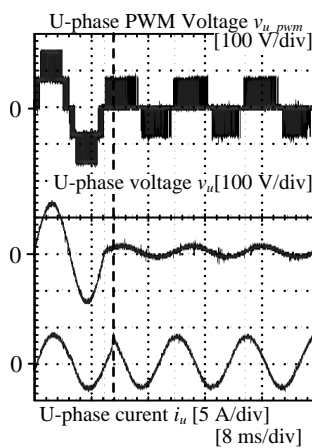


(c) Voltage return operation.

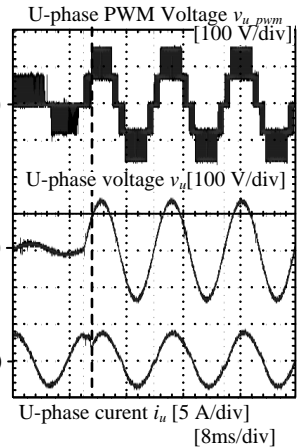
Fig. 8 FRT operation. (LVRT=20%).



(a) Waveform of FRT Operation



(b) Voltage drop operation.



(c) Voltage return operation.

Fig. 9 FRT operation. (LVRT=5%).

ることが確認できる。一方、図 9(c)においては、電圧復帰時に力率 0 動作から力率 1 動作に移行していることが確認できる。以上の結果から、提案回路は LVRT=5%と LVRT=20%の両方の条件において FRT 要件を満足することが確認できる。また、LVRT=20%時にサージのような波形が表れているのは、変調率が 3 レベル動作から 5 レベル動作へ移行する切り替え点付近で動作しているためであり、 $V_{dc}/2$  レベルの電圧が出力しているからである。

#### 4. 自立運転時の負荷不平衡

太陽光発電に連系する PCS は災害時などに停電が発生した際、単体で系統電圧を模擬できる自立運転機能を持つ。単相三線式系統電圧を模擬すると、上下相の負荷不平衡が原因で流れる中性点電流  $i_c$  によってキャパシタに系統周期の電圧リプルが発生する。よって、その電圧リプルを考慮してキャパシタを設計する必要がある。

##### (4.1) キャパシタ設計

自立運転時に単相三線式の上下相で負荷不平衡の場合、中性点に負荷不平衡の大きさに比例した電流が流れる。こ

の時の中性点電流  $i_c$  を(5)式に示す。

$$i_c = i_u - i_w [A] \dots\dots\dots (5)$$

中性点に電流が流れると系統 1 周期の有効電力が上下で不平衡となり、入力側のキャパシタ  $C_1, C_2$  間に電圧アンバランスが発生する。この問題に対しては、制御ブロック図内の電圧バランス制御を用いて解決している。しかし、系統周期  $f_{grid}$  の電圧リプルは残留してしまう。この時、許容電圧リプル幅  $\Delta v$  に対する静電容量を(6)式に示す。

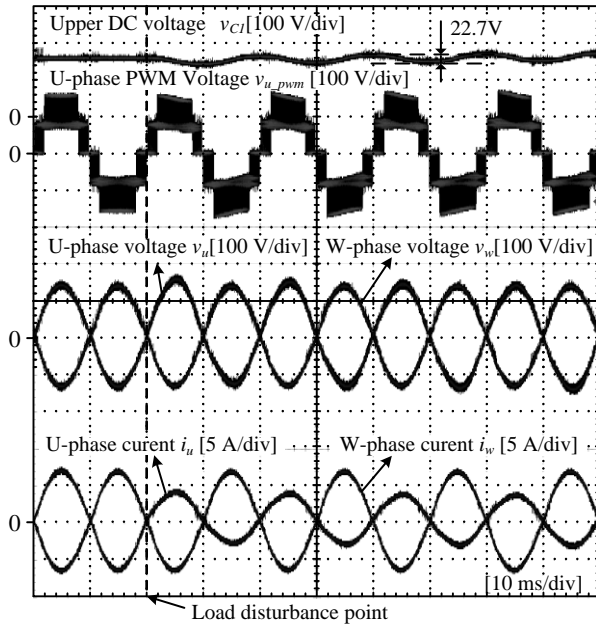
$$C_{1,2} = \frac{I_{c,m}}{V_{dc}} \frac{1}{2\pi f_g \Delta v} [F] \dots\dots\dots (6)$$

(6)式において、 $I_c$  は中性点電流の最大値、 $V_m$  は出力電圧の最大値である。

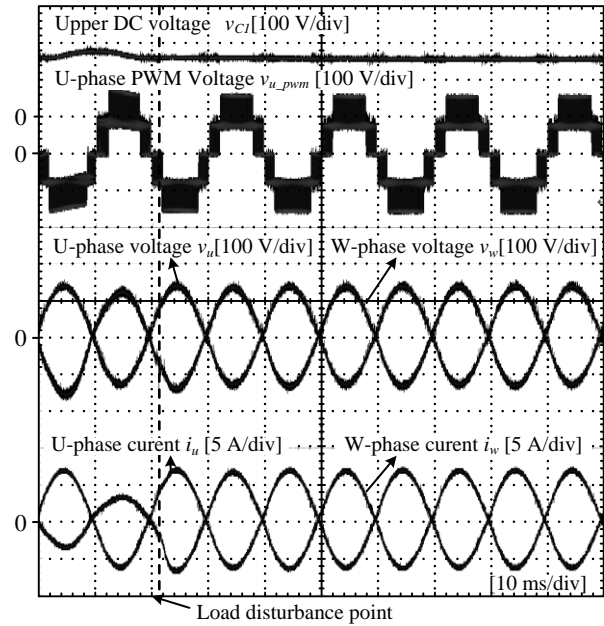
##### (4.2) 実験結果

自立運転のため、負荷を系統から抵抗  $R_u, R_w$  に変更して検証を行う。この時、 $R_w = 20\Omega$  一定とする。

図 10 に負荷変動時の過渡応答を示す。図 10(a)は負荷抵抗  $R_u$  を  $20\Omega$  から  $40\Omega$  に変動させた結果である。結果より、



(a) Drop operation.



(b) Return operation..

Fig. 10 Transit response of Load unbalance.

負荷変動後に出力電流が不平衡でも負荷電圧  $v_u$ ,  $v_w$  は、平衡状態を維持することが確認できる。負荷変動後に U 相 PWM 電圧の波形が歪む理由は、負荷不平衡状態時に大きく流れる中性点電流により、入力部のキャパシタ  $C_1$ ,  $C_2$  に系統周期の電圧リプルが発生しているからである。この時の  $C_1$  の電圧リプルは 22.7V である。よって測定結果の 22.7V は、設計値 23.3V に対して誤差 2.6% と良好に一致している。

一方、図 10(b) は負荷抵抗を  $R_u$  が 20Ω から 40Ω に変動させた結果である。結果より、負荷不平衡状態から負荷平衡状態に移行に移行しても負荷電圧  $v_u$ ,  $v_w$  は、平衡状態を維持することが確認できる。

## 5. まとめ

本論文では、単相三線式系統が接地点基準で相補的に動作することに着目し、ANPC 回路二相分を一体化、出力側に H ブリッジクランプ回路を設け、部品点数を削減する新たな回路構成を提案している。結果ついて提案回路は、従来の ANPC, DCLP, FC の各回路と比較した場合、スイッチとキャパシタを合わせた部品点数が最小となる。次に、提案回路の系統擾乱時における FRT 動作を実機実験により検証を行った。その結果、LVRT が 20% 以上、20% 未満の両方において FRT 要件を満足することを確認した。最後に自立運転時に単相三線式系統の上下相で負荷不平衡が発生した時の動作を実機実験により検証を行った。その結果、負荷不平衡時にも系統電圧が平衡状態を保つことを確認した。また、キャパシタ  $C_1, C_2$  の設計を行い、実機実験によって電圧リプルの設計値との誤差 2.6% を達成し、設計の妥当性を確認した。

今後の課題として、他マルチレベル回路とのパレートフロントによる比較検討が挙げられる。

## 文 献

- (1) Bo Yang, Wuhua Li, Yujie Gu, Wenfeng Cui and Xiangning He "Improved transformerless inverter with common-mode leakage current elimination for a photovoltaic grid-connected power
- (2) Y. Baba, M. Okamoto, E. Hiraki and T. Tanaka, "A half-bridge inverter based current balancer with the reduced DC capacitors in single-phase three-wire distribution feeders," Energy Conversion Congress and Exposition, pp. 4233-4239, (2010)
- (3) S. J. Chiang et.al, : "Design and implementation of single-phase three-wire rectifier-inverter for UPS applications," Power Electronics Specialists Conference, pp.1927-1932, (2004).
- (4) Lin Ma, T. Kerekes, R. Teodorescu, X. Jin, D. Florica and M. Liserre, : "The high efficiency transformer-less PV inverter topologies derived from NPC topology" EPE 2009, No.0079, pp.1-10 (2009)
- (5) P. Barbosa et.al, : "Active-Neutral-Point-Clamped (ANPC) Multilevel Converter Technology," EPE 2005, pp. 1-10 (2005)
- (6) Yugo Kashihara, Jun-ichi itoh, : "The performance of the multilevel converter topologies for PV inverter", CIPS2012, pp.67-72 (2012)
- (7) K. Fujii, N. Kanao, T. Yamada, and Y. Okuma "Fault Ride Through Capability for Solar Inverters" European Conference on Power Electronics and Applications, pp. 1-9 (2011)
- (8) Kobayashi, H. "Fault ride through requirements and measures of distributed PV systems in Japan", Power and Energy Society General Meeting, pp. 1-6 (2012)
- (9) J. Itoh, T. Karaki, Y. Noge: "Experimental Verification of a Multi-level Inverter with H-bridge Clamp Circuit for Single-phase Three-wire Grid Connection", IECON2014, Vol. , No. , pp. 1446-1452 (2014)
- (10) 日本電気技術規格委員会, : "系統連系規程 [JEAC9701-2012]" pp.3-17