

# 3 レベル V 結線インバータの空間ベクトルを用いた 雑音端子電圧の低減法

HUYNH DANG MINH\* 佐藤 大介 伊東 淳一 (長岡技術科学大学)

Conduction Noise Reduction Method for the Three-level V-connection Inverter  
Using Space Vector Modulation  
Huynh Dang Minh\*, Daisuke Sato, Jun-ichi Itoh (Nagaoka University of Technology)

This paper proposes a method which uses the Space Vector PWM (SVPWM) to reduce the neutral point potential variation of the three-level V-connection inverter. In the proposed method, by selecting the vectors which has low neutral point potential variation to generate the output voltage command value, the neutral point potential variation of the V-connection inverter can be reduced. In addition, the neutral point potential variation influence the magnitude of the load's common-mode leakage current. Moreover, the load's common-mode leakage current is dominant the generation of the conduction noise. Therefore, by reducing the neutral point potential variation, it can be considered that the proposed SVPWM can reduce the conduction noise. After that, the experimental comparison about the conduction noise in the frequencies below 150 kHz is discussed. Due to this, the effect of reducing the conduction noise in the frequencies below 150 kHz of the proposed method when using high carrier frequency can be confirmed. From that, the effect of reducing the conduction noise in the frequencies above 150 kHz when using high carrier frequency can be predicted.

キーワード：マルチレベル変換器，3 レベル V 結線インバータ，空間ベクトル PWM，中性点電位  
(Keywords: Multilevel converter, 3-level V-connection inverter, Space Vector PWM, Neutral point potential)

## 1. はじめに

近年，電力変換システムの大容量化や高調波低減の需要から，3 レベル三相結線整流器およびインバータから構成されるシステムがモータドライブや UPS などの主回路として用いられている。しかしながら，本回路は感電防止のため，出力側に絶縁トランスを必要とするため，回路が大型化する<sup>(1)</sup>。また，トランスによって常時損失が発生するため，システムの総合効率を低下させる問題がある<sup>(1)</sup>。

これらの問題を解決するため，トランスレス 3 レベル V 結線整流器・インバータ (BTB)システムが提案されている<sup>(1)</sup>。本システムでは，共通相を接地するため，絶縁トランスが不要となる。従って，小型化が可能であり，効率は従来方式に対して 7.9%改善できることが確認されている<sup>(2)</sup>。

しかしながら，V 結線方式は電圧利用率が三相結線方式の半分となるため，直流中間電圧を三相結線方式の 2 倍にする必要がある。そのため，V 結線方式の雑音端子電圧は三相結線方式よりも高くなることを確認している<sup>(3)</sup>。雑音端子電圧は周辺機器の誤動作を招くため，V 結線方式を実際のシステムに適用するためには，雑音端子電圧を抑制する必要がある。一般的には EMC フィルタにより抑制可能であるが，フィルタの体積増加によりシステムが大型化し，同時にコストも増加するという問題がある<sup>(4)</sup>。

雑音端子電圧はコモンモード電流が流れることにより発生する。なお，コモンモード電流は回路内の複数の経路に流れるが，負荷の浮遊容量に流れるコモンモード電流は負荷の中性点電位変動によるものである<sup>(5)~(9)</sup>。また，SiC や GaN などのワイドバンドギャップ半導体を用いたスイッチング素子を適用し，高速スイッチング動作を行うインバータでは  $dv/dt$  が大きくなるため，雑音端子電圧のレベルが高くなる<sup>(4)</sup>。そこで，本論文では 3 レベル V 結線インバータの中性点電位変動に起因する雑音端子電圧の低減を目的とした空間ベクトル PWM (SVPWM) を提案し，その評価を行う<sup>(9)</sup>。

本論文の構成は以下の通りである。はじめに，3 レベル V 結線インバータの空間ベクトル図において，中性点電位変動を低減する方法を述べる。次に，提案 SVPWM の適用方法を説明する。最後に実機実験において中性点電位変動及びシステムの雑音端子電圧の低減効果を確認する。

## 2. 中性点電位変動を低減する空間ベクトル PWM

〈2・1〉 中性点電位の導出 図 1 に 3 レベル V 結線インバータの回路図を示す。V 結線インバータは出力の 1 相を直流中性点に接続するが，本論文では V 相を接続する。また，スイッチングは残る 2 相だけ行う。したがって，スイッチング素子の数は三相結線インバータの  $2/3$  となる。

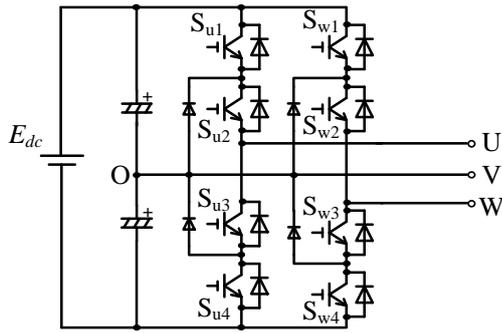


Fig.1. Main circuit configuration of the 3-level V-connection BTB system

表 1 に 3 レベル V 結線インバータのスイッチングパターンと線間電圧  $v_{uv}$ ,  $v_{vw}$ ,  $v_{wu}$  の大きさ, 図 2 に表 1 に基づいて作成した出力電圧ベクトル図を示す。ここで,  $\mathbf{V}$  は電圧指令ベクトルである。表 1 と図 2 から, V 結線インバータのスイッチングパターンは 9 つ存在することが分かる。次に, 各パターンにおける線間電圧より, 中性点電位の大きさを導出する。まず, 三相結線インバータの中性点電位  $v_{no}$  は(1)式より与えられる。

$$v_{no} = \frac{(v_{uo} + v_{vo} + v_{wo})}{3} \dots\dots\dots (1)$$

$v_{uo}$ ,  $v_{vo}$ ,  $v_{wo}$  は直流中性点を基準としたときの各相の相電圧である。この時, U 相, V 相, W 相のスイッチング状態をスイッチング関数  $S_u, S_v, S_w \in \{1, 0, -1\}$  により表すと,  $v_{uo}$ ,  $v_{vo}$ ,  $v_{wo}$  はそれぞれ(2), (3), (4)式のように表される。

$$v_{uo} = \frac{E_{dc}}{2} S_u \dots\dots\dots (2)$$

$$v_{vo} = \frac{E_{dc}}{2} S_v \dots\dots\dots (3)$$

$$v_{wo} = \frac{E_{dc}}{2} S_w \dots\dots\dots (4)$$

$E_{dc}$  は直流電圧である。次に, (2), (3), (4)式を(1)式に代入すると, (5)式となる。

$$v_{no} = \frac{E_{dc}}{6} (S_u + S_v + S_w) \dots\dots\dots (5)$$

ここで, V 結線方式は三相結線方式の V 相を常にオフしている状態と見なすことができる。したがって, 3 レベル V 結線インバータの中性点電位変動は(5)式において  $S_v=0$  とすることで求めることができ, (6)式で表される。

$$v_{no} = \frac{E_{dc}}{6} (S_u + S_w) \dots\dots\dots (6)$$

表 2 に 3 レベル V 結線インバータの各出力電圧ベクトルとその際の中性点電位を示す。表 2 より最も高い中性点電位は  $E_{dc}/3$  であり, そのときの出力電圧ベクトルは  $\mathbf{V}_{1,1}$  と  $\mathbf{V}_{-1,-1}$  であることが分かる。

〈2・2〉 提案 SVPWM 中性点電位を低減するためには, 出力電圧指令ベクトル  $\mathbf{V}$  として  $\mathbf{V}_{1,1}$  と  $\mathbf{V}_{-1,-1}$  を選択しな

Table 1. The values of line-to-line voltages  $v_{uv}$ ,  $v_{vw}$ ,  $v_{wu}$  corresponding to each switching pattern of the 3-level V-connection inverter

Vector	State of the switch (1:ON, 0:OFF)								$v_{uv}$	$v_{vw}$	$v_{wu}$
	$S_{u1}$	$S_{u2}$	$S_{u3}$	$S_{u4}$	$S_{w1}$	$S_{w2}$	$S_{w3}$	$S_{w4}$			
$\mathbf{V}_{1,1}$	1	1	0	0	1	1	0	0	$E_{dc}/2$	$-E_{dc}/2$	0
$\mathbf{V}_{1,0}$	1	1	0	0	0	1	1	0	$E_{dc}/2$	0	$-E_{dc}/2$
$\mathbf{V}_{1,-1}$	1	1	0	0	0	0	1	1	$E_{dc}/2$	$E_{dc}/2$	$-E_{dc}$
$\mathbf{V}_{0,1}$	0	1	1	0	1	1	0	0	0	$-E_{dc}/2$	$E_{dc}/2$
$\mathbf{V}_{0,0}$	0	1	1	0	0	1	1	0	0	0	0
$\mathbf{V}_{0,-1}$	0	1	1	0	0	0	1	1	0	$E_{dc}/2$	$-E_{dc}/2$
$\mathbf{V}_{-1,1}$	0	0	1	1	1	1	0	0	$-E_{dc}/2$	$-E_{dc}/2$	$E_{dc}$
$\mathbf{V}_{-1,0}$	0	0	1	1	0	1	1	0	$-E_{dc}/2$	0	$E_{dc}/2$
$\mathbf{V}_{-1,-1}$	0	0	1	1	0	0	1	1	$-E_{dc}/2$	$E_{dc}/2$	0

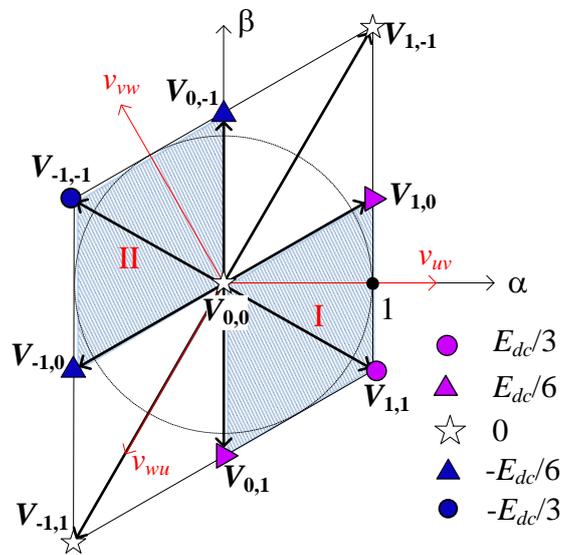


Fig.2. Output voltage vector diagram of the 3-level V-connection inverter

Table 2. The neutral point potential variation corresponding to each output voltage vector of the 3-level V-connection inverter

Vector	$v_{uv}$	$v_{vw}$	$v_{wu}$	Neutral point potential variation $v_{no}$
$\mathbf{V}_{1,1}$	$E_{dc}/2$	$-E_{dc}/2$	0	$E_{dc}/3$
$\mathbf{V}_{1,0}$	$E_{dc}/2$	0	$-E_{dc}/2$	$E_{dc}/6$
$\mathbf{V}_{1,-1}$	$E_{dc}/2$	$E_{dc}/2$	$-E_{dc}$	0
$\mathbf{V}_{0,1}$	0	$-E_{dc}/2$	$E_{dc}/2$	$E_{dc}/6$
$\mathbf{V}_{0,0}$	0	0	0	0
$\mathbf{V}_{0,-1}$	0	$E_{dc}/2$	$-E_{dc}/2$	$-E_{dc}/6$
$\mathbf{V}_{-1,1}$	$-E_{dc}/2$	$-E_{dc}/2$	$E_{dc}$	0
$\mathbf{V}_{-1,0}$	$-E_{dc}/2$	0	$E_{dc}/2$	$-E_{dc}/6$
$\mathbf{V}_{-1,-1}$	$-E_{dc}/2$	$E_{dc}/2$	0	$-E_{dc}/3$

ければ良い。しかし, 変調率をある値より高くするにはこれらの電圧指令ベクトルを使用しなければならなくなる。ここで, 図 2 に示す領域 I における電圧指令ベクトル  $\mathbf{V}$  の生成方法を検討する。領域 I において, 変調率が低い場合,

電圧指令ベクトル  $\mathbf{V}$  は  $\mathbf{V}_{1,0}$ ,  $\mathbf{V}_{0,1}$  およびゼロ電圧ベクトル  $\mathbf{V}_{0,0}$  で表すことができ, (7)式で与えられる。

$$\begin{bmatrix} v_\alpha \\ v_\beta \\ 1 \end{bmatrix} = \begin{bmatrix} v_{\alpha 0,1} & v_{\alpha 1,0} & 0 \\ v_{\beta 0,1} & v_{\beta 1,0} & 0 \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} t_1 \\ t_2 \\ t_0 \end{bmatrix} \dots\dots\dots (7)$$

ここで, 電圧指令ベクトル  $\mathbf{V}$  の  $\alpha$  軸成分,  $\beta$  軸成分をそれぞれ  $v_\alpha, v_\beta$ ,  $\mathbf{V}_{0,1}$  の各成分を  $v_{\alpha 0,1}, v_{\beta 0,1}$ ,  $\mathbf{V}_{1,0}$  の各成分を  $v_{\alpha 1,0}, v_{\beta 1,0}$  とし,  $\mathbf{V}_{0,0}, \mathbf{V}_{0,1}, \mathbf{V}_{1,0}$  の出力時間 (デューティ) をそれぞれ  $t_0, t_1, t_2$  とする。なお,  $\mathbf{V}_{0,0}$  の出力時間は  $t_0 = 1 - t_1 - t_2$  である。

各選択ベクトルの  $\alpha\beta$  軸座標を(7)式に代入することで, (8)式が得られる。

$$\begin{cases} v_\alpha = t_2 \\ v_\beta = \frac{-2\sqrt{3}}{3}t_1 + \frac{\sqrt{3}}{3}t_2 \\ 1 = t_1 + t_2 + t_0 \end{cases} \dots\dots\dots (8)$$

領域 I において, 電圧指令ベクトル  $\mathbf{V}_{1,1}$  を使用せずに電圧指令ベクトル  $\mathbf{V}$  を生成できる変調率の上限では  $t_0=0$  となる。このときの  $\beta$  軸成分  $v_\beta$  は(9)式となる。

$$v_\beta = \sqrt{3}v_\alpha - \frac{2\sqrt{3}}{3} \dots\dots\dots (9)$$

同様に, 図 2 に示す領域 II において,  $\mathbf{V}_{-1,-1}$  を使用せずに電圧指令ベクトル  $\mathbf{V}$  を生成できる変調率の上限では  $\beta$  軸成分  $v_\beta$  は(10)式となる。

$$v_\beta = \sqrt{3}v_\alpha + \frac{2\sqrt{3}}{3} \dots\dots\dots (10)$$

図 3 に提案 SVPWM 方式の空間ベクトル図のセクタの区切り方を示す。セクタ 1, 2, 4, 5 において, 所属する 3 つの基準ベクトルによって電圧指令ベクトル  $\mathbf{V}$  を生成する。また, 図 3 に示した領域 I は電圧指令ベクトル  $\mathbf{V}_{1,1}$  を使用せずに電圧指令ベクトル  $\mathbf{V}$  を生成できるセクタ 0 と  $\mathbf{V}_{1,1}$  を使用するセクタ 6 に分割する。同様に領域 II はセクタ 3 とセクタ 7 に分割する。中性点電位変動の低減を目的としているため, セクタ 6 およびセクタ 7 では中性点電位の変動幅が最小の  $E_{dc}/6$  となるようにそれぞれ  $\mathbf{V}_{0,0}, \mathbf{V}_{0,1}, \mathbf{V}_{1,0}$  および  $\mathbf{V}_{0,0}, \mathbf{V}_{0,-1}, \mathbf{V}_{1,0}$  を選択する。ここで, 領域 I における, セクタ 0 およびセクタ 6 の判別条件はそれぞれ(11)式で与えられる。

$$\begin{cases} v_\beta \geq \sqrt{3}v_\alpha - \frac{2\sqrt{3}}{3} & (\text{Sector 0}) \\ v_\beta < \sqrt{3}v_\alpha - \frac{2\sqrt{3}}{3} & (\text{Sector 6}) \end{cases} \dots\dots\dots (11)$$

同様に, 領域 II において, セクタの判定条件は(12)式で与えられる。

$$\begin{cases} v_\beta \leq \sqrt{3}v_\alpha + \frac{2\sqrt{3}}{3} & (\text{Sector 3}) \\ v_\beta > \sqrt{3}v_\alpha + \frac{2\sqrt{3}}{3} & (\text{Sector 7}) \end{cases} \dots\dots\dots (12)$$

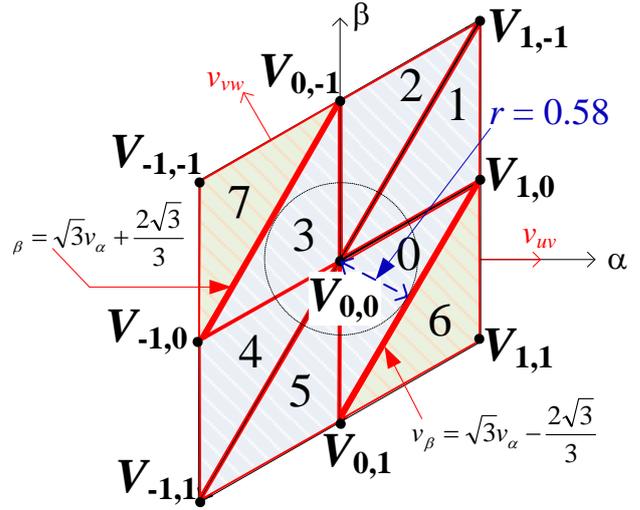


Fig.3. Neutral point potential variation distribution diagram of the 3-level V-connection inverter

また, 図 3 より(9)式および(10)式で表す直線は半径  $r=0.58$  の円と接する。従って, 変調率が 0.58 以下の領域では, 電圧指令ベクトルとして  $\mathbf{V}_{-1,-1}$  と  $\mathbf{V}_{1,1}$  を使用せずに指令値を生成できる。

### 3. 制御方法

〈3・1〉 PWM の生成手法 本節では提案 SVPWM 方式と従来の三角波キャリア比較変調方式 (ユニポーラ変調) に基づく PWM の生成手法について説明する。

図 4 にユニポーラ変調の原理図を示す。ユニポーラ変調とは, 0 から 1 の間で変化する上段三角搬送波と -1 から 0 の間で変化する下段三角搬送波に対して正弦波の変調波を比較することで PWM 波形を生成する方式である。

図 5 に SVPWM によりスイッチング信号を生成する原理図を示す。ここで, 選択ベクトルの出力時間  $t_0, t_1, t_2$  は制御周期  $T_c$  で規格化されており, 0 から 1 の値である。この値を振幅が 1 のキャリア (最小値 0, 最大値 1 の三角波) と比較する。

$t_1$  とキャリア (Carrier) を比較して  $t_1 > \text{Carrier}$  の場合, ベクトル  $\mathbf{V}_1$  を出力する。このときの実際のベクトルの出力時間は, 制御周期  $T_c$  の  $t_1$  倍である。次に,  $t_1+t_2$  と Carrier を比較して  $t_1+t_2 < \text{Carrier}$  の場合, ベクトル  $\mathbf{V}_0$  を出力する。この出力時間は, 制御周期  $T_c$  の  $1-(t_1+t_2)$  倍, つまり  $t_0$  倍である。残りの  $\mathbf{V}_0, \mathbf{V}_1$  を出力しない期間はベクトル  $\mathbf{V}_2$  を出力する。このベクトル  $\mathbf{V}_2$  の出力期間は, 1 制御周期中に  $t_2 T_c / 2$  ずつ 2 回存在し, 合計  $t_2 T_c$  である。最後にそれぞれのベクトルの情報をスイッチングパターンに変換する。各選択ベクトルにはそれぞれ, スwitchingパターンが割り振られている。

#### 〈3・2〉 提案 SVPWM におけるスイッチング回数の最小化

SVM においては, ベクトル  $\mathbf{V}_0, \mathbf{V}_1, \mathbf{V}_2$  の切り替え時にスイッチングを行うが, このとき切り替えるパターンによってスイッチング回数が異なる。よって  $\mathbf{V}_0, \mathbf{V}_1, \mathbf{V}_2$  に割り当

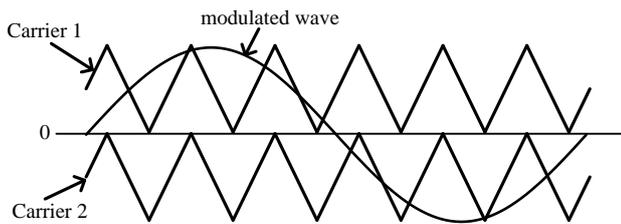


Fig.4. Carrier comparison unipolar modulation

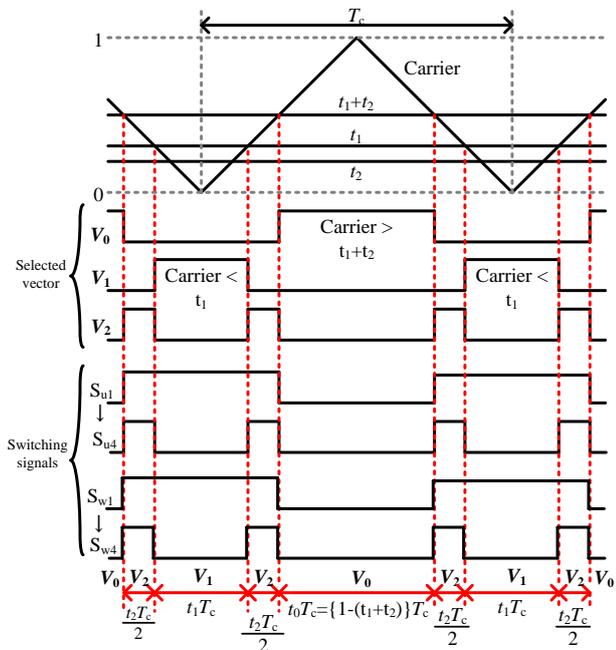


Fig.5. Principle diagram of SVPWM

てる指令ベクトルを適切に行わなければ、キャリア比較方式よりもスイッチング回数が増加し、雑音端子電圧の増加やスイッチング損失の増加を招く。そこで、キャリア 1 周期中のスイッチング回数を最小化することが必要となる。

図 6 に各セクタにおける、電圧指令ベクトル切り替え時のスイッチング回数を示す。図 6 から、最小のスイッチング回数は 2 回、最大が 4 回であることが分かる。図 5 より、ベクトル  $V_0$  から  $V_1$  または  $V_1$  から  $V_0$  への切り替えはないため、例えばセクタ 0 においては  $V_0$  に  $V_{1,1}$  を、 $V_1$  に  $V_{0,1}$  をそれぞれ割り当てることで、スイッチング回数の最小化が可能となる。

#### 4. 実験結果

〈4・1〉中性点電位変動の低減効果 本節では、従来の三角波キャリア比較方式と提案する SVPWM により V 結線インバータを駆動した際の中性点電位変動の低減効果を検証する。

図 7 に V 結線インバータの実機構成、表 3 に実験条件を示す。ここで、出力の V 相は直流中性点と接続する。また、インバータはオープン制御であり、変調率を入力として与える。変調率は全ての基準ベクトルを使用する 0.95 とする。

図 8 に従来の三角波キャリア比較方式および提案

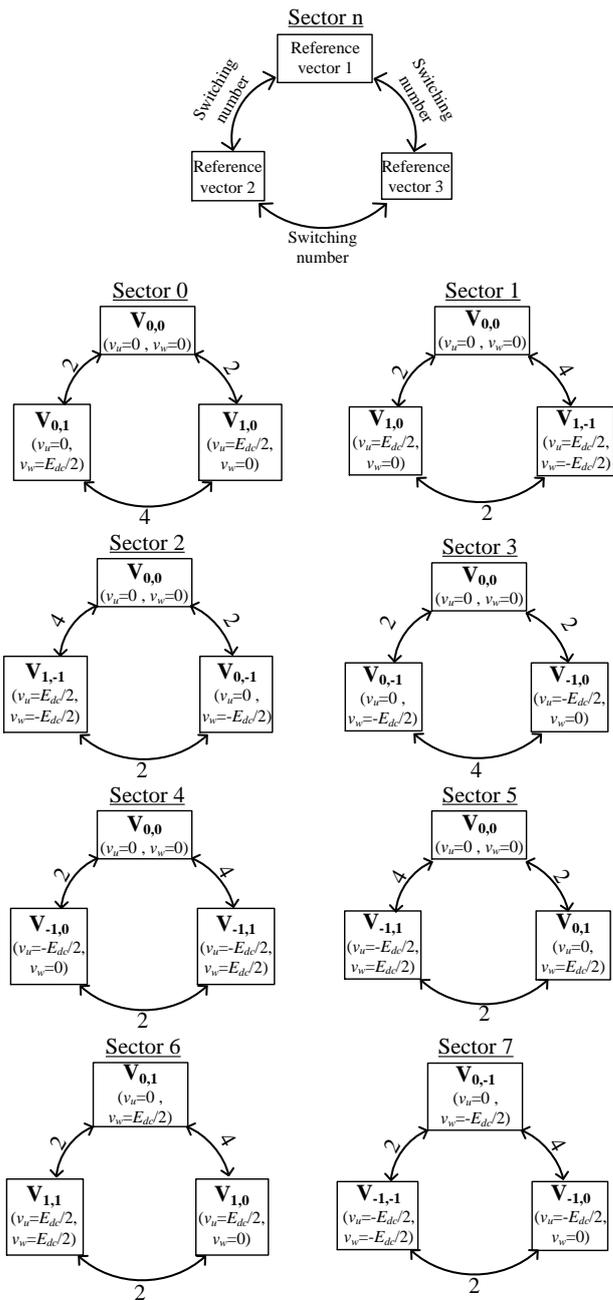


Fig.6. Number of switching in each sector when changing the reference vector

SMPWM 方式により動作したときの線間電圧、線電流および中性点電位の波形を示す。変調率は同一としているため、線間電圧と線電流は両方式で変化はない。また、両方式とも中性点電位の最大値が  $E_{dc}/3$  となることが分かる。しかしながら、従来方式では中性点電位の変動幅が  $E_{dc}/3$  である一方で、提案方式では変動幅が  $E_{dc}/6$  に低減されていることが分かる。

図 9 に中性点電位の高調波解析結果を示す。提案方式を使用した場合、キャリア高周波成分が最大 77%抑制できることが分かる。

〈4・2〉雑音端子電圧の低減効果 本節では、従来の三

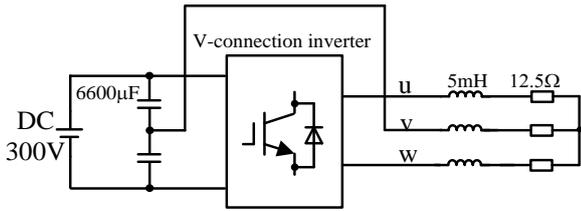
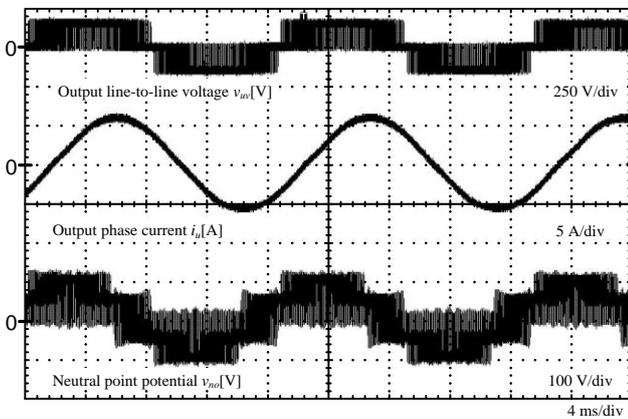


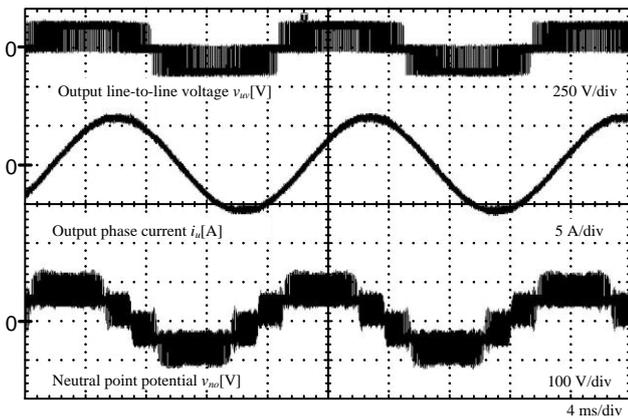
Fig.7. Experimental circuit diagram of the V-connection inverter system

Table 3. Experimental conditions

Input DC voltage	300 V
Output frequency	60 Hz
Switching frequency	16 kHz
Load	RL load (12.5 Ω, 5 mH)



(a) Conventional method

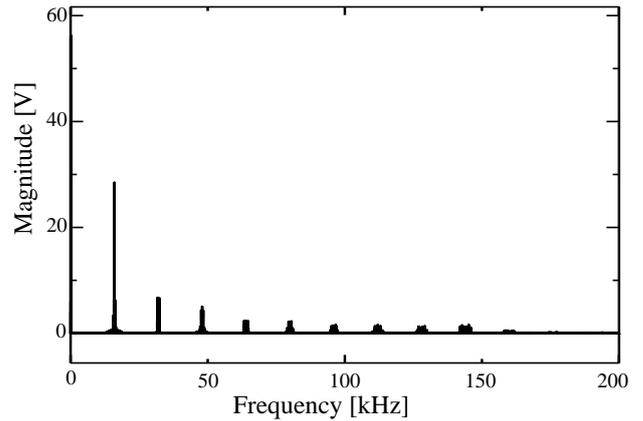


(b) Proposed method

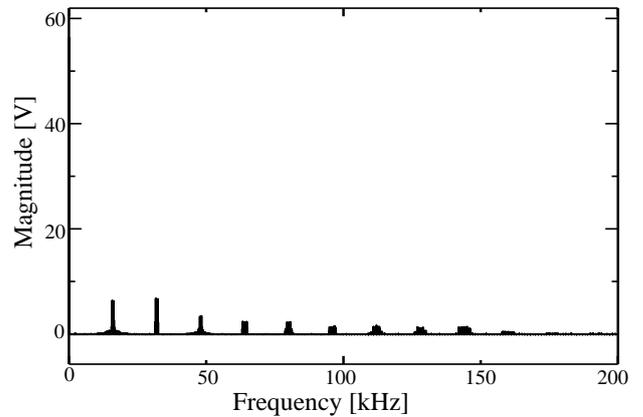
Fig.8. Neutral point potential measurement results

角波キャリア比較方式と提案する SVPWM により V 結線インバータを駆動した際の雑音端子電圧を比較し、提案法の有用性を検証する。

図 10 に雑音端子電圧測定時の V 結線インバータシステムを示す。なお、表 4 に雑音端子電圧の測定条件を示す。整流回路も V 結線方式であるため、入力三相電圧のうち R



(a) Conventional method



(b) Proposed method

Fig.9. Neutral point potential FFT waveform

相と T 相を整流回路に接続し、直流電圧を生成している。また、負荷の浮遊容量を模擬するため、負荷の抵抗器とリアクトルの間に Y コンデンサを接続する。さらに、負荷器の浮遊容量を流れるコモンモード漏れ電流を抑制するため、負荷器の入力にコモンモードチョークを挿入している。

図 11 に擬似電源回路網 (Line Impedance Stabilization Network, LISN) の 1 相分の等価回路を示す<sup>(10)</sup>。雑音端子電圧は 50 Ω 抵抗の電圧降下を測定することにより求める。なお、測定は簡易シールドルーム内で行う。

図 12 に 150 kHz までの周波数領域における雑音端子電圧の測定結果を示す。図 12 より、提案方式における雑音端子電圧のピーク大きさが全体的に低減されており、最大で 16 dB 低減していることが確認できる。この理由は、雑音端子電圧の原因であるコモンモード電流を低減しているためである。以上の結果より、提案方式が雑音端子電圧を低減させる手法として有効であることが確認できる。なお、キャリア周波数が 150 kHz を超えるインバータに本方式を適用した場合、CISPR 規制値の観点から、より効果的に雑音端子電圧を低減できると考えられる。

## 6. まとめ

本論文では、3 レベル V 結線インバータの雑音端子電圧

Table 4. Conduction noise measurement conditions

Input phase-to-phase voltage	230V
Input DC voltage	300 V
Output frequency	60 Hz
Switching frequency	16 kHz
Load	RL load (12.5 Ω, 5 mH)

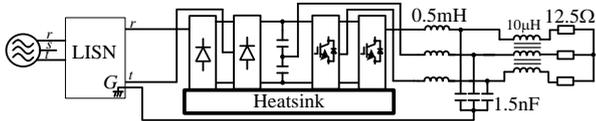


Fig.10. Experimental circuit diagram of the V-connection inverter system

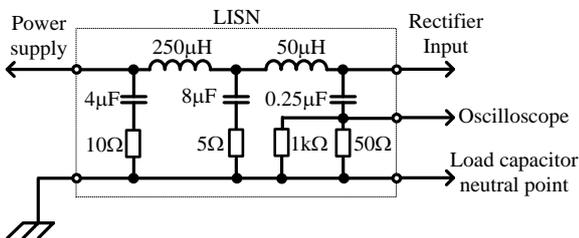


Fig.11. Equivalent circuit of one phase of LISN

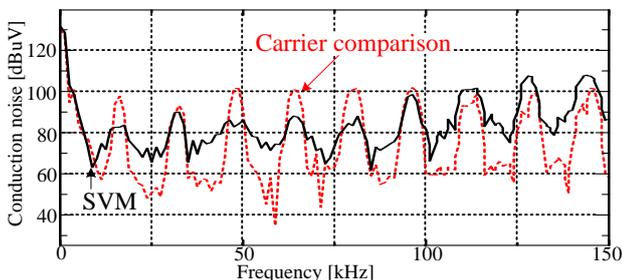


Fig.12. Conduction noise from 0 to 150 kHz

の低減を目的とした SVPWM 方式を提案し、実機実験により有用性の検証を行った。その結果、提案 SVPWM 方式を適用した場合、測定した全領域において雑音端子電圧を低減可能していることを確認し、最大で 16 dB 低減することを確認した。今後は数百 kHz のキャリア周波数のインバータにおける雑音端子電圧の低減効果を評価する予定である。

## 文 献

- (1) 佐藤明・佐藤伸二・中島洋一郎：「V 結線方式と 3 レベル V 結線方式電力変換器における三角波キャリア比較方式の検討」, SPC-10-93, IEA-10-20, MD10-25 (2010)
- (2) 佐藤明・中島洋一郎・伊東洋一：「3 レベル V 結線方式 PWM 整流器・インバータの運転特性」, 平成 23 年電気学会全国大会, 4-078 (2011)
- (3) J. Itoh, D. Sato, Dang Minh Huynh: "Experimental Verification of Conduction Noise of Three-level V-connection Rectifier-Inverter System", 16th International Power Electronics and Motion Control Conference and Exposition, ID 189 (2014)
- (4) T. Araki, J. Itoh, and K. Orikawa, "Experimental Verification of an EMC

- Filter Used for PWM Inverter with Wide Band-Gap Devices", 2014 International Power Electronics Conference, No. 20J3-4, pp. 1925-1932
- (5) 福田昭治・松本泰雅・佐川哲：「中性点クランプ型 PWM コンバータのモデリングと最適レギュレータを用いた中性点電位制御」, 電気学会論文誌 D, Vol.119, No.1, p.109-116 (1999)
- (6) 霍斌・宮下一郎・曾根悟：「3 レベルインバータの中性点電位変動を抑制した空間ベクトル PWM 波形生成法」, 電気学会論文誌 D, Vol.116, No.1, pp.42-49 (1996)
- (7) 小笠原悟司・藤田英明・赤木泰文：「電圧形 PWM インバータが発生する高周波漏れ電流のモデリングと理論解析」, 電気学会論文誌 D, Vol.115, No.1, pp.77-83 (1995)
- (8) H. Bishnoi, A.C. Baisden, P. Mattavelli and D. Boroyevich: "Analysis of EMI Terminal Modeling of Switched Power Converters", IEEE Transactions on Power Electronics, Vol.27, No.9, pp.3924-3933 (2012)
- (9) Huynh Dang Minh・佐藤大介・伊東洋一：「空間ベクトル PWM を用いた 3 レベル V 結線インバータの中性点電位変動の低減手法」, EDD-14-065, SPC-14-127 (2014)
- (10) 小笠原悟司・一宮弘司・赤木泰文：「電圧形 PWM インバータが発生する EMI のスペクトル解析 -分布定数モデルの適用」, 電気学会論文誌 D, Vol.119, No.8/9, pp.1090-1098 (1999)