

系統定常時のスイッチング損失を低減可能な 常時インバータ式 UPS 用 AC-AC 変換器の波形改善法

米田 一己* 高橋 広樹 伊東淳一 (長岡技術科学大学)

Improvement of output waveform of the AC-AC converter for On-line UPS that reduces steady state switching loss

Kazuki Yoneda*, Hiroki Takahashi, Jun-ichi Itoh (Nagaoka University of Technology)

This paper proposes an AC-AC converter which consists of T-type three-level rectifier and inverter, for an on-line UPS. The switching loss of the proposed AC-AC converter is drastically reduced because the proposed converter is driven at a very low switching frequency which is six times of a grid frequency. The proposed circuit can achieve not only high efficiency, but also short instantaneous interruption time. However, the waveform of input currents has ringing; moreover, the waveform of output voltages has surges. In addition, an experimental verification is not confirmed when the grid condition is not stable. In this paper, an advanced control method and a modification of main circuit are described. These methods improve the input current and the output voltage waveforms. Additionally, the boost mode for voltage dip compensation is described. Finally, operations of proposed method are confirmed by simulation.

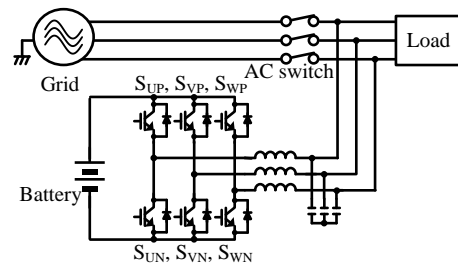
キーワード：無停電電源装置，瞬時電圧低下，AC-AC 変換
(Uninterruptible Power Supply, Voltage dip, AC-AC Converter)

1. はじめに

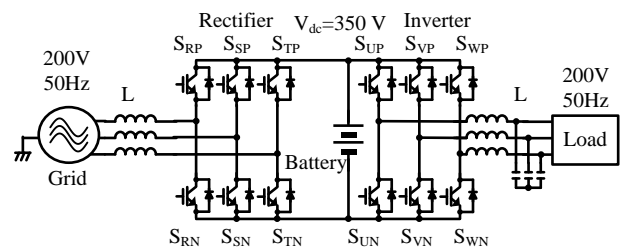
近年，多くのサーバールーム，工場のラインにおいて無停電電源装置（UPS）の需要が高まっている⁽¹⁾。UPS を用いることで電源の安定性が向上し，瞬時停電による損害を回避できる。

図 1(a)に常時商用給電方式，図 1(b)に常時インバータ給電方式の UPS 用回路を示す。UPS は停電時のみ動作する常時商用給電方式と常に動作する常時インバータ給電方式に大別される。常時商用給電方式は，系統定常時の電流経路が AC スイッチのみなので損失が低いという利点がある。しかし，停電時に負荷電圧が数 ms の間瞬断する問題がある⁽²⁾。

これに対し，常時インバータ給電方式は常に定電圧定周波数の電力を供給するため，停電時においても瞬断が発生しない⁽²⁾。しかし，常時インバータ給電方式では常にインバータが PWM 制御を行うため，系統異常がない時も定期的にスイッチング損失が発生する問題がある。この問題に対し，変換器をマルチレベル化して素子耐圧を下げることでスイッチング損失を低減する手法が提案されており⁽³⁾⁻⁽⁵⁾，UPS 用途においてもその有用性が確認されている⁽⁶⁾⁽⁷⁾。しかし，根本的に PWM 制御が必要であるため，系統定常時のスイッ



(a) Standby type.



(b) On-line type.

Fig. 1. Conventional circuits for UPS. (a) is very low loss. However, there is interruption time when the grid is fail. (b) has no interruption time. However running losses are increases.

チング損失低減には限界がある。

そこで著者らは、系統定常時のスイッチング損失を低減する常時インバータ給電方式UPS用AC-AC変換器を提案している(8)。文献(8)で提案されたAC-AC変換器では、系統定常時には入力電圧の60度毎にしかスイッチングしないため、スイッチング周波数が系統周波数の6倍で済む。これにより、系統定常時のスイッチング損失を大幅に低減できる。また、系統電圧が瞬時低下した場合は、整流器をPWM制御して昇圧し、出力電圧を一定に保つ。さらに、停電時はバッテリーから給電するため瞬断なしに出力電圧を維持できる。これらの動作モードの切り替えは、直流リンクの小容量のコンデンサがエネルギーバッファとなるため、無瞬断で行われる。従って、系統定常時のスイッチング損失低減に加えて系統異常時の補償も可能なため、文献(8)の回路はUPS用途に適している。しかしながら、文献(8)では系統定常時のインバータ出力電圧にスイッチング周期でサージ電圧が発生する問題がある。

本論文では、系統定常時のスイッチング損失を低減する常時インバータ給電方式UPS用AC-AC変換器の波形改善を目的とし、サージ電圧を抑制する制御方法を提案する。まず、文献(8)に記載された回路における入力電流ひずみの原因を解明し、DCリンクコンデンサの数を2から3に変更することで入力電流波形を改善する。次に、従来の電圧サージの原因を解明し、出力電圧サージを低減可能な回路駆動方法を提案する。最後に、系統電圧低下時の昇圧動作について等価回路を用いて動作解析をする。シミュレーションの結果、入力電流波形と出力電圧波形の改善、瞬時電圧低下時の昇圧モードの有用性を確認したので報告する。

2. 系統定常時の60度スイッチング

〈2・1〉 回路構成

図2に文献(8)で提案されたUPS用回路を示す。なお、本論文では図2の回路を従来回路とする。従来回路は、双方向スイッチを用いたVienna整流器⁽⁵⁾とT型3レベルインバータ、停電時のバックアップ用バッテリーと降圧チョッパで構成される。この回路の特徴は、直流リンク電圧を大容量の電解コンデンサを用いて平滑化するのではなく、50Hzの入力電圧に起因する直流リンク電圧の300Hzリプルを積極的に活用することで、インバータを系統電圧波形の60度毎でスイッチングする点にある。具体的には、整流器の60度スイッチングで直流リンクのp、o、n点にそれぞれ入力電圧の最大相電圧 v_{max} 、中間相電圧 v_{mid} 、最小相電圧 v_{min} を割り当て、インバータの60度スイッチングによってそれを出力三相電圧に復元する。したがって、系統電圧が正常であれば、常時インバータ給電方式に対してスイッチング損失を大幅に低減できる。なお、本回路では半導体デバイスを28個用いるため小容量のUPSでは上記の損失低減効果がコストに見合わない。従って、本論文では本回路を100kVAクラスのUPSに導入することを想定し、実機検証では3kWのミニモデルを用いる。

〈2・2〉 60度スイッチングの制御方法

図3に、図2の回路のスイッチング損失を99%以上低減可能な系統定常時の制御ブロック図、図4に入力電圧と60度スイッチングに必要な領域判定に用いる変数(state number)の対応を示す。また、表1に文献(8)で提案された整

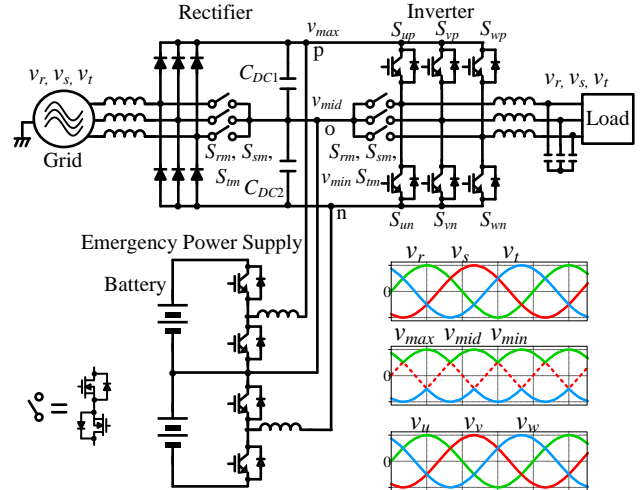


Fig. 2. Conventional AC-AC converter for UPS that was proposed in the paper (8).

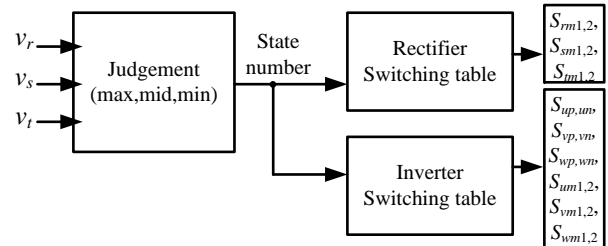


Fig. 3. Control block diagram of CVCF.

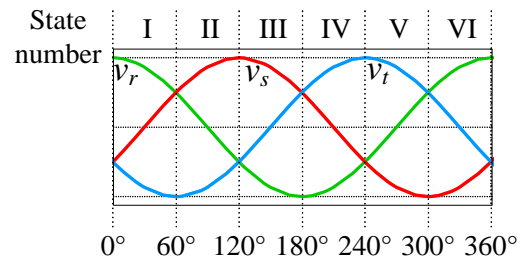


Fig. 4. Correspondence of input voltage to state number

Table 1 Switching table of AC-AC converter control.

Rectifier							Inverter						
	state number							state number					
	I	II	III	IV	V	VI		I	II	III	IV	V	VI
S_{rm1}	0	1	1	1	1	0	S_{up}	1	0	0	0	0	1
S_{rm2}	1	1	0	0	1	1	S_{sm}	0	1	0	0	1	0
S_{sm1}	1	0	0	1	1	1	S_{un}	0	0	1	1	0	0
S_{sm2}	1	1	1	1	0	0	S_{vp}	0	1	1	0	0	0
S_{m1}	1	1	1	0	0	1	S_{vm}	1	0	0	1	0	0
S_{m2}	0	0	1	1	1	1	S_{vn}	0	0	0	0	1	1
							S_{wp}	0	0	0	1	1	0
							S_{wm}	0	0	1	0	0	1
							S_{wn}	1	1	0	0	0	0

流器とインバータのスイッチングテーブルを示す。図 3 の制御ブロック図では、入力相電圧 v_r, v_s, v_t を大中小判定し、*state number* を出力する。この *state number* は 60 度毎に切り替わり、整流器とインバータのスイッチはこの *state number* を元に表 1 のスイッチングテーブルを参照してスイッチングパターンを決定する。

〈2・3〉60度スイッチングの問題点

表 2 に前節の制御を用いた負荷電力 3kW とした実機の仕様を、図 5 に 60 度毎に入力電流のリングングと出力電圧のサージの問題がある従来の実験波形を示す。図 5 は、スイッチングパターンと出力電圧、入力電流波形を示している。

図 5 の実験結果では、60 度毎のスイッチングと同時に出力電圧に約 50V のサージ電圧が発生している。加えて、入力電流にも同様のタイミングでリングングが発生している。図 5 の出力電圧のサージは負荷に印加する電圧の品質を低下させ、入力電流のリングングは高調波成分を増加させるため他の機器へ悪影響を与えるおそれがある。従って、従来回路を UPS に適用するためには、これら問題を解決する必要がある。

3. 系統定常時の動作改善

〈3・1〉入力電流波形の改善

図 6 に入力電流波形改善のためコンデンサ C_{DC3} を追加した提案回路、図 7 に提案回路の整流器が STATE I から STATE II への移行中に、 C_{DC3} 追加によって電流の連続性を保つことを示す電流経路図を示す。本節では、まず入力電流のリングング発生メカニズムについて説明するため、ステート I から II へ移行する場合の動作を解析する。ステート I から II への移行では、r 相から p 点へ流れていた電流を o 点へ、s 相から o 点へ流れていた電流を p 点へ転流する必要がある。しかし、図 4 の対応図より、ステート I から II へ移行する時は r 相電圧 v_r と s 相電圧 v_s は等しく、 C_{dc1} の端子電圧がゼロで、かつ不連続になることが分かる。このため、s 相から o 点へ流れていた電流を p 点に転流しようとした時、 C_{DC1} に電流を流すことが出来ず、r 相と s 相の線間から見たインピーダンスが急変してリングングが発生する。この問題を解決するため、本論文では入力電流の連続性を保つために直流リンクコンデンサ C_{DC3} を追加している。 C_{DC3} は p 点と n 点の間に接続され、容量は C_{DC1}, C_{DC2} と同じ値とする。図 7 の電流経路より、 C_{DC3} を追加することで、 C_{dc2} と C_{dc3} を経由して s 相→p 点→o 点→r 相の閉ループで電流を流すことが可能となり、入力電流の連続性を保てること分かる。この結果、入力電流の 60 度ごとに発生するリングングを抑制できる。

〈3・2〉出力電圧サージを低減可能な回路駆動方法の提案

本節では 60 度毎に発生する出力電圧サージを改善するスイッチングパターンを提案する。この出力電圧サージを抑制することで、出力電圧の周波数成分は商用周波数のみとなり、従来の PWM 制御を適用したインバータに比べてフィルタの小型化が期待できる。

まず、60 度毎に発生するサージの原因について述べる。提案回路は従来の PWM インバータと同様に、スイッチング時にデッドタイムが必要である。表 1 のスイッチングパターンでは、整流器、インバータともに中間相の双方向スイッチを構成する 2 つの MOSFET に共通のゲート信号を与え

Table 2 Specifications of prototype circuit

Input and Output line voltage V_{ac}		200V(rms)	
Rated power	3 kW	Load resistance	12.6 Ω
Grid frequency	50 Hz	Load inductance	2 mH
Input inductance	0.11 mH	C_{DC1}, C_{DC2}	2.2 μ F
Rectifier	6in1 IGBT module (fwd)		6MBP50NA060-01
IGBTs	2in1 IGBT module		2MBI50N-060
Bidirectional switches	MOS-FETs		2SK3522-01

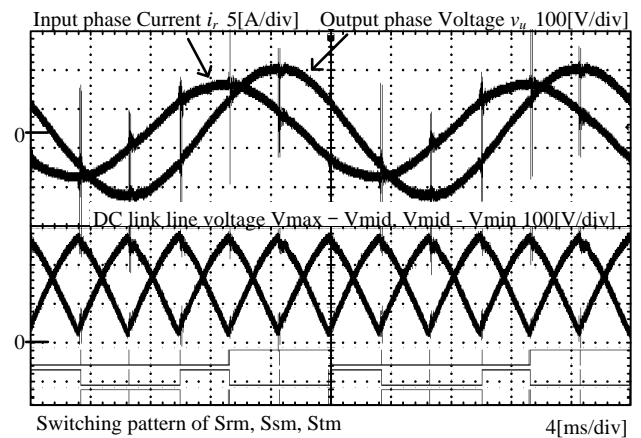


Fig.5 Operation waveforms of prototype circuit with conventional control method

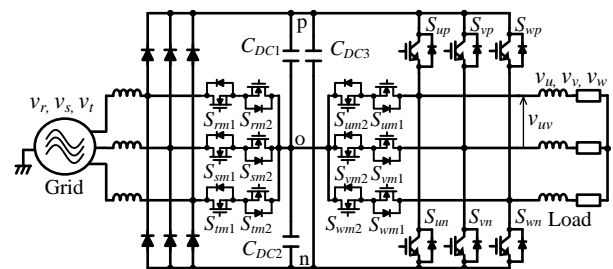


Fig. 6 Proposed circuit diagram with an additional capacitor C_{DC3}

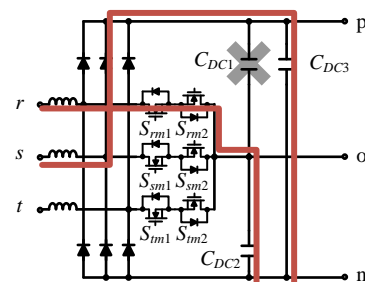


Fig. 7 Current path in the rectifier from STATE I to STATE II

ているため、デッドタイム中にレグのスイッチが全てターンオフする。このため、負荷の誘導性エネルギーによって出力電圧にサージが発生する。

図 8 に出力電圧サージを低減可能なスイッチングパターン (r 相, u 相のみ) と入力相電圧, 入力線間電圧を, 表 3 に整流器とインバータの全スイッチのスイッチングテーブルを示す。図 8, 表 3 の方式では双方向スイッチを構成する S_{um1} , S_{um2} をそれぞれ独立に駆動している。図 8 では、デッドタイムを考慮しながら S_{um1} , S_{um2} をそれぞれ S_{un} , S_{up} に対して相補的にスイッチングさせている。このように双方向スイッチのオン期間をオーバーラップさせることで、インバータのデッドタイム (T_d) 期間中でも負荷電流経路が確保され、出力電圧サージを低減できる。なお、負荷電流経路を確保するための双方向スイッチに必ずしも 60 度のオーバーラップ期間を設ける必要はないが、スイッチングシーケンスを簡単にするため 60 度のオーバーラップ期間を設けている。

図 9 に、出力電圧サージを低減するスイッチングパターンで提案回路を駆動した時のインバータ電流経路図を示す。なお、今回は負荷力率がほぼ 1 の条件で検討した。図 9(a)は、ステート I, 図 9(b)はステート I と II の間のデッドタイム, (c)はステート II の時の電流経路を示している。図 8 の方式では、図 9(a)の通りステート I の段階で、 S_{um2} を予めターンオンするオーバーラップ期間を設けている。ステート II からターンオンする S_{um1} と、ステート II からターンオフする S_{up} は、p 点と o 点の間の短絡を防ぐためにデッドタイムを設けるが、p-o 間の短絡と無関係の S_{um1} については、ターンオンしたままである。これにより、デッドタイム中の u 相の電流経路は失われず、o 点 $\rightarrow S_{um2} \rightarrow S_{um1}$ の寄生ダイオード \rightarrow u 相の経路で電流を流すことが可能となり、負荷インダクタンスの電流の連続性を保てる。従来の方式では、デッドタイム中に S_{um1} もターンオフしていた為に、u 相の電流経路が得られず負荷インダクタンスの電流が不連続となりサージを引き起こしていた。これに対し、提案法は上記の通り、双方向スイッチを構成する 2 つの MOS-FET を個別に駆動し、オーバーラップ期間を与えることで、負荷電流の連続性を保ち、インバータ出力電圧のサージを抑制する。

4. 系統電圧低下時の昇圧動作

図 10 に 1 ステート期間中の整流器を昇圧チョップとみなした場合の等価回路を示し、図 11 に瞬時電圧低下補償のために最大相と最小相の双方向スイッチを PWM 制御するための制御ブロック図, 表 4 に昇圧動作中の、整流器の双方向スイッチを構成する MOS-FET のスイッチングパターンを示す。瞬時電圧低下時は、直流リンク o 点に接続された整流器の中間相以外の双方向スイッチを PWM 制御することによって、整流器を図 10 の等価回路のように昇圧チョップとして動作させる。その結果、低下した系統電圧を昇圧できるので、系統定常時と同じ直流リンク電圧波形が得られる。表 4 のスイッチングテーブルの P1 と P2 は昇圧動作

のためのスイッチング信号であり、それぞれ図 11 の制御ブロックによって計算される。図 11 では、入力電圧ベクトルと出力電圧指令値ベクトルの比から昇圧比を求めて昇圧チョップをキャリア変調する。従って、瞬時電圧低下補償は

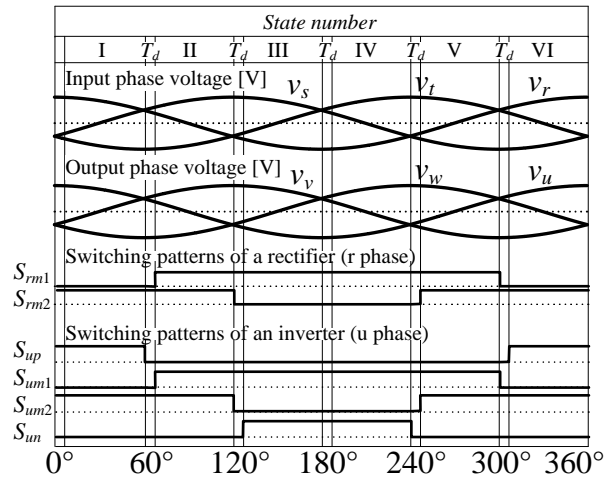


Fig. 8 Operation waveforms of prototype circuit

Table 3. Switching tables with over laps

Rectifier		state number					
		I	II	III	IV	V	VI
S_{rm1}		0	1	1	1	1	0
S_{rm2}		1	1	0	0	1	1
S_{sm1}		1	0	0	1	1	1
S_{sm2}		1	1	1	1	0	0
S_{m1}		1	1	1	0	0	1
S_{m2}		0	0	1	1	1	1

Inverter		state number					
		I	II	III	IV	V	VI
S_{up}		1	0	0	0	0	1
S_{um1}		0	1	1	1	1	0
S_{um2}		1	1	0	0	1	1
S_{un}		0	0	1	1	0	0
S_{vp}		0	1	1	0	0	0
S_{vm1}		1	0	0	1	1	1
S_{vm2}		1	1	1	1	0	0
S_{vn}		0	0	0	0	1	1
S_{wp}		0	0	0	1	1	0
S_{wm1}		1	1	1	0	0	1
S_{wm2}		0	0	1	1	1	1
S_{wn}		1	1	0	0	0	0

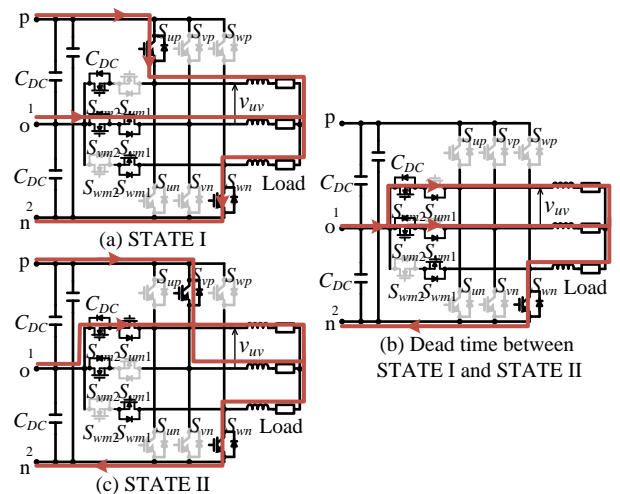


Fig. 9 Current paths in the inverter from STATE I to STATE II.

オープンループ制御となる。なお、瞬時電圧低下は文献(5)の方法で検出する。

〈4・2〉シミュレーション結果

図 11 に瞬時電圧低下によって入力電圧が 0.5 p.u. 低下した時の入力電圧波形、直流電圧波形、出力電圧波形を示す。図 11 より、入力電圧が低下した時でも、整流器側の昇圧動作によって直流リンク電圧波形を瞬時電圧低下前と同じ状態に維持することで出力電圧を 1 p.u. に制御している。また、60 度スイッチングから昇圧動作への切替え時、負荷電力は従来の常時インバータ方式 UPS と同様に無断である。なお、停電した瞬間に出力電圧が 22 % 変動しているが、これは入力側のインダクタと DC リンクコンデンサ C_{DC1} , C_{DC2} , C_{DC3} の共振が原因である。

5. シミュレーション結果

〈5・1〉系統定常時の 60 度スイッチング

図 12 に入力電流のリンギングを抑制した整流器側動作波形と 50Hz の入力電圧に対応した整流器 r 相のスイッチングパターンを、図 13 に出力電圧のサージを低減したインバータ側動作波形と 50Hz の入力電圧に対応したインバータ u 相のスイッチングパターンを示す。本論文では、整流器とインバータの動作を検証するため、バッテリーとバッテリーから電力を供給する降圧チョッパを未実装とする。また、負荷は RL 負荷とする。図 12 では、入力線間電圧 v_{rs} と、入力相電流 i_r 、直流リンク電圧 $v_{max}-v_{mid}$, $v_{mid}-v_{min}$ 、整流器 r 相のスイッチングパターンを示している。図 12 より、入力電圧の 60 度毎にスイッチングすることで、整流動作を行っていることがわかる。また、提案回路の直流リンク電圧波形は一般的な常時インバータ式 UPS に用いられる PWM 整流回路とは大きく異なり、ゼロを含む非平滑の波形であることが確認できる。加えて、追加の直流リンクコンデンサ C_{DC3} を挿入したことで、従来の問題であった入力電流のリンギングが抑制されていることが確認できる。

図 13 は、直流リンク電圧、サージの抑制がされたインバータ出力電圧とインバータ u 相のスイッチングパターンを示している。図 13 より、提案回路は系統周波数の 6 倍の非常に低いスイッチング周波数で、正弦波の出力電圧が得られることを確認できる。また、インバータのスイッチングパターンにオーバーラップを持たせることでスイッチング時のサージが抑制されていることが分かる。この時の出力サージ電圧はほぼゼロとなることを確認した。

図 14 に系統定常時の負荷電力を 0.5 kW から 3.0 kW まで変化した時の変換効率特性を示す。図 14 の効率特性は図 1(b)の常時インバータ給電方式 UPS と比較している。なお、負荷の電力は負荷の抵抗値を調整することで変更している。図 14 より、提案回路はスイッチング損失が発生しないため従来の常時インバータ方式 UPS より変換効率が高く、定格負荷 3kW 時において従来回路より 3.3% 向上していることが分かる。また、提案回路はスイッチング損失が損失全体の 1% 以下であるため、導通損が支配的である⁽⁸⁾。導通損

は素子を流れる電流の 2 乗に比例するため、提案回路の効率特性は電流の増加する重負荷になるほど低下している。

〈5・2〉瞬時電圧低下補償用の昇圧動作

図 15 に瞬時電圧低下補償用の整流器の昇圧モードで提案回路を駆動した時の動作波形を示す。図 15 の波形は上から、入力電圧 v_{rs} 、直流リンク線間電圧 $v_{max}-v_{mid}$, $v_{mid}-v_{min}$ 、インバータ出力電圧 v_{uv} 、整流器 r 相のスイッチングパターンを示している。本実験では、入力電圧を 0.5 p.u. とし、PWM 信号である P1 と P2 のデューティ比を固定値としている。図より、表 4 で示したスイッチングテーブルの通りに中間相以外の整流器スイッチが PWM 波形となり、昇圧チョッパ動

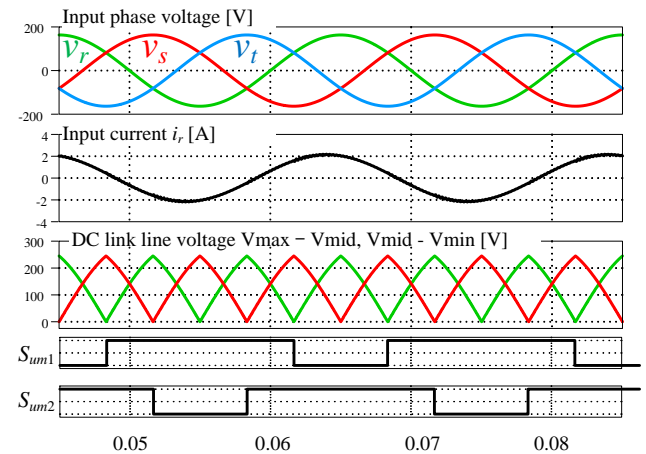


Fig. 12 Rectifier operation waveforms of the proposed circuit by experiment when the grid is not fail.

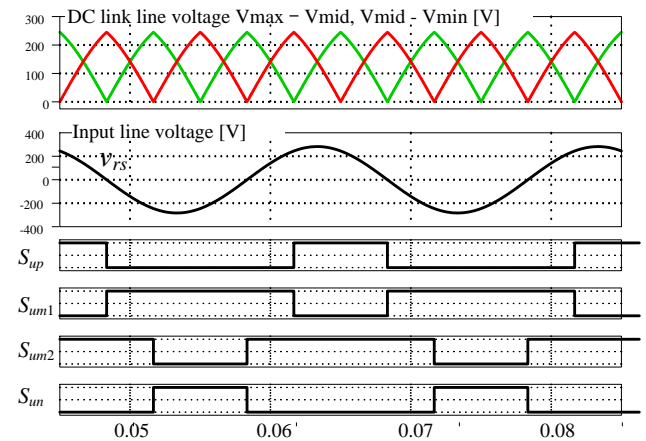


Fig. 13 Inverter operation waveforms of the proposed circuit by experiment when the grid is not fail.

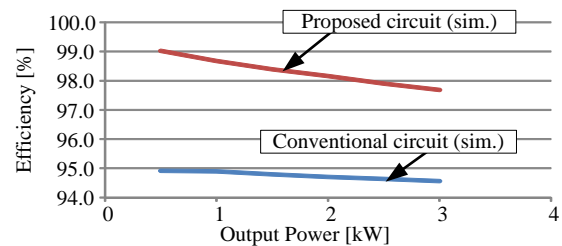


Fig. 14 Efficiency characteristic with respect to power.

作していることが確認できる。整流器の昇圧チョップ動作により、直流リンク電圧が系統定常時と同様にピーク値を245Vに保持できる。さらに、インバータは系統定常時と同様の60度スイッチングによって系統定常時と同様に200Vの正弦波電圧を出力可能であることを確認できる。

6. まとめ

本論文では、UPS向けACACコンバータについて従来の問題であった入力電流リングと出力電圧サージの原因を解明し、主回路のコンデンサ追加とスイッチング方法の改善による対策を提案した。系統定常時の動作について、従来の問題であった、60度スイッチング時の出力電圧のサージをほぼゼロに抑制できることをシミュレーションより確認した。また、変更後の回路においても97.68%以上の高い変換効率を得られることを確認した。最後に、整流器の昇圧動作をシミュレーションし、提案回路が瞬時電圧低下を補償できることを明らかにした。今後は、実機による瞬時電圧低下時における過渡特性とバッテリー給電モードを実機検証する予定である。

文 献

- (1) 地福 順人・天野 比佐雄：「UPSの技術動向」，電気学会論文誌. D, 産業応用部門誌, Vol.107, No. 11, pp. 1311-1315 (1987)
- (2) 伊東 洋一・森 治義・宮田 博昭・吉田 修・田中 貞治・横山 智紀：「瞬低・停電補償分野における交流インターフェースの技術動向」，電気学会産業応用部門大会, 1-S12-2, pp. 123-128 (2009)
- (3) Fang Zheng Peng : "A Generalized Multilevel Inverter Topology with Self Voltage Balancing", IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, Vol.37, No.2, p.611-618 (2001)
- (4) Jose Rodrigues, Jih-Sheng Lai, and Fang Zheng Peng : "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, Vol.49, No.4 pp.724-738 (2002)
- (5) Kazuki Iwaya, Isao Takahashi : "Switching Type Power Amplifier Using Multilevel Inverter", IEEJ, Vol.123, No.11 pp.1339-1344 (2003)
- (6) 益永 博史：「技術開発レポート マルチレベル方式を用いた高効率大容量UPSの開発」，電気学会論文誌. D, 産業応用部門誌, Vol.132, No. 10, pp. NL10_4-NL10_4 (2012)
- (7) Dean Richards, Junichiro Onishi, "Mitsubishi 9900A Series High Efficiency True On-Line Double Conversion Uninterruptible Power Supply (UPS)", DRJO-TP1rev1: The Power of Green, pp. 1-9 (2008)
- (8) Kazuki Yoneda, Hiroki Takahashi, Jun-ichi Itoh: "Switching Loss Reduction of AC-AC Converter using Three-level Rectifier and Inverter for UPS.", IEEE International Power Electronics and Application Conference and Exposition, pp. 384-389 (2014)
- (9) Dean Richards, Junichiro Onishi, "Mitsubishi 9900A Series High Efficiency True On-Line Double Conversion Uninterruptible Power Supply (UPS)", DRJO-TP1rev1: The Power of Green, pp. 1-9 (2008)
- (10) Hirofumi Uemura, Florian Krismer, Yasuhiro Okuma, Johann W. Kolar, "mp Pareto Optimization of 3-Phase 3-Level T-Type AC-DC-AC Converters Comprising Si and SiC Hybrid Power Stage", International Power Electronics Conference(IPEC), 2834-2841, 2014
- (11) J. W. Kolar, H. Ertl, and F. C. Zach, "Design and Experimental Investigation of a Three-Phase High Power Density High Efficiency Unity Power Factor PWM (VIENNA) Rectifier Employing a Novel Integrated Power Semiconductor Module",

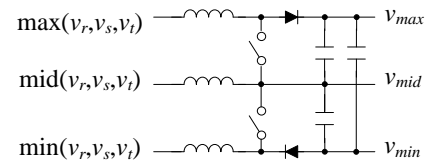


Fig. 10 Equivalent circuit of rectifier at the grid voltage dip compensation.

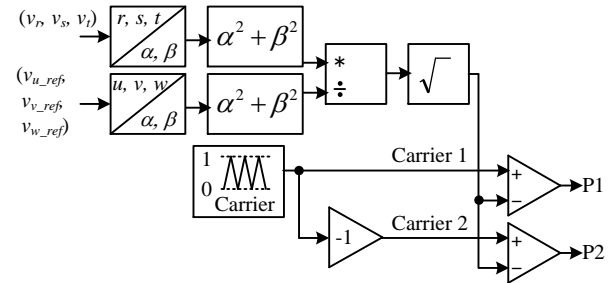


Fig. 11 Control block diagram of the grid voltage dip compensation.

Table 4 Switching pattern of rectifier for voltage dip compensation

	Rectifier					
	state number					
	I	II	III	IV	V	VI
S_{rm1}	P1	1	P2	P2	1	P1
S_{rm2}	P1	1	P2	P2	1	P1
S_{sm1}	1	P1	P1	1	P2	P2
S_{sm2}	1	P1	P1	1	P2	P2
S_{m1}	P2	P2	1	P1	P1	1
S_{m2}	P2	P2	1	P1	P1	1

IEEE APEC, Vol. 2, pp. 514-523, 1996

- (12) 土岐 賢「瞬時電圧低下検出装置」，公開特許公報(A)，特許公開2008-151723