

高速外乱補償による単相系統連系インバータの 連系リアクトルの小型化 ～FRT 動作の実機検証～

学生員 永井 悟司 上級会員 伊東 淳一（長岡技術科学大学）

Minimization of Interconnected Inductor for Single-phase Grid-connected Inverter with High-Performance Disturbance Compensation ～Experimental Verification of FRT Operation～

Satoshi Nagai, Student Member, Jun-ichi Itoh, Senior Member (Nagaoka University of Technology)

This paper proposes a FRT (Fault ride through) method for a single-phase grid-connected inverter with a minimized inductor. When a small inductance is used as an interconnected inductor, an inverter output current overshoots at the beginning of a voltage sag. In particular, a voltage interruption stops an operation of the grid-connected inverter due to an over current protection. The proposed method suppresses the current overshoot using a momentary gate-block with a disturbance observer. By using the proposed method, the grid-connected inverter is possible to continue the operation without stopping for the duration of the voltage interruption. A maximum overshoot of the inductor current is reduced by 74.6% of the output current at the voltage recovery operation.

キーワード：系統連系インバータ, FRT, 外乱補償, 外乱オブザーバ

Keywords: grid-connected inverter, FRT, Disturbance compensation, disturbance observer

1. はじめに

近年、省エネルギーの観点から太陽光発電システム(以下、PV)が活発に研究されている。PV から系統へ電力を供給するためにはパワーコンディショニングシステム(以下、PCS)が必要であるが、小型化の要求が強くなり、特に PCS 内で大きな体積割合を占めている連系リアクトルの小型化が求められている⁽¹⁾⁽²⁾。リアクトルの小型化の手法として、次世代スイッチング素子(e.g. SiC-MOSFET, GaN-FET)を適用することでインバータを高周波化する手法がある。しかし、連系リアクトルの低インダクタンス化に伴って外乱抑圧性能が低下する問題がある。また、系統連系インバータは瞬低などの系統擾乱時に解列することなく FRT 動作により運転継続することを要求されているが、系統擾乱時に発生する出力電流の変動によりインバータが過電流を検出し、停止する問題がある⁽³⁾⁽⁴⁾。そのため、スイッチング周波数を単に高くしても、連系リアクトルを小型化することが困難である。

著者らは低インダクタンス時の単相系統連系インバータへ FPGA に実装した外乱オブザーバ⁽⁵⁾⁽⁶⁾⁽⁷⁾を適用し、実機検証によりインバータ出力電流ひずみ率を低減可能であることを確認している⁽⁸⁾。しかし、瞬停などの系統擾乱時の挙動

については検討していない。

本論文では、高速外乱オブザーバと瞬時的なゲートブロックを併用した FRT 制御法を提案する。提案法を用いて低インダクタンス時の単相系統連系インバータにおいて外乱の変化量が大きい条件となる残電圧 0%の瞬低における運転継続 Zero voltage ride through (ZVRT)動作を検証する。提案法は出力電流検出値に閾値を設け、閾値到達時にゲートブロックにより瞬時的に出力電流を遮断後、インバータ出力を再開することで FRT 動作を実現する。1 kW の実験機により連系リアクトルが 1%であっても系統連系インバータが系統から解列せずに ZVRT 動作を実現可能であることを確認する。

2. FRT 制御法

<2.1> 低インダクタンスにおける FRT の問題点

図 1 に単相系統連系インバータの回路図を示す。本論文では単純なフルブリッジ単相 2 レベルインバータ構成で検討するが、基本的には三相連系インバータにも適用可能である。連系リアクトルを小型化するためにインダクタンス L を低減すると、瞬時電圧低下などの系統擾乱によりインバータ出力電流 i_{out} にオーバーシュートが発生する。出力電流

オーバーシュートによりインバータの過電流保護が動作した場合、インバータが解列することとなるため、FRT 要件を満足できない。

図2にFRT制御における無効電流注入方法について示す。系統電圧検出値 v_{rdet} を基に PLL により位相 θ をロックし、瞬低検出信号 v_{frr} が 1 となるときは、PLL による位相 θ から $\pi/2$ 進相させる。この位相から電流指令値を生成することで無効電流制御を実現する。

図3に従来FRT制御のブロック線図を示す。ここで、 V_{dc} はインバータ直流電圧、 T_d はデッドタイム、 f_{sw} はスイッチング周波数、 i_{Ldet} はインダクタ電流の検出値である。従来FRT制御では図2に示す無効電流注入方法を適用し、瞬停時には無効電流指令を電流制御器へ入力する。また、電流制御器はDSPのみで制御し、デッドタイム誤差電圧補償を用いることで定常時のデッドタイム誤差電圧を補償する。このとき、低インダクタンス時では外乱に対するゲインが高くなるため系統擾乱などの外乱に対してDSPによる制御速度では系統擾乱時の外乱補償が困難である。したがって、従来のFRT制御法では残電圧0%の瞬低時にインバータ出力電流オーバーシュートが発生する。

<2.2> 外乱オブザーバを用いたFRT制御法

図4に外乱オブザーバを用いたFRT制御のブロック線図を示す。従来法と同様にFRT時の無効電流注入方法を適用しFRT動作を行う。外乱オブザーバをFPGAへ実装することで高速外乱補償を可能とする。外乱オブザーバによる外乱補償電圧 \hat{v}_{dis} は(1)式で表わされる。

$$\hat{v}_{dis} = \frac{\omega_c}{\omega_c + s} (v_{conv}^* + \omega_c L i_{Ldet}) - \omega_c L i_{Ldet} \dots\dots\dots(1)$$

ここで、 ω_c は外乱オブザーバのカットオフ角周波数、 v_{conv}^* はPI制御の電圧指令値である。目標値応答は電源周波数に応答すればよいので、DSPにより制御する。FPGAへ実装した外乱オブザーバのみを適用した場合は、定常状態で発生するデッドタイムやスイッチング素子のオン電圧などによる外乱に対しては十分な出力誤差電圧補償が可能であることを確認している。しかし、残電圧0%となる系統擾乱に対しては外乱の変化量が非常に大きいため更に高速なFPGAの制御が必要であると予想される。したがって、外乱オブザーバを適用してもインバータ出力電流オーバーシュートが起こりうる。

<2.3> 外乱オブザーバに一時的なゲートブロックを併用したFRT制御法

図5に外乱オブザーバに一時的なゲートブロックを併用した提案FRT制御法のブロック線図を示す。提案制御については高速処理が可能なFPGAで制御する。FPGAによる制御により瞬時ゲートブロック信号 OC_L 、瞬停時判定信号 FRT_ST を(2)、(3)式のように判定する。

$$OC_L = \begin{cases} 0 & (i_{Ldet} \leq -9, 9 \leq i_{Ldet}) \\ 1 & (-9 \leq i_{Ldet} \leq 9) \end{cases} \dots\dots\dots(2)$$

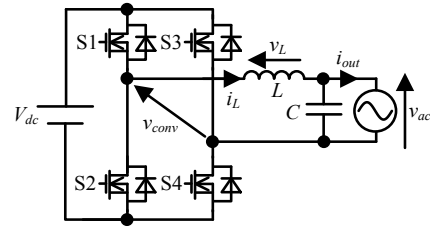


Fig. 1. Single-phase inverter circuit with LC filter.

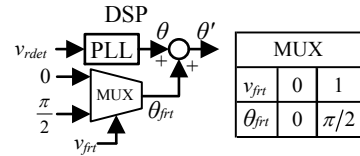


Fig. 2. Reactive current control method for FRT operation.

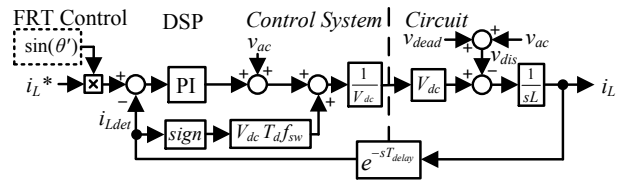


Fig. 3. Control block diagram of conventional FRT operation.

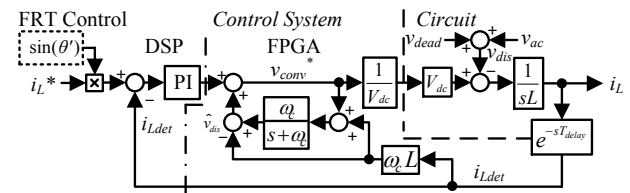


Fig. 4. Control block diagram of FRT operation with disturbance observer.

$$FRT_ST = \begin{cases} 0 & (|v_r_th| \leq |v_{rdet}|) \\ 1 & (|v_r_th| > |v_{rdet}|) \end{cases} \dots\dots\dots(3)$$

ここで、 v_r_th は系統電圧下限閾値、 v_{rdet} は系統電圧検出値である。OC_Lが0の場合、一時的なゲートブロックを実施する。ゲートブロック期間はキャリア1周期分とする。ゲートブロック期間中に外乱オブザーバの積分器を系統電圧の値に一致させた後、ゲートブロックを解除し運転を継続する。この積分器の出力を系統電圧に一致させることにより外乱オブザーバの補償電圧を外乱電圧と同等となるようにすることで、電流指令値に追従可能な外乱補償を行う。

ZVRT 時の無効電流制御については系統電圧の位相情報がないため、系統擾乱前の PLL の情報を用いて位相を 90° 進相することで無効電流制御とする。

3. 実験結果

表1にZVRTの実験条件を示す。今回は1kWの試作機における定格出力動作において検証する。連系リアクトルのインダクタンスは1.27 mH (%Z = 1.0%), キャリア周波数は

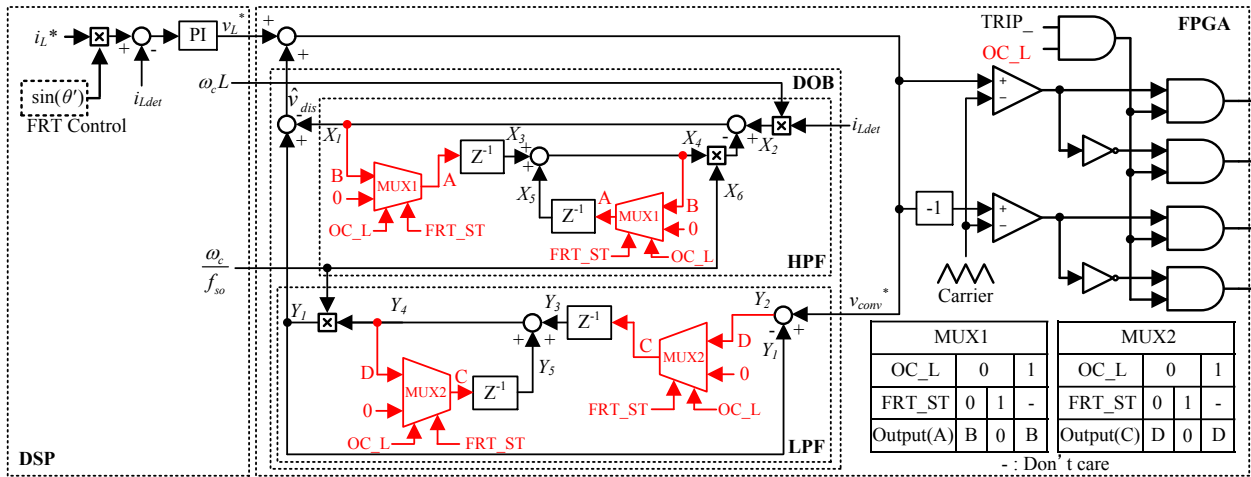


Fig. 5. Control block diagram of ZVRT operation with gate blocking

Table 1. Experimental condition

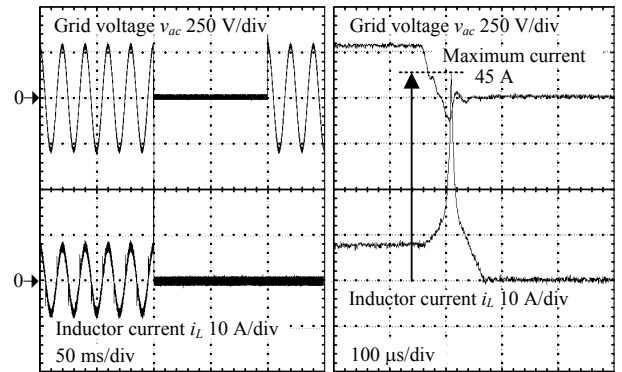
Output power	P_{out}	1 kW	Carrier fre.	f_{cry}	80 kHz
DC link vol.	V_{dc}	380 V	Ang. fre. of ACR	ω_n	6000 rad/s
Grid voltage	v_{ac}	200 V _{rms}	Samp. fre. of ACR	f_{samp}	20 kHz
Dead-time	T_d	500 ns	Samp. fre. of DOB	f_{so}	80 kHz
Inter. Induc. (%Z)	L	1.27 mH (1.0%)	Cutoff fre. of DOB	f_c	2 kHz
OC level	OC	20 A	CT Delay time	T_{delay}	$< 3 \mu s$
			OC_L level	OC _L	9 A

80 kHz, 提案法において用いる一時的に電流を制限する過電流閾値 OC_L は ± 9 A, ハード的に検出する過電流閾値 OC は ± 20 A とする。インダクタ電流が OC 閾値へ到達した時は手動リセットするまでゲートブロックを行う。

図 6 に従来 FRT 制御法を適用した場合における残電圧 0% の瞬低時の実験結果を示す。図 6(b) より瞬低の瞬間にインダクタ電流が過電流閾値 20 A を超え、過電流保護によりインバータ出力が停止し系統から解列していることがわかる。従来 FRT 制御法では DSP に実装した電流制御器のみで動作させているため制御の遅れより出力電流オーバーシュートを抑制できない。

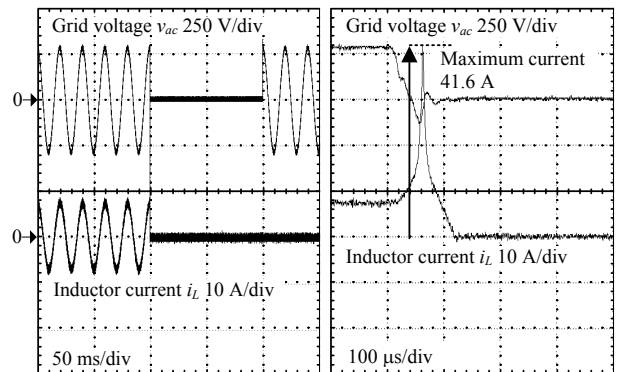
図 7 に外乱オブザーバを適用したインバータにおける残電圧 0% の瞬低時の実験結果を示す。図 7 より図 6 と比較して瞬低時のインバータ出力電流オーバーシュートを 3.4 A 低減できているが、過電流保護によりインバータの出力が停止し、系統から解列していることがわかる。外乱オブザーバのみで瞬低補償を実現するためには外乱オブザーバの高周波化と高カットオフ周波数での制御が必要となるが、キャリア周期で行われるサンプリングでは系統擾乱時の外乱補償速度が不足する。

図 8 に外乱オブザーバに一時的なゲートブロックを適用した提案 FRT 制御法を実装したインバータの残電圧 0% の瞬低時の実験結果を示す。図 8(a) よりインバータが系統から解列せず ZVRT を実現できていることがわかる。また、ZVRT 期間中は瞬低前の系統電圧から計算している PLL の位相情



(a) Waveform of ZVRT operation. (b) Voltage drop operation.

Fig. 6. Experimental result of short grid failure with conventional dead-time error compensation.



(a) Waveform of ZVRT operation. (b) Voltage drop operation.

Fig. 7. Experimental result of short grid failure with disturbance observer.

報から 90° 位相を進相し無効電流制御ができている。図 8(b) に瞬低発生時のインダクタ電流波形を示す。瞬低時のインダクタ電流最大値は 16.6 A であり、過電流閾値 20 A 以下に抑制できている。また定格出力電流ピーク 7.1 A からのオーバーシュート量は 9.5 A でオーバーシュート率は 133.8% である。図 8(c) に系統電圧復帰時のインダクタ電流波形を示

す。系統電圧復帰時のインダクタ最大電流は 12.4 A であり、過電流閾値 20 A 以下に抑えることができている。インダクタ電流ピーク 7.1 A からのオーバーシュート量は 5.3 A でオーバーシュート率は 74.6% である。以上の結果から、小型化した連系リアクトルでも、系統擾乱時にも過電流トリップにより解列することなく連系動作が可能であることを確認した。図 8(d) に系統電圧復帰時から出力が安定するまでの出力波形を示す。系統電圧復帰からインバータ出力が安定するまでの期間は 175.4 ms であり、PLL の応答時間に依存する。なお、系統連系規程により定められる規程では 1 s 以内に瞬低前の 80% 以上を出力することであり、これを満足できている。

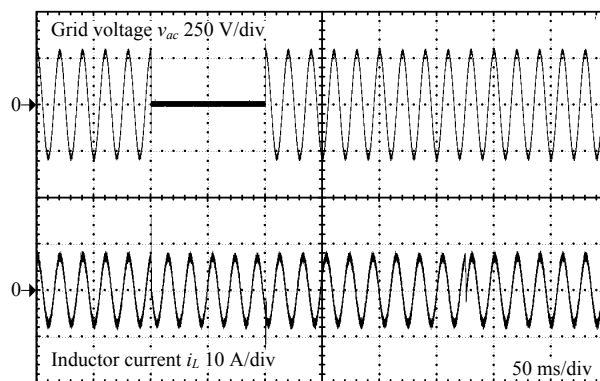
4. 結論

本論文では、高速外乱オブザーバと瞬時的なゲートブロックを併用した FRT 制御を提案した。提案法により連系リアクトルのインダクタンスを $\%Z = 1\%$ に低減した単相系統連系インバータで解列することなく ZVRT 動作を実現できることを確認した。さらに、系統電圧復帰後から出力が安定するまでの時間は 175.4 ms で制御することが可能である。

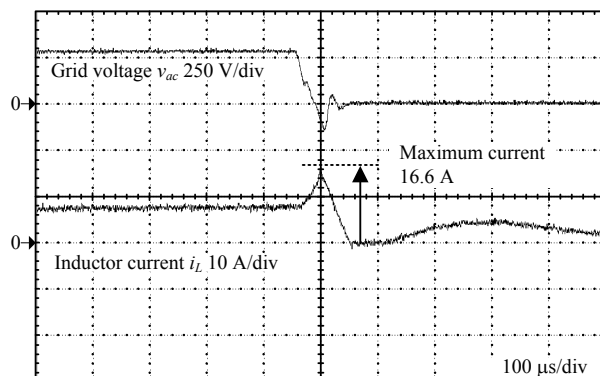
今後は電源復帰時のオーバーシュートの抑制法を検討する。

文 献

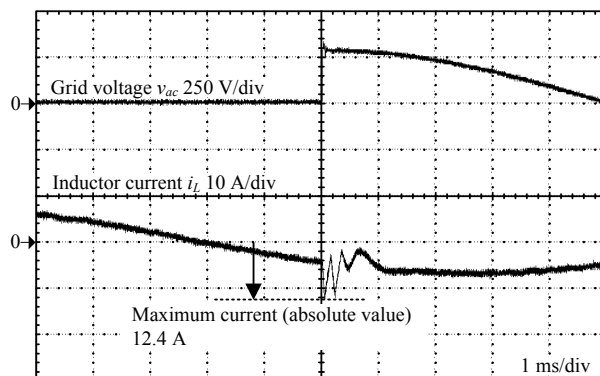
- (1) R. Peña-Alzola and M. Liserre, "LCL-Filter Design for Robust Active Damping in Grid-Connected Converters," IEEE TRANSACTIONS ON INDUSTRIAL INFORMATICS, VOL. 10, NO. 4, 2014, pp. 2192-2203.
- (2) R. Beres, X. Wang, F. Blaabjerg, M. Liserre, C. Bak, "A Review of Passive Power Filters for Three-Phase Grid Connected Voltage-Source Converters" IEEE Journal Emerging and Selected Topics in Power Electronics, 2015.
- (3) 系統連系専門部会編:「系統連系規程 JEAC9701-2012」, 日本電気協会 (2013)
- (4) 唐木, 野下, 伊東:「系統擾乱におけるフルブリッジランプ付き単相三線式マルチレベル回路の動作検証」, 半導体電力変換/モータドライブ合同研究会, No. SPC-15-012, MD-15-012 (2015)
- (5) K. Lee, T. M. Jahns, T. A. Lipo, V. Blasko and R. D. Lorenz, "Observer-Based Control Methods for Combined Source-Voltage Harmonics and Unbalance Disturbances in PWM Voltage-Source Converters" IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 45, NO. 6, 2009, pp. 2010-2021.
- (6) N. Hoffmann, M. Hempel, M. C. Harke and F. W. Fuchs, "Observer-based Grid Voltage Disturbance Rejection for Grid Connected Voltage Source PWM Converters with Line Side LCL filters" IEEE Energy Conversion Congress and Exposition (ECCE), 2012, pp. 69-76.
- (7) T. Hoshino, J. Itoh, and T. Kaneko, "Dead-time Voltage Error Correction with Parallel Disturbance Observers for High Performance V/f Control" IEEE Industry Applications Conference, 2007. 42nd IAS Annual Meeting, pp. 2038-2044.
- (8) 永井, H. N. Le, 長野, 折川, 伊東:「連系リアクトルの小型化を目的とする外乱オブザーバを用いた単相インバータの実機検証」, 平成 28 年電気学会全国大会, Vol. 4, No. 089, pp.150-151 (2016)



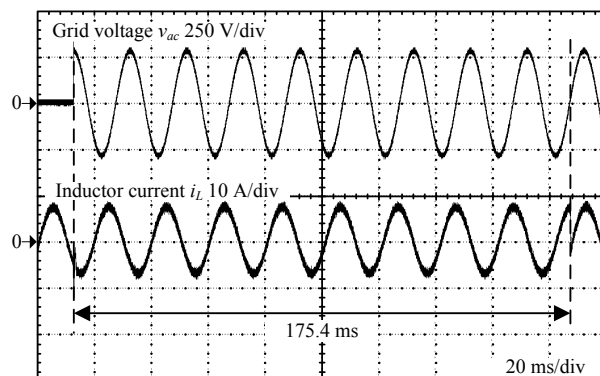
(a) Waveform of ZVRT operation.



(b) Voltage drop operation.



(c) Voltage recovery operation.



(d) Stability period of output at voltage return.

Fig. 8. Experimental result of short grid failure with proposed FRT control method.