

# ゲートブロックを用いた小型 LCL フィルタを有する 単相系統連系インバータの FRT 動作検証

永井 悟司\* 日下 佳祐 伊東 淳一 (長岡技術科学大学)

## Verification of FRT Operation for Single-phase Grid-connected Inverter with Minimized LCL Filter by Using Gate-block

Satoshi Nagai\*, Keisuke Kusaka, Jun-ichi Itoh, (Nagaoka University of Technology)

This paper proposes a FRT method for a single-phase grid-connected inverter with a minimized LCL filter. The LCL filter is designed with considering a maximum inverter output current at voltage recovery in order to satisfy the FRT requirements. Moreover, by using a momentary gate-block and high-performance disturbance observer, inverter output current overshoot is suppressed during voltage sag. With the proposed method, the inverter output current overshoot ratio is reduced from 266% to 47.9% at grid voltage recovery.

キーワード：系統連系インバータ, LCL フィルタ, FRT, ゲートブロック  
(Grid-connected inverter, LCL filter, FRT, Gate-block)

### 1. はじめに

近年、太陽光発電システム(以下、PV)が盛んに研究されている。PV には系統連系インバータが適用されており、太陽電池で生成された直流電力を交流電力へ変換し系統側へ供給するために用いられる。系統連系インバータは小型化の要求が強<sup>(1)(2)</sup>、その中でも連系インバータの体積の大部分を占めている連系リアクトルの小型化が強<sup>(3)</sup>求められている。電流リップルの観点からみると、SiC や GaN を使ってスイッチング周波数を高周波化することで連系リアクトルの小型化が可能である。このとき、フィルタコンデンサはスイッチング周波数に対する系統連系インバータの LC フィルタのカットオフ周波数から定数が決定される。また、系統側へ電流リップル成分を流さないようにするために LC フィルタの後段にフィルタリアクトルを接続した LCL フィルタが用いられる。

また、系統連系インバータでは瞬時電圧低下(以下、瞬低)などの系統擾乱時にも運転継続する性能として FRT 要件(Fault Ride Through)を満たすことを求められている<sup>(3)(4)</sup>。さらに、インバータ出力電流オーバーシュートが定格電流に対して 50%以下で運転継続するように求められている。しかし、フィルタリアクトルを接続した LCL フィルタでは、過渡的な電圧が系統側 LC フィルタに印加されるとフィルタコンデンサとフィルタリアクトルとの共振が発生する。すなわち、系統擾乱などの過渡的な電圧が小型化した LCL

フィルタにおける系統側 LC フィルタに印加されると共振電流と定常電流の重畳により出力電流オーバーシュートが発生し FRT 要件を満たすのが困難である。

著者らはこれまでに連系リアクトルを%Z = 1%まで小型化したときの LC フィルタのみを有する系統連系インバータにおいて、ZVRT (Zero Voltage Ride Through)時のインバータ出力電流オーバーシュートの抑制方法として瞬時的なゲートブロックと高速外乱オブザーバ<sup>(5)(6)(7)</sup>を併用した手法を提案している<sup>(8)</sup>。提案法により残電圧 0%の瞬低時において解列なく動作し、インバータ出力電流オーバーシュートが FRT 要件の規定値を満足できることを確認している。しかし、LCL フィルタ構成において、系統側 LC フィルタの共振による電流オーバーシュートはゲートブロックのみでは抑制が困難であると思われる。

以上のことから、本論文では小型化した LCL フィルタを有する系統連系インバータへ高速外乱オブザーバと瞬時的なゲートブロックを併用した手法を適用し、さらに、LCL フィルタパラメータを最適化することでインバータ出力電流オーバーシュートが FRT 要件を満たす動作が可能であることを検証する。LCL フィルタパラメータの最適化として、系統電圧に瞬低が発生した場合とゲートブロックを発生させたときのインバータ出力電流の式を導出し、FRT 要件のオーバーシュート電流閾値以下となるように LCL フィルタのパラメータを決定する。決定した LCL フィルタパラメータを適用してシミュレーションにより ZVRT 動作を確認し



る閾値へ到達したときにゲートブロックをかけることで出力電流のオーバーシュートを抑制する。提案制御については高速処理が可能な FPGA でゲートブロックを行う。しかし、検出回路による検出遅延やサンプリングによる遅延を考慮すると FPGA 内でのゲートブロック信号生成は遅延が大きくなることが予想されるため、アナログ回路により瞬時ゲートブロック信号 OC\_L を生成する。OC\_L は(2)式のように判定する。

$$OC\_L = \begin{cases} 0 & (i_{L2\_det} \leq -I_{L2\_GB}, I_{L2\_GB} \leq i_{L2\_det}) \\ 1 & (-I_{L2\_GB} < i_{L2\_det} < I_{L2\_GB}) \end{cases} \dots\dots\dots(2)$$

また、瞬低判定信号 FRT\_ST は電圧検出値  $v_{acdet}$  を FPGA 内に取り込むことで(3)式のように判定する。

$$FRT\_ST = \begin{cases} 0 & (|v_{ac\_th}| \leq |v_{acdet}|) \\ 1 & (|v_{ac\_th}| > |v_{acdet}|) \end{cases} \dots\dots\dots(3)$$

ここで、 $v_{ac\_th}$  は系統電圧下限閾値である。OC\_L が 0 の場合、一時的なゲートブロックを実施する。ゲートブロック期間中はキャリア 1 周期分とする。ゲートブロック期間中に外乱オブザーバの積分器を系統電圧の値に一致させた後、ゲートブロックを解除し運転を継続する。この積分器の出力を系統電圧に一致させることにより外乱オブザーバの補償電圧を外乱電圧と同等となるようにすることで、電流指令値に追従可能な外乱補償を行う。ZVRT 時の無効電流制御については系統電圧の位相情報がないため、系統擾乱前の PLL の情報を用いて位相を  $90^\circ$  進相することで無効電流制御とする。ゲートブロックのための電流検出についてはフィルタリアクトルに流れる電流を検出する。連系リアクトルの電流検出は制御で適用し、フィルタリアクトルの電流検出をゲートブロック閾値用に検出するため、電流センサが 2 つ必要になるものの、フィルタリアクトルに設置するセンサは閾値との比較ができればよいので安価な電流センサやシャント抵抗が使用可能である。

### 3. LCL フィルタの最適設計

**(3-1) 系統復帰時の出力電流計算** 瞬低などの系統擾乱が発生したときに、系統側の LC フィルタに共振が発生する。発生した共振電流と定常電流により出力電流がオーバーシュートするが、フルブリッジインバータにおいてゲートブロックだけでは共振電流の抑制が困難である。以上のことから、LCL フィルタの最適なパラメータ調整とゲートブロックを用いた提案法により出力電流オーバーシュートが定格電流の 150% 以下に抑制できるようにする必要がある。LCL フィルタの最適設計のために系統復帰時におけるインバータ出力電流式を導出する。

図 5 に LCL フィルタを適用したインバータ出力電流における系統電圧復帰時の過渡状態を示す。図 5(1)の領域は系統復帰時から出力電流がゲートブロック閾値へ到達するまでの時間( $0 \leq t \leq t_{bd}$ )を示し、(2)の領域はゲートブロック閾値以降の時間( $t_{bd} \leq t$ )を示す。(1)の領域における  $t_b$  はイン

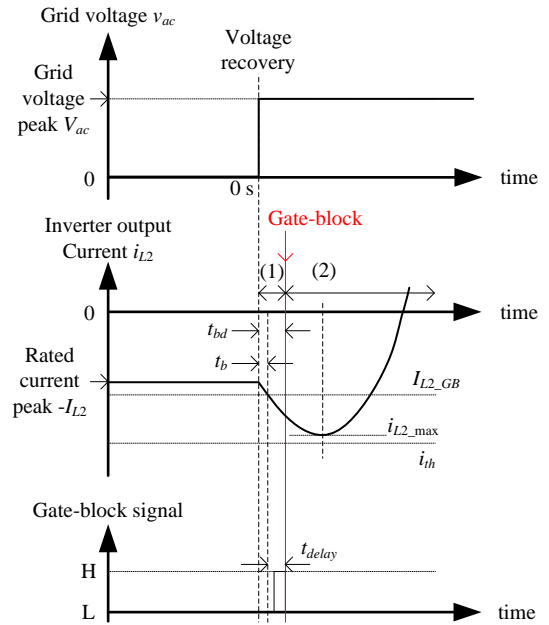
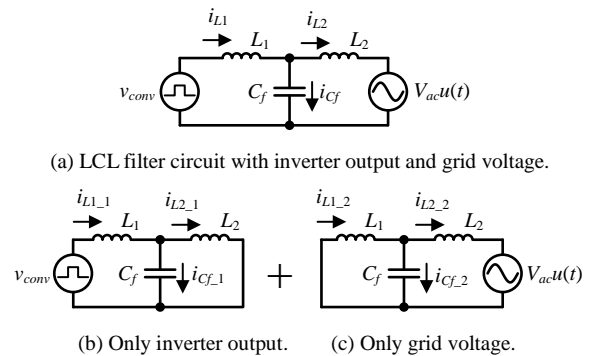


Fig. 5. Transient phenomenon of inverter output current  $i_{L2}$  with LCL filter during voltage recovery.



(a) LCL filter circuit with inverter output and grid voltage.

(b) Only inverter output. (c) Only grid voltage.

Fig. 6. Circuit model in LCL filter after recovery voltage.

バータ出力電流  $i_{L2}$  がゲートブロック閾値  $I_{L2\_GB}$  に到達するまでの時間である。(2)の領域におけるインバータ出力電流最大値  $i_{L2\_max}$  とその値へ到達する時間  $t_{imax}$  を計算し、 $i_{L2\_max}$  が FRT 要件によるインバータ出力電流オーバーシュート率 50% の電流閾値  $i_{th}$  以下となるように LCL フィルタの最適設計を行う。

図 6 に図 5 におけるゲートブロックまで( $0 \leq t \leq t_{bd}$ )の領域における LCL フィルタの回路モデルを示す。図 6 から回路方程式を用いてインバータ出力電流  $i_{L2}$  を導出することでゲートブロック閾値までの到達時間を導出する。インバータ出力電流  $i_{L2}$  はインバータ出力電圧  $v_{conv}$  による定常解  $i_{L2\_1}$  と系統電圧復帰電圧  $V_{acu}(t)$  による過渡解  $i_{L2\_2}$  を分けて導出し、重ね合わせを用いて導出する。定常解  $i_{L2\_1}$  は、負側の定格電流ピーク  $-I_{L2}$  に達した時に系統復帰が発生した際に最悪条件での FRT 動作となるため、(4)式で表される。

$$i_{L2\_1} = -I_{L2} \dots\dots\dots(4)$$

過渡解  $i_{L2\_2}$  は図 6(c)の回路方程式から導出する。回路方程式を(5)~(7)式に示す。

$$0 = L_1 \frac{di_{L1,2}}{dt} + L_2 \frac{di_{L2,2}}{dt} + V_{ac}u(t) \dots\dots\dots(5)$$

$$\frac{1}{C_f} \int i_{Cf,2} dt = L_2 \frac{di_{L2,2}}{dt} + V_{ac}u(t) \dots\dots\dots(6)$$

$$i_{L1,2} = i_{L2,2} + i_{Cf,2} \dots\dots\dots(7)$$

(5)~(7)式を  $i_{L2,2}$  について解いた(8)式を以下に示す。

$$i_{L2,2} = -\frac{V_{ac}}{L_1 + L_2}t - \frac{L_1}{L_2} \frac{V_{ac}}{L_1 + L_2} \sqrt{\frac{L_1 C_f L_2}{L_1 C_f L_2}} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}t\right) \dots\dots\dots(8)$$

(4)式と(8)式を重ね合わせたインバータ出力電流  $i_{L2}$  を(9)式に示す。

$$i_{L2} = -I_{L2} - \frac{V_{ac}}{L_1 + L_2}t - \frac{L_1}{L_2} \frac{V_{ac}}{L_1 + L_2} \sqrt{\frac{L_1 C_f L_2}{L_1 C_f L_2}} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}t\right) \dots\dots\dots(9)$$

(9)式において  $\sin(x) \approx x$  が成立するとき、(10)式が得られる。

$$t \approx \frac{L_2}{V_{ac}}(-i_{L2} - I_{L2}) \dots\dots\dots(10)$$

ゲートブロックがかかるまでの時間  $t_{bd}$  の導出は、インバータ出力電流がゲートブロック閾値  $-I_{L2,GB}$  へ到達するまでの時間  $t_b$  とゲートブロック閾値到達から実際にゲートブロックがかかるまでの制御遅れ  $t_{delay}$  の和で表されるため、以下の式で表される。

$$t_{bd} \approx \frac{L_2}{V_{ac}}(I_{L2,GB} - I_{L2}) + t_{delay} \dots\dots\dots(11)$$

図7に図5におけるゲートブロック後( $t_{bd} \leq t$ )の領域における LCL フィルタの回路モデルを示す。ゲートブロック後はインバータ出力電流に対して逆ベクトルの電流を流すようにインバータ出力電圧  $V_{conv}$  が印加される。インバータ出力側のみを考慮したとき、ゲートブロックがかかるまでは(4)式より定格インバータ出力電流ピーク  $-I_{L2}$  流れている。これにより、ゲートブロック後は正のベクトルの電流を流すために正のインバータ出力電圧  $V_{conv}$  が印加されるので、図7(b)のようにインバータ出力側のみを考慮した回路方程式を以下に示す。

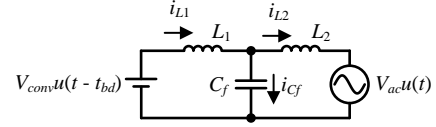
$$V_{conv}u(t - t_{bd}) = L_1 \frac{di_{L1,1}}{dt} + L_2 \frac{di_{L2,1}}{dt} \dots\dots\dots(12)$$

$$\frac{1}{C_f} \int i_{Cf,1} dt = L_2 \frac{di_{L2,1}}{dt} \dots\dots\dots(13)$$

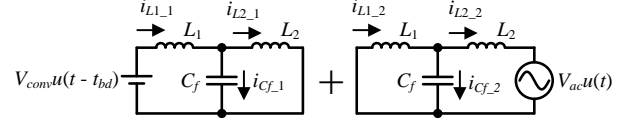
$$i_{L1,1} = i_{L2,1} + i_{Cf,1} \dots\dots\dots(14)$$

(12)~(14)式を  $i_{L2,1}$  について解いた(15)式を以下に示す。

$$i_{L2,1} = -I_{L2} + \frac{V_{conv}(t - t_{bd})}{L_1 + L_2}$$



(a) LCL filter circuit with inverter output and grid voltage.



(b) Only inverter output. (c) Only grid voltage.  
Fig. 7. Circuit model with LCL filter after gate-block.

$$-\frac{V_{conv}}{L_1 + L_2} \sqrt{\frac{L_1 C_f L_2}{L_1 + L_2}} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}(t - t_{bd})\right) \dots\dots\dots(15)$$

図7(c)は図6(c)と同様なので系統電圧のみを考慮したときは(8)式と同式で  $i_{L2,2}$  が導出できる。したがって、ゲートブロック後のインバータ出力電流  $i_{L2}$  は(8)式と(15)式を重ね合わせである(16)式で示される。

$$i_{L2} = -I_{L2} + \frac{V_{conv}(t - t_{bd}) - V_{ac}t}{L_1 + L_2} - \frac{1}{L_1 + L_2} \sqrt{\frac{L_1 C_f L_2}{L_1 + L_2}} \left\{ \frac{L_1}{L_2} V_{ac} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}t\right) + V_{conv} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}(t - t_{bd})\right) \right\} \dots\dots\dots(16)$$

LCL フィルタを最適設計するためにインバータ出力電流オーバーシュートが最大となる時間  $t_{imax}$  を求める。(16)式より以下の関数  $f(t)$  が最大となる時間を求めることで導出が可能である。

$$f(t) = \frac{L_1}{L_2} V_{ac} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}t\right) + V_{conv} \sin\left(\sqrt{\frac{L_1 + L_2}{L_1 C_f L_2}}(t - t_{bd})\right) \dots\dots\dots(17)$$

(17)式を時間に関して微分し、 $f'(t) = 0$  とすることで出力電流オーバーシュートが最大となる時間  $t_{imax}$  を導出する。

$$t_{imax} \approx t_{bd} + \sqrt{\frac{\left(\frac{L_1}{L_2} \frac{V_{ac}}{V_{conv}} + 1\right) \left(\frac{2L_1 C_f L_2}{L_1 + L_2} + \frac{2L_1^2 C_f V_{ac}}{L_1 + L_2} \frac{V_{ac}}{V_{conv}}\right) - \frac{L_1}{L_2} \frac{V_{ac}}{V_{conv}} t_{bd}^2}{\left(\frac{L_1}{L_2} \frac{V_{ac}}{V_{conv}} + 1\right)}} \dots\dots\dots(18)$$

このとき、(17)式において  $\sin(x) \approx x - x^3/6$  の近似を適用して(18)式を導出している。(18)式の  $t_{imax}$  を(16)式の時間  $t$  へ代入することでゲートブロック後のインバータ出力電流最大値を導出できる。

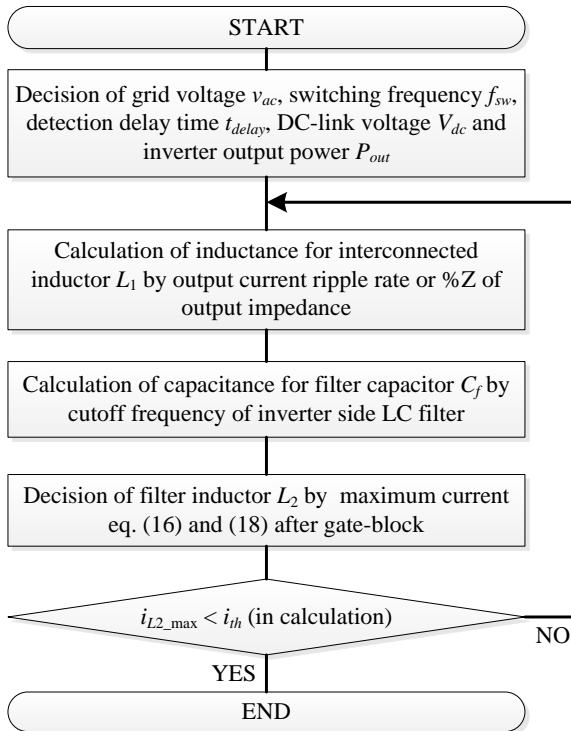


Fig. 8. Flowchart of LCL filter design for grid-connected inverter.

〈3・2〉 LCL フィルタの設計フロー 図 8 に LCL フィルタの最適設計のフローチャートを示す。図 8 に示すように仕様からインバータ側 LC フィルタを設計する。例えば、連系リアクトルに流れる電流の電流リップルやスイッチング周波数または、出力インピーダンスに対する%Z から連系リアクトルを設計し、スイッチング周波数からインバータ側 LC フィルタのカットオフ周波数を決定するようにフィルタコンデンサの容量を決定する。その後、(16)、(18)式を用いてゲートブロック後のインバータ出力電流の最大値が FRT 要件に定められているインバータ出力電流オーバーシュート率 50%以下となるようにフィルタリアクトルのインダクタンスを選択する。最初に設計したインバータ側 LC フィルタを用いて、フィルタリアクトルのインダクタンスを決めようとしたときにインバータ出力電流の最大値が FRT 要件を満たせない場合は、連系リアクトルの設計にもどり、%Z の増加などの再設計を行う。これにより、インバータ出力電流オーバーシュートが FRT 要件を満たすように LCL フィルタを設計する。

表 1 に LCL フィルタ設計の初期条件と設計フローに基づく LCL フィルタパラメータの計算結果を示す。連系リアクトルを出力インピーダンスに対して%Z = 1%とし、フィルタリアクトルを%Z = 0.76%とした。連系リアクトルとフィルタコンデンサのカットオフ周波数を 10 kHz (スイッチング周波数の 1/8)となるように容量を決定した。この LCL フィルタパラメータを用いた計算結果より、出力電流オーバーシュート率が 50%以下へ抑制できる。なお、過渡応答時の共振抑制のためにフィルタコンデンサに直列にダンピング抵抗  $R_f$  を接続する。ダンピング抵抗  $R_f$  はインバータ出力電力に対して、定常動作時の損失が 0.1%程度となるように選

Table 1. Initial condition and calculation result of LCL filter design.

| Initial condition   |                     |
|---|---------------------|
| Grid voltage $V_{ac}$   | 283 V               |
| DC-link voltage $V_{dc}$  | 380 V               |
| Output power $P_{out}$  | 1 kW                |
| Rated inverter output current $I_{L2}$                            | -7.07 A             |
| Inverter output voltage $V_{inv}$                                 | 380 V               |
| Switching frequency $f_{sw}$                                      | 80 kHz              |
| Detection delay time $t_{delay}$                                  | 3.0 $\mu$ s         |
| Inverter output current threshold for gate-block $I_{L2\_GB}$     | $I_{L2} \times 1.1$ |
| Inverter output current limit by FRT requirement $i_{th}$         | $I_{L2} \times 1.5$ |
| Calculation result  |                     |
| Interconnected inductor $L_1$                                     | 1.27 mH             |
| Filter capacitor $C_f$  | 0.2 $\mu$ F         |
| Filter inductor $L_2$   | 0.97 mH             |
| Maximum inverter output current at recovery voltage $i_{L2\_max}$ | -10.6 A             |

Table 2. Simulation condition.

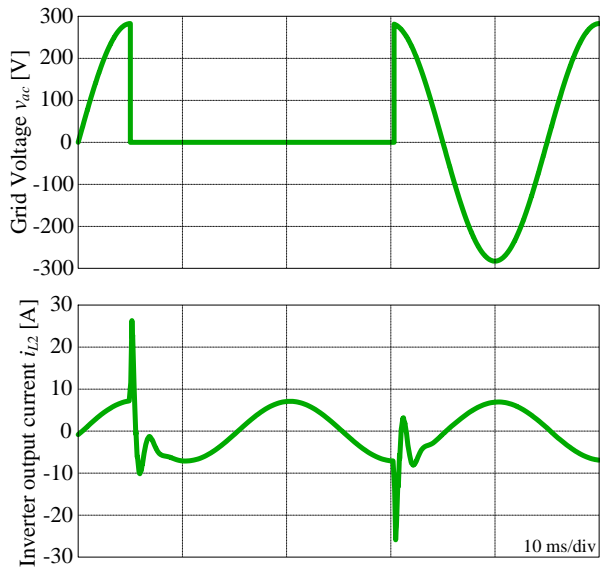
|                               |                      |                    |              |            |
|-------------------------------|----------------------|--------------------|--------------|------------|
| Output power $P_{out}$        | 1 kW                 | Carrier fre.       | $f_{cry}$    | 80 kHz     |
| DC link vol. $V_{dc}$         | 380 V                | Ang. fre. of ACR   | $\omega_n$   | 6000 rad/s |
| Grid voltage $v_{ac}$         | 200 V <sub>rms</sub> | Samp. fre. of ACR  | $f_{samp}$   | 20 kHz     |
| Inter. Induc. ( $\%Z$ ) $L_1$ | 1.27 mH (1.0%)       | Samp. fre. of DOB  | $f_{so}$     | 80 kHz     |
| Filter cap. $C_f$             | 0.2 $\mu$ F          | Cutoff fre. of DOB | $f_c$        | 2 kHz      |
| Filter Induc. ( $\%Z$ ) $L_2$ | 0.97 mH (0.76%)      | Det. delay time    | $t_{delay}$  | 3 $\mu$ s  |
|                               |                      | GB threshold       | $I_{L2\_GB}$ | 7.78 A     |

定を行うため、ダンピング抵抗で生じる電圧降下は無視できる。

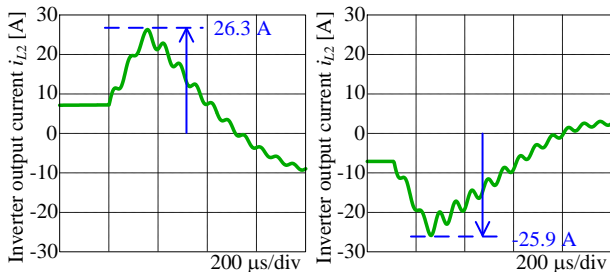
#### 4. FRT 動作のシミュレーション結果

表 2 にシミュレーション条件を示す。表 1 で設計した LCL フィルタパラメータを用いて ZVRT のシミュレーションを実施する。図 9 に従来法を適用したときの ZVRT 動作を示す。瞬低直後のインバータ出力電流が 26.3 A (オーバーシュート率 : 272%)までオーバーシュートし、系統復帰直後のインバータ出力電流が 25.9 A (オーバーシュート率 : 266%)までオーバーシュートし FRT 要件を満たせないことがわかる。

図 10 に提案法を適用したときの ZVRT 動作を示す。提案法を適用することで瞬低直後のインバータ出力電流が 10.2 A (オーバーシュート率 : 44.1%)、系統復帰直後のインバータ出力電流が 10.5 A (オーバーシュート率 : 47.9%)までオーバーシュートが抑制され、FRT 要件を満たせることがわかる。復帰時のインバータ出力電流に対して計算値とシミュレーション値を比較すると誤差率が 1.1%であることから設計法の妥当性を確認した。なお、ダンピング抵抗の有無の影響、近似の精度、復帰時の定常電流を計算式では一定値でしていることからシミュレーションによるインバー



(a) ZVRT operation.



(b) Voltage drop.

(c) Voltage recovery.

Fig. 9. Simulation result of ZVRT with conventional method.

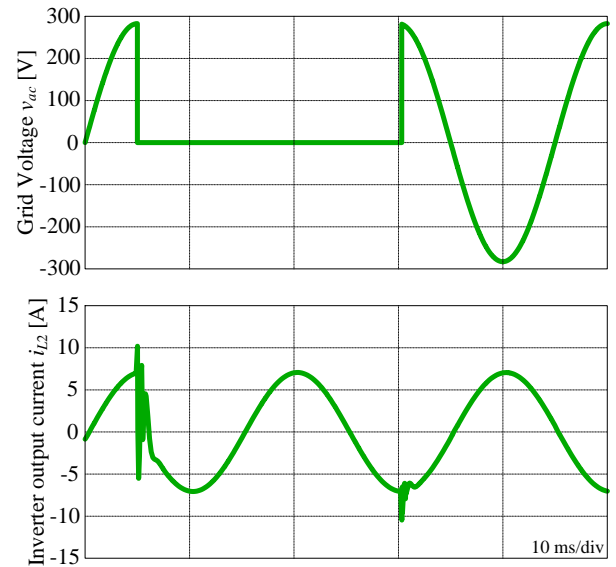
タ出力電流オーバーシュートは計算値に対して誤差が生じる。以上より、ゲートブロックを用いた手法と LCL フィルタの最適設計により FRT 要件を満たす LCL フィルタを小型化が可能であることを確認した。

## 5. まとめ

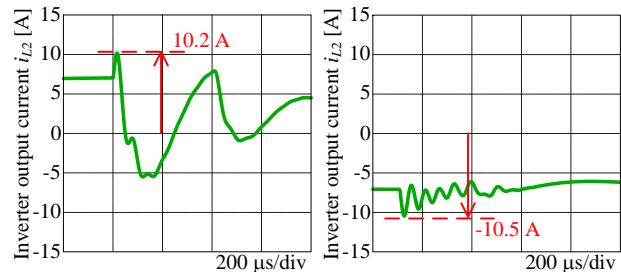
本論文では小型化した LCL フィルタを有する単相系統連系インバータの FRT 動作について検証した。ゲートブロックを適用した提案法と LCL フィルタの最適設計により瞬低時のインバータ出力電流が FRT 要件に定められるインバータ出力電流オーバーシュート率 50%以下へ抑制できることを計算値とシミュレーション値により確認した。これにより、連系リアクトルを $\%Z=1\%$ 、フィルタリアクトルを $\%Z=0.78\%$ へ低減できるため LCL フィルタのサイズ低減が可能である。今後の課題は、小型化した LCL フィルタを用いた実機検証である。

## 文 献

- (1) R. Peña-Alzola and M. Liserre, "LCL-Filter Design for Robust Active Damping in Grid-Connected Converters," IEEE TRANSACTIONS ON INDUSTRIAL INFORMATICS, VOL. 10, NO. 4, 2014, pp. 2192-2203.
- (2) R. Beres, X. Wang, F. Blaabjerg, M. Liserre, C. Bak, "A Review of Passive Power Filters for Three-Phase Grid Connected Voltage-Source Converters" IEEE Journal Emerging and Selected Topics in Power Electronics, 2015.



(a) ZVRT operation.



(b) Voltage drop.

(c) Voltage recovery.

Fig. 10. Simulation result of ZVRT with proposed method.

- (3) 系統連系専門部会編:「系統連系規程 JEAC9701-2012」, 日本電気協会 (2013)
- (4) 唐木, 野下, 伊東:「系統擾乱におけるフルブリッジランプ付き単相三線式マルチレベル回路の動作検証」, 半導体電力変換/モータドライブ合同研究会, No. SPC-15-012, MD-15-012 (2015)
- (5) K. Lee, T. M. Jahns, T. A. Lipo, V. Blasko and R. D. Lorenz, "Observer-Based Control Methods for Combined Source-Voltage Harmonics and Unbalance Disturbances in PWM Voltage-Source Converters" IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 45, NO. 6, 2009, pp. 2010-2021.
- (6) N. Hoffmann, M. Hempel, M. C. Harke and F. W. Fuchs, "Observer-based Grid Voltage Disturbance Rejection for Grid Connected Voltage Source PWM Converters with Line Side LCL filters" IEEE Energy Conversion Congress and Exposition (ECCE), 2012, pp. 69-76.
- (7) T. Hoshino, J. Itoh, and T. Kaneko, "Dead-time Voltage Error Correction with Parallel Disturbance Observers for High Performance V/f Control" IEEE Industry Applications Conference, 2007. 42nd IAS Annual Meeting, pp. 2038-2044.
- (8) 永井悟司, 伊東淳一:「高速外乱補償による単相系統連系インバータの連系リアクトルの小型化 ~FRT 動作の実機検証~」, 平成 28 年電気学会産業応用部門大会, Vol. , No. JC-1,1-73, pp. (2016)