

高い汎用性を有する集積型電力変換回路に関する基礎検討 ～パワーエレクトロニクス IC の提案～

安達 匡一* 渡辺 大貴 伊東 淳一 (長岡技術科学大学)

Fundamental Consideration of Integrated Power Converter with High Versatility
~Proposal of Power Electronics IC~

Masakazu Adachi*, Hiroki Watanabe, Jun-ichi Itoh, (Nagaoka University of Technology)

This paper proposes a new devices which has multiple function and highly utility for power converter. Recently, the electronic circuit is integrated on 1-chip, and it has a multiple function. In addition, each integrated circuit (IC) is utilized to many applications. On the other hand, in the power conversion system, the many power converter is consist of the discreet device, and it limits the miniaturization of the volume. In order to solve this problem, a new devices is proposed which integrated with the main converter, control circuit, and each interface such as a detection circuit and gate drive circuit. The proposed device is applied into the power converter system instead of the conventional device such as a capacitor, inductor, resistor, and switching device. The proposed device called "power electronics IC", and it is integrated the power converter into the 1-chip such as the electronic circuit. In this paper, a fundamental consideration is described by simulation. As a simulation result, it was confirmed that grid interconnection is possible with input current THD of 5% or less.

キーワード : パワーエレクトロニクス IC, 集積化技術, 新デバイス
(Power Electronics IC, Integration Technologies, new device)

1. はじめに

近年、パワーエレクトロニクス技術は様々な分野への導入が進み、電力変換効率のさらなる向上や低コスト化、小型化を達成するために、様々な回路トポロジーや制御方式が提案されている⁽¹⁾⁻⁽⁵⁾。単一の電力変換器においては回路方式やその制御法、設計技術がある程度確立されてきており、さらに新デバイスへの適用は、高効率化と高パワー密度化に大きく寄与している。しかし、回路トポロジーはインダクタ(L)、コンデンサ(C)、スイッチ(SW)、抵抗(R)の組み合わせで議論されており、飽和点にある。

そこで、大きなブレークスルーを産む可能性として、これらに続く第 5 の素子を模索する。その一つとして、パッケージ技術に着目する。近年、パッケージング技術の進歩により、電力変換器を 1 つの機能ブロックとして捉え、システムに導入する方法が思想されている⁽⁶⁾。数年前までディスクリート部品で構成されていた電子回路が高度に集積化され、単一パッケージの IC や、LSI が数多く実用化された⁽⁷⁾⁽⁸⁾。このように、電力変換器もディスクリート部品で構成されていたものから、電力変換器自体を新しい素子として

捉え、さまざまな電源や産業機器に適用される新しいシステムが開発される可能性がある。これを実現するためには、既存のディスクリート部品(抵抗, コンデンサ, インダクタ, 半導体デバイスなど)を組み合わせた構成では限界があり、言うなれば第 5 の素子とする新しい素子の開発が必要となる。

本論文では、L,C,SW,R に続く第 5 の素子の一つの候補として、電力変換器を高度に集積化し、素子として上位の電力変換システムに組み込む新しいコンセプトを提案する。このような素子を本論文ではパワーエレクトロニクス IC(パワエレ IC)と定義する。

パワエレ IC は電力変換器を構成する①主回路、②制御回路、③その他のインターフェース(検出回路, ゲート駆動回路)を全て一つのパッケージングに収め、集積回路として扱う。そして、パワエレ IC をある電源などに対して適用し、一つの電力変換システムとして構築する。これにより、電子回路が IC 化により超小型化、または多機能化し、あらゆる分野に適用されているように、パワエレ IC による新しい市場の開拓や、パラダイムシフトが生まれる可能性がある。パワエレ IC を実現するためには、電力変換器を構成する受

動部品(キャパシタ, インダクタ), 半導体デバイスの大幅な小型化や, 周辺機器を集積化して組み込むためのプロセス技術を明らかにする必要がある。

本論文の構成は以下のようになっている。まず, 2章においてパワエレ IC の基本的な構成, および制御方式について述べる。次に, 3章でパワエレ IC 適用例として, 単相 PFC 回路を例に説明する。最後にシミュレーション結果を用いて基本動作について述べる。シミュレーション結果より, パワエレ IC を 3 段 2 列で構成した際に系統電流を系統電圧に対して力率をほぼ 1 で系統連系でき, コンデンサ容量のアンバランスを制御により補償できる結果を得たので報告する。

2. パワーエレクトロニクス IC

〈2・1〉 概要およびパワエレ IC の位置づけ

図 1 に従来の電力変換器の構成を示す。電力変換器は主回路の他, マイコンや FPGA, アナログ回路で構成された制御回路, 電圧, 電流検出回路, ゲート駆動回路などから構成される。これらの多くは現在ディスクリート部品から構成され, 仕様や設計によってそれらを組み合わせ, 一つの電力変換システムを構築する。電力変換システムには高効率, 高パワー密度, 信頼性などが要求される。特に高効率化, 信頼性に関しては SiC や GaN などの次世代半導体デバイス, 積層セラミックキャパシタ, フィルムキャパシタなどの長寿命部品の利用が有効である。一方, 高パワー密度化については, 高効率化による冷却体の小型化や, 積層セラミックキャパシタのような高エネルギー密度を有する部品が開発されてはいるものの, 最終的には各素子の体積によって実装面積が決定されるため, 限界がある。また, 主回路のみならず, 主回路とは別に実装される制御回路なども, 電力変換システムの体積の小型化を妨げる大きなボトルネックとなる。

図 2 にパワエレ IC の概要を示す。パワエレ IC はこれまで独立に組み込まれていた主回路, 制御回路, 検出回路などを全て集積化し, 「一つの素子」とする。そして, 電力変換器上に実装する。パワエレ IC は小容量の電力変換器として機能し, これを上位の電力変換器の仕様や設計に基づいて柔軟に取り入れることで, 一つの電力変換システムを構成する。これにより, 例えばこれまでになしえなかった超高パワー密度な電力変換器の実現や, 新しい電力変換システムを構築することが可能となる。

表 1 にこれまでのディスクリート部品に対するパワエレ IC の位置づけを示す。パワエレ IC の目指す特徴は使い勝手の良いシンプルな機能性とコストパフォーマンスである。従来のディスクリート品は用途に応じてさまざまな製品に取り入れられているが, 部品単体としてはあくまで単一の役割しか果たさない。一方, パワエレ IC はあくまで電力変換器のため, それ一つで様々な要求に応えることをコンセプトとする。例えば, パワエレ IC を並列運転することで, 容易に大容量化できること, 単一部品で電力変換システム

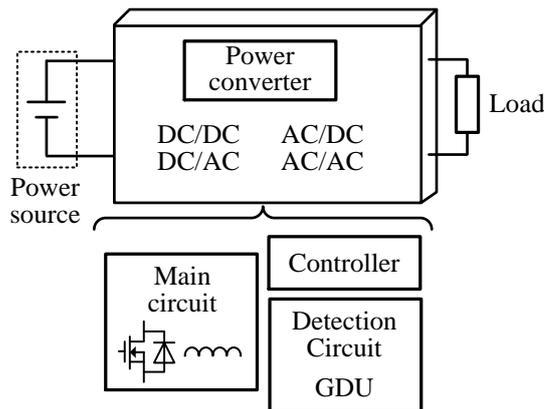


Fig. 1. Conventional power conversion system.

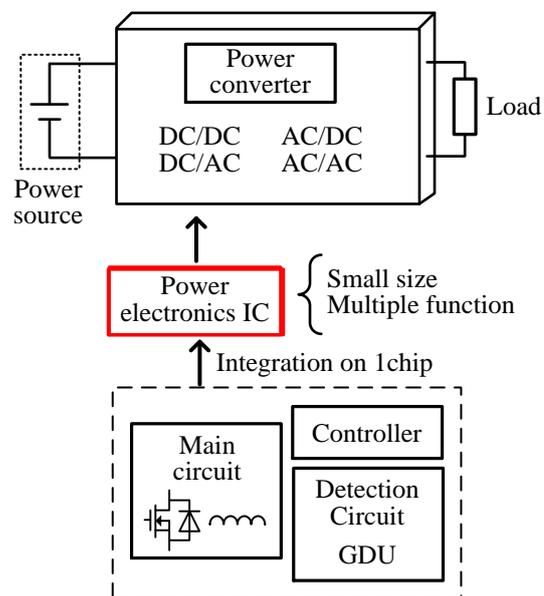


Fig. 2. Power conversion system with power electronics IC.

Table.1 Comparison of each devices.

	Resistor	Capacitor (Inductor)	Switching device	Power electronics IC
Volume	Large	Large	small	Vary small
Cost	Cheap	expensive	Cheap	Cheap
function	Singularity			Multiple

を構成できるということは, 設計を簡単化し, 生産性の向上にもつなげることが期待できる。多機能についてはアナログ/デジタル IC のように目的に応じた IC を使い分けることで実現する。

一方で, 集積化する観点から, 部品サイズ自体は非常に小さいことが要求される。そのため, パワエレ IC 単体は, 非常に小容量の電力変換器として設計する。そして, キャパシタやインダクタは極力低耐圧, 低電流密度とし, IC に

内包する。インダクタについては現在、プリント基板などを利用したプレーナ構造の薄型構造⁽⁹⁾⁽¹⁰⁾なども開発されており、低インダクタンスのインダクタであれば実装の余地はある。また、半導体素子についてはウェハを直接 IC 内に配置するなどが考えられる。これらについては今後のパッケージング技術や、プロセス技術に期待する。

コスト面に関して、特にインダクタは大量生産が難しく、特注のため、高価となる。一方でパワエレ IC は半導体デバイスのように大量導入されることを想定するため、大幅なコストダウンが見込める。

〈2・2〉 制御方式

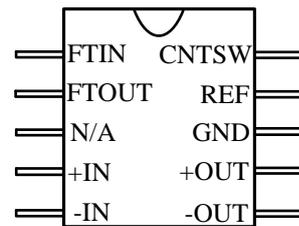
図 3 にパワエレ IC のパッケージのコンセプトを示す。パワエレ IC はコントローラを内包する。そのため、従来の電力変換器のような集中型コントローラは用いず、電力変換システム内で分散型システムとして機能させる⁽¹¹⁾⁽¹²⁾。そのため、各 IC は入力端子から印加される電圧、電流のみを監視し、制御を行う。ここで、IC の端子には、主回路用の入出力端子、および制御指令の入力端子を設ける。例えばある一定電圧に制御する DC/DC コンバータ機能を持たせる場合には、制御端子に所望の電圧指令を入力することで、指令値に基づいた電圧を出力するようにパワエレ IC は動作する。なお、簡単化および集積化の観点から、パワエレ IC にはマイコンや FPGA などのデジタル制御は用いず、アナログ制御を適用する。

ここで、パワエレ IC 内には、主回路を動作するためのコントローラは内包するが、汎用性を持たせるため、位相情報や、異常信号等は外部から IC に入力する。そのためのメインコントローラのみ外部に設置しておき、実際の運転状況を常に監視する。過電圧などの異常が行った際はメインコントローラから Fault 信号として各 IC に入力される。

3. 単相 PFC 回路への適用例

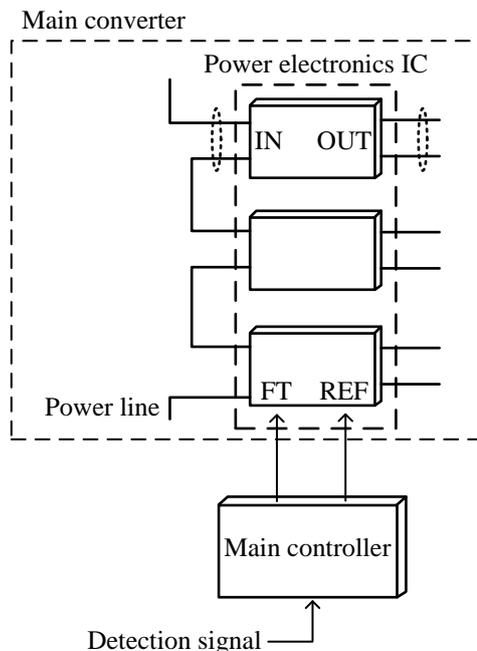
図 4 に単相 PFC 回路、図 5 に検討回路を示す。最も一般的な単相 PFC 回路である昇圧チョッパを例にする。PFC 回路は電源側の力率を改善するために、入力リアクトル L_1 の電流を全波の正弦波上に制御する。また、出力電圧は電圧制御(AVR)を用いて一定電圧に制御する。本論文では、図 5 のように PFC 回路部をパワエレ IC に置き換え、シミュレーションで基礎動作を検証する。

2 章で言及したとおり、パワエレ IC 自体は集積化を志向して小容量に設計する。そのため、IC 単体では大きな電圧、電流を印加することはできず、数百ワットのシステムに適用することはできない。そこで、パワエレ IC 部の構成は直並列接続構成(ISOP-IPOS : Input Series Output parallel – Input Parallel Output Series)を検討する⁽¹³⁾⁽¹⁴⁾。まず、ISOP 部で各パワエレ IC に印加される電圧を段数に応じて低減する。一方、IPOS 部では列数に応じて各 IC に流入する電流を分担する。これにより、IC 単体に印加される電圧、電流を制限し、大



+IN	Input power
-IN	Input power return
+OUT	Output power
-OUT	Output power return
CNTSW	Fault signal Input (Current or Voltage control)
REF	Signal input of control
GND	Ground
FTIN	Fault signal Input
FTOUT	Fault signal Output

(a) Packaging concept



(b) Layout on the power converter

Fig. 3. Concept of the package for power electronics IC.

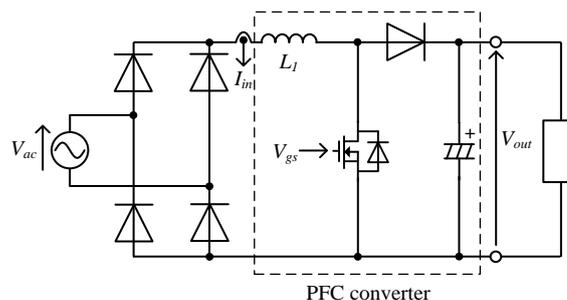


Fig. 4. Conventional PFC converter.

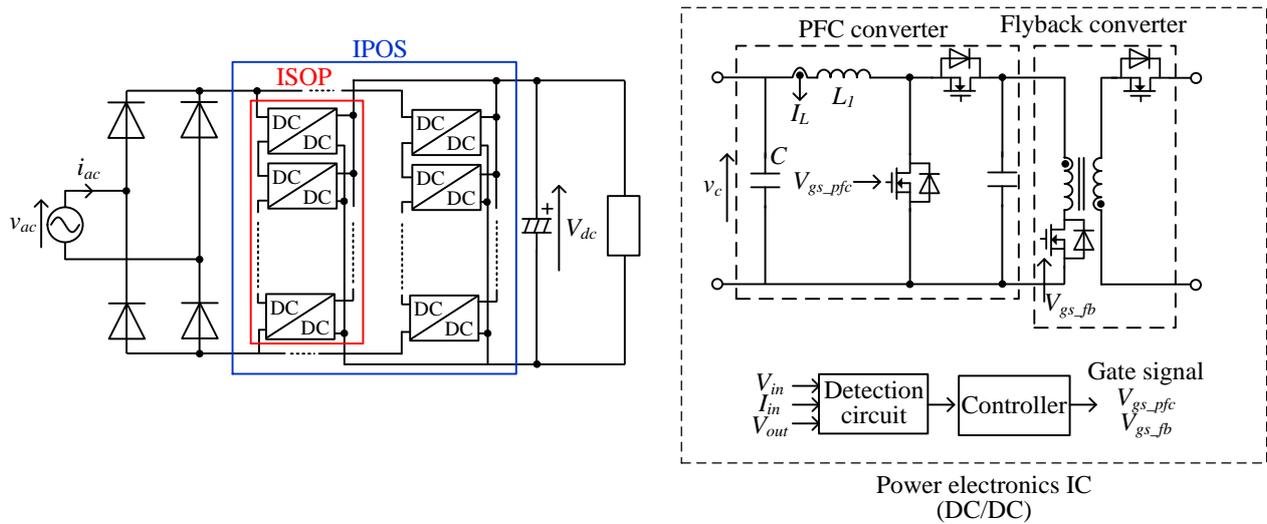


Fig. 5. Consideration model with PFC converter.

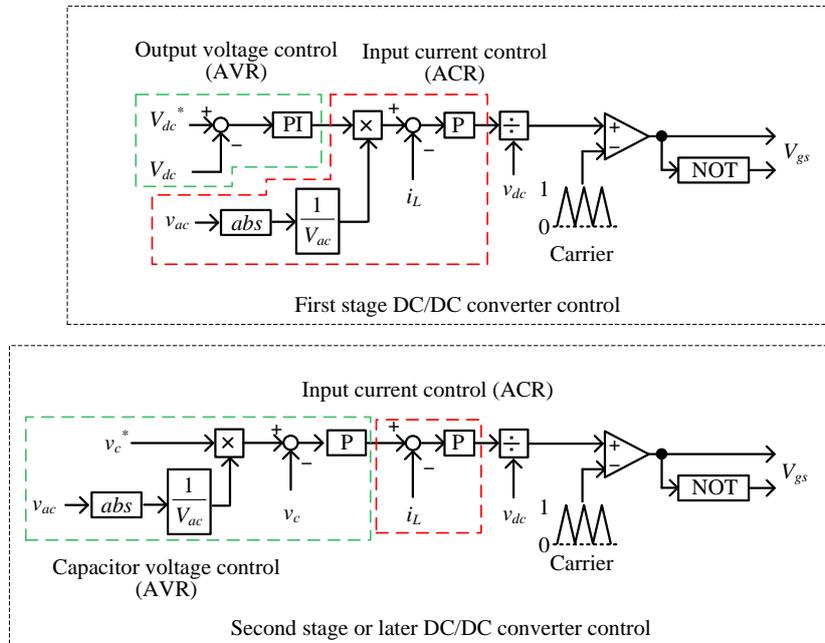


Fig. 6. Control block diagram of power electronics IC.

容量システムとして運用する。

パワエレ IC 内の主回路構成は双方向の昇圧チョップ、および回路構成が簡単なフライバックコンバータを適用する。昇圧チョップはメインコントローラから供給されるリファレンス信号に従って、従来回路同様に PFC 動作を行う。また、フライバックコンバータは入出力間の絶縁を行う。パワエレ IC は低電圧、電流領域で動作するため、低耐圧、低オン抵抗の MOSFET を適用でき、損失を低減できる。コントローラは IC 毎に設定し、それぞれが独立に動作する。今回の場合、パワエレ IC は同じ回路構成で電流を制御するか、電圧を制御するかにより、可変電流源素子もしくは可変電圧源素子として利用できる。

図 6 に制御ブロック図を示す。パワエレ IC の制御は出力電圧制御(AVR)、入力電流制御(ACR)から構成される。外部から与える信号は電圧指令、および電源の位相とし、電源側の高力率動作、および出力直流電圧の制御を実装する。

電流制御の指令値には系統周波数の 2 倍周波数成分(100 Hz または 120 Hz)を位相情報として入力し、PI 制御を用いて指令値に追従させる。この時の応答角周波数は系統周波数の 2 倍周波数に対して十分高く設計する⁽¹⁵⁾。なお、フライバックコンバータはデューティ 50%のオープンループ駆動とする。

各パワエレ IC の低耐圧化のためには、ISOP 部で均一に電源電圧が分圧されることが望ましい。しかし、実際にはコ

ンデンサのパラメータのばらつきや抵抗成分によってアンバランスが発生することが想定できる。そこで、一段目では電源側の力率制御、および出力直流電圧制御、二段目以降は各パワエレ IC の入力電圧制御を行う。このとき、二段目以降に対しては、電源位相指令を電圧指令側に入力し、段数に応じて均等に分圧するように制御する。したがって、二段目以降には電圧制御、電流制御に要求される応答角周波数は非常に高くなる。したがって、高速なサンプリング手法や、検出系の遅延なども考慮した設計も重要となる。制御器の詳細な設計については今後検討する。

4. シミュレーション結果

表 2 にシミュレーション条件、図 7 にシミュレーション結果を示す。なお、本シミュレーションではパワエレ IC を 3 段 2 列で構成した。3 章で述べた通り電圧制御の指令値には系統周波数の 2 倍周波数成分(100 Hz または 120 Hz)を位相情報として入力しているため高速な応答が求められる。系統周波数 2 倍周波数成分が 100Hz としたとき、カットオフ周波数は 628 rad/s となるため電圧制御の応答角周波数は 628 rad/s 以上の値で設計する必要がある。そのため本シミュレーションではカットオフ周波数の約 10 倍の 6,000rad/s で電圧制御の応答角周波数を設計した。また、電流制御の応答角周波数は 60,000 rad/s とした。さらに、AC/DC コンバータは定格 1 kW とした。

図 7(a)より、系統電圧に対して力率はほぼ 1 を達成できていることがわかる。この時の系統電流のひずみ率(THD)は 1.51%となり、良好に系統連系できていることを確認した。

図 7(b)より、各パワエレ IC の入力電圧最大値は概して指令値の 94 V に追従していることがわかる。よって、系統電圧最大値 282 V に対して分圧できており、また、AVR によって各段での入力電圧のばらつきはほぼ補正できていることを確認した。なお、入力電圧については段数の増加にともない、低減することができる。

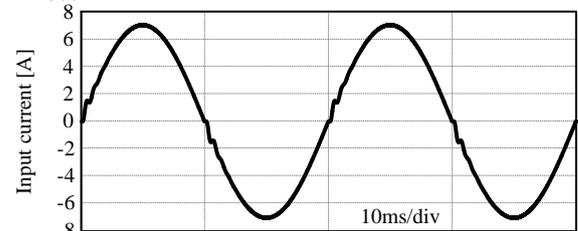
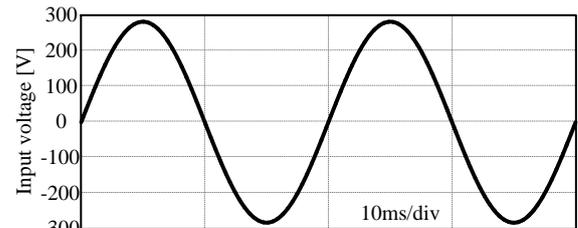
図 7(c)より、パワエレ IC の入力電流は全波の正弦波状に制御できており、電流指令値に対して平均値がほぼ一致していることから、良好に動作できていることを確認した。この電流についても、列数の増加によって、各パワエレ IC に流入する電流を調整することができる。

最後に、図 7(d)より、出力電圧は指令値 400 V に対して実際の電圧平均値がほぼ一致しており、良好に動作できていることを確認した。なお、出力電圧には 100 Hz の脈動が重畳しているが、これは単相電力脈動の影響であり、出力コンデンサの容量を増加することで解決できる。

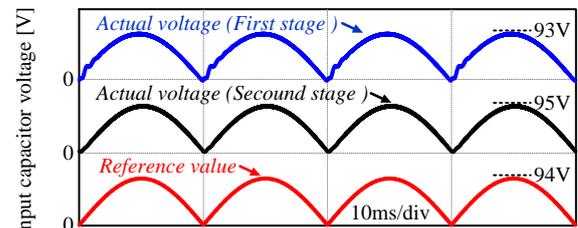
図 8 にパワエレ IC の入力コンデンサ C_{in} の容量をアンバランスさせた際の系統電流 THD の比較結果を示す。各パワエレ IC には小容量のコンデンサを実装するため、コンデンサ容量のばらつきや誤差の影響を無視できない。そこで、コンデンサ容量 3 μF を基準に、最大 40%程度ばらつきを持たせた際の系統電流 THD を評価した。結果より、アンバランス率が高いほど、系統電流 THD は増加することを確認し

Table 2. Simulation condition.

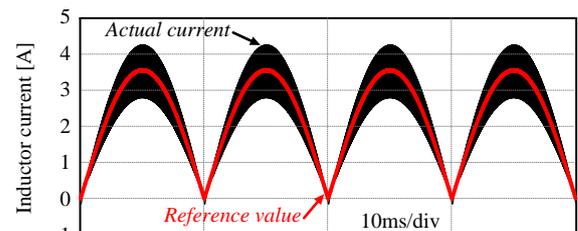
Input Voltage	V_{ac}	282 V	Vref. (First stage)	V_{dc}^*	400 V
Input cap.	C_{in}	3 μF	Vref. (Second stage or later)	V_{C^*}	94 V
Conv. cap.	C_{conv}	3 μF	Carrier fre.	f_{crv}	36 kHz
Output cap.	C_{out}	1000 μF	Ang. fre. of ACR	ω_{nc}	60,000 rad/s
Inter. Induc. (%Z)	L_{inter}	1.3 mH (1.0%)	Ang. fre. of AVR (First stage)	ω_{ncf}	100 rad/s
Input Induc.	L_l	1 mH	Ang. fre. of AVR (Second stage or later)	ω_{nc}	6,000 rad/s
Load Resist.	R_{out}	160 Ω			



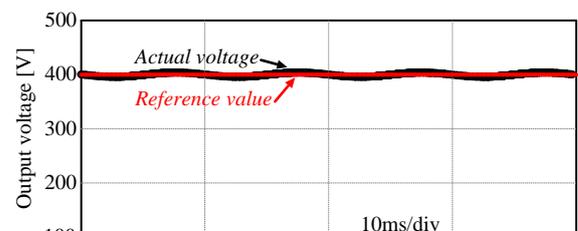
(a) Grid voltage and current waveform



(b) Input capacitor voltage



(c) Inductor current



(d) Output voltage

Fig. 7. Waveforms of Input Voltage, Input Current, Output Voltage, Inductor Current and Input Capacitor Voltage.

た。しかし、実際の $3\ \mu\text{F}$ の積層セラミックコンデンサの場合のパラメータ誤差率は 10%程度であり、またこの範囲内の誤差であれば THD は 5%以下となるため、許容できると考える。

5. まとめ

本論文では、電力変換器を高度に集積化し、パワーエレクトロニクス IC として電力変換システムに組み込む構想を提案した。そしてパワエレ IC の構成、および制御法について述べ、パワエレ IC を実現するための仕様に関して言及した。また、パワエレ IC 適用例として、単相 PFC 回路のパワエレ IC を用いた構成を検討した。最後にシミュレーション結果より THD5%以下で系統連系でき、素子のばらつきを制御により補償できることを明らかにした。

今後の課題は実験によるパワエレ IC の評価である。

文 献

- (1) 中西俊貴, 伊東淳一: 「H ブリッジセルを用いた降圧形モジュラーマルチレベルコンバータの高パワー密度設計に関する検討」, 平成 27 年電気学会産業応用部門大会, No. 1-29 (2015)
- (2) 渡辺大貴, 小岩一広, 伊東淳一, 大沼喜也, 宮脇慧: 「昇圧形アクティブバッファを有する電解コンデンサレス太陽光発電系統連系インバータの開発」, 電気学会論文誌 D, Vol. 135, No. 5, pp. 467-474 (2015)
- (3) 野下 裕市, 伊東 淳一: 「線形動作する電流バイパス回路を多段直列接続した高力率 LED 駆動回路」, 電気学会論文誌 D, Vol.134, No.5, pp.554-563(2014)
- (4) 榎原有吾, 伊東淳一: 「バレットフロントカーブを用いた PV 用マルチレベルトポロジーの効率とパワー密度の性能比較」, 電気学会論文誌 D, Vol. 134, No. 2, pp. 209-219 (2013)
- (5) 北村 達也, 山田 正樹, 原田 茂樹, 小山 正人: 「SiC を用いた高パワー密度インターリーブ型 DC/DC コンバータの開発」, 電気学会論文誌 D, Vol. 134, No. 11, pp. 956-961 (2014)
- (6) J. W. Kolar : 「Preface to the Special Issue on “Power Electronics”」, 富士電機技報, Vol. 88, No. 1 pp.5-6 (2015)
- (7) 菅野 卓雄, 伊藤 隆司: 「新版 ULSI デバイス・プロセス技術」, 電子情報通信学会, pp.1-9 (2013)
- (8) 高橋 清: 「見てわかる半導体の基礎」, 森北出版, pp.39-42 (2000)
- (9) 神田 賢志, 清水 敏久: 「薄平面形 PWM インバータの試作」平成 22 年電気学会産業応用部門大会, Y-23 (2010)
- (10) 小岩 一郎, 足利 欣哉, 照井 誠, 白石 靖, 安在 憲隆, 大角卓史, 逢坂 哲彌, 熊谷 智弥, 佐藤 善美, 橋本 晃: 「半導体技術を用いた薄膜キャパシタ受動部品の作製」エレクトロニクス実装学会誌, Vol. 8, No.6, pp. 517-522, (2005)
- (11) J. W. Kim, H. S. Choi, B. H. Cho, “A novel droop method for converter parallel operation,” IEEE Trans. Power Electronics., vol. 17, no. 1, pp. 25-32, (2002).
- (12) 青柳 和樹, 中西 俊貴, 伊東 淳一: 「マルチセルを用いた双方向単相中圧 Solid-State Transformer」平成 28 年度電位関係学会北陸支部連合大会, No.A3-21 (2016)
- (13) 高井 大貴, 林 祐輔, 伊瀬 敏史: 「ISOP 接続を適用したマルチセル AC-DC コンバータの提案」平成 27 年電気学会産業応用部門大会, No.1-69, pp.311-314(2016)
- (14) 林 祐輔, 高井 大貴, 松本 暁, 伊瀬 敏史: 「次世代直流給電システムにおけるマルチセルコンバータ方式を適用した直流トランスの高効率化の基礎検討」電気学会論文誌 D, Vol.136, No.2, pp.152-161(2016)
- (15) 伊東 洋一: 「無停電電源・分散型電源システムのデジタル制御と高性能化に関する研究」東京工業大学, 甲第 6969 号, (2007)

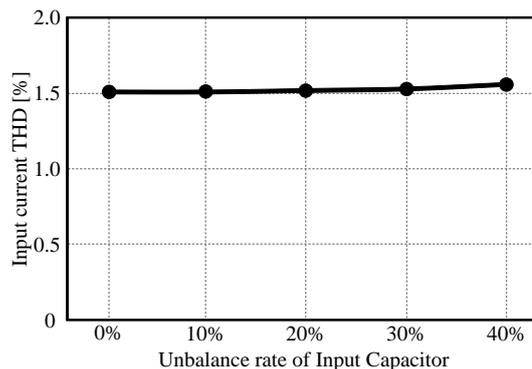


Fig. 8. Relation between Error rate of Input Capacitor and Input current THD.