

小型 LCL フィルタを有する 単相系統連系インバータの高速ゲート遮断を 適用した FRT 動作の実機検証

永井 悟司*, 日下 佳祐, 伊東 淳一 (長岡技術科学大学)

Experimental Verification of FRT Capability for Single-phase Grid-connected Inverter with Minimized LCL Filter
by Using High-speed Gate-block

Satoshi Nagai*, Keisuke Kusaka, Jun-ichi Itoh (Nagaoka University of Technology)

1. はじめに

系統連系インバータの高周波化により連系リアクトルの小型化が可能である。しかし、小型化した連系リアクトルでは電流変化量が増加し、瞬時電圧低下時(以下、瞬低)の運転継続(以下、FRT: Fault Ride Through⁽¹⁾)が困難となる。

著者らはこれまでにインバータ出力にある LCL フィルタの設計法を明確化し、高速ゲート遮断を用いて残電圧 0% の瞬低における運転継続(以下、ZVRT: Zero Voltage Ride Through)が可能であることを確認した。また、出力電流オーバーシュート率を 50% 以下へ抑制可能であることを理論解析とシミュレーションにより確認している⁽²⁾。本論文では 1 kW の試作機により ZVRT 動作の実機検証を行い、提案方式の有用性を確認する。

2. FRT 制御法

<2.1> 従来 FRT 制御法 図 1 に単相系統連系インバータの回路図を示す。本論文ではフルブリッジ 2 レベルインバータへ LCL フィルタを接続した構成で検討する。

図 2 に FRT 制御における無効電流注入方法について示す。系統電圧検出値 v_{acdet} を基に PLL により位相 θ をロックし、瞬低検出信号 v_{frr} が 1 となるときは、PLL による位相 θ から $\pi/2$ 進相させる。この位相制御により無効電流制御を行う。

図 3 に従来 FRT 制御のブロック線図を示す。ここで、 V_{dc} はインバータ直流電圧、 T_d はデッドタイム、 f_{sw} はスイッチング周波数、 i_{L1det} は連系リアクトル L_1 の電流検出値である。従来 FRT 制御では図 2 に示す無効電流注入方法を適用し、瞬低時には無効電流指令を電流制御器へ入力する。また、電流制御器は DSP のみで制御し、デッドタイム誤差電圧補償を用いる。このとき、低インダクタンス化により外乱ゲインが増加するため、特に系統擾乱などの外乱に対して DSP では制御が遅れ、インバータ出力電流オーバーシュートが発生する。これにより、FRT 要件の達成が困難である。

<2.2> 高速ゲート遮断を適用した FRT 制御法 図 4 に提案 FRT 制御法を示す。定常動作における出力誤差補償については FPGA に実装した外乱オブザーバを適用して補

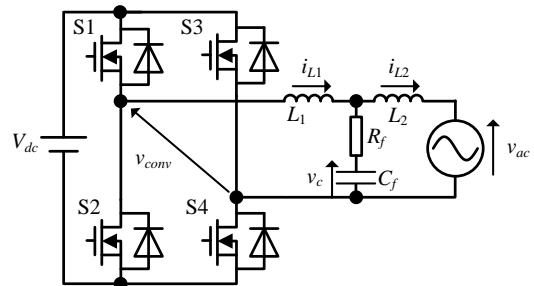


Fig. 1. Single phase inverter circuit with LCL filter.

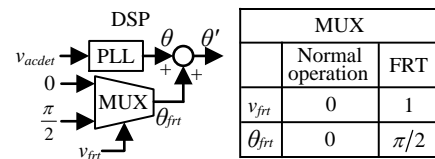


Fig. 2. Reactive current control method for FRT operation.

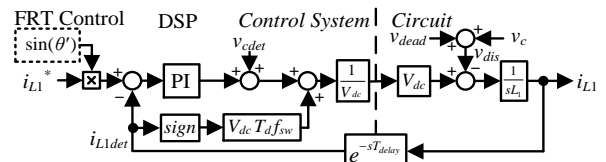


Fig. 3. Control block diagram of conventional FRT operation.

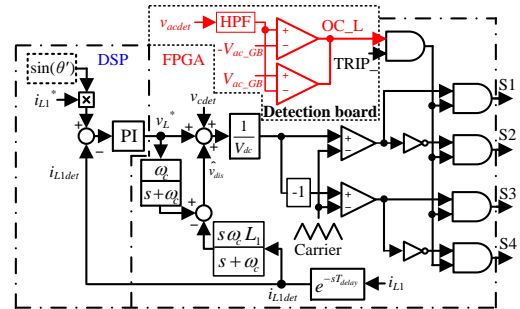


Fig. 4. Control block diagram of ZVRT operation with gate-block.

償する。外乱オブザーバによる出力誤差補償電圧 \hat{v}_{dis} は(1)式で表される。

$$\hat{v}_{dis} = \frac{\omega_c}{\omega_c + s} v_L^* - \frac{s\omega_c L_1}{\omega_c + s} i_{L1det} \dots \dots \dots (1)$$

ここで、 ω_c は外乱オブザーバのカットオフ周波数、 v_L^* は PI 制御器出力、 s はラプラス演算子である。また、電流制御器にはフィルタコンデンサの両端電圧検出値 v_{cdet} をフィードフォワード補償する。これにより、系統電圧変動の外乱補償を行うように構成する。さらに、系統擾乱によるインバータ出力電流 i_{L2} のオーバーシュートの抑制が必要である。文献(2)の提案法から電流センサ数を低減するため、系統擾乱検出によりゲート遮断を行う。系統電圧をハイパスフィルタ(以下、HPF)に透過することで、定常時の HPF 出力最大値(系統電圧ゼロクロス時)より高い閾値を設定し、閾値を超過した際にゲート遮断を行う。提案制御については高速処理が可能な FPGA でゲート遮断を行い、アナログ回路により HPF と閾値比較回路を構成する。これにより検出遅延時間を最小にする。

図 5 に瞬低復帰時における提案法適用時の出力電流オーバーシュート率と L_g / L_2 の特性図を示す。実際には系統電圧 v_{ac} の値は直接検出できず、検出点と v_{ac} の間には配線インダクタンス L_g が存在する。図 5 より配線インダクタンスが増加することで出力電流変化量が低減するためオーバーシュート率が低減する。実機実験については配線インダクタンスが十分低い条件で行う。

3. 実験結果

表 1 に実験条件を示す。実験は文献(2)と同等のパラメータを使用する。

図 6 に従来 FRT 制御法を適用した実験結果を示す。瞬低の発生により出力電流がオーバーシュートし、過電流保護によりインバータ出力が停止していることがわかる。電流検出遅延時間や電流制御器のサンプリング遅延時間により出力電流オーバーシュートを抑制できず動作が停止する。図 6 (b)よりオーバーシュート率は 483%と大きくなる。

図 7 に提案 FRT 制御法を適用した実験結果を示す。提案法を適用することで瞬低時の出力電流オーバーシュートを抑制し、運転継続可能であることがわかる。図 7 (b), (c)より瞬低発生時と復帰時のインバータ出力電流オーバーシュート率はそれぞれ、瞬低時 : 48.5%、復帰時 : 37.2%である。特に、FRT 要件に定められる、復帰時のインバータ出力電流オーバーシュート率 50%以下を満足している。以上より、高速ゲート遮断を適用することで連系リアクトルを %Z = 1%、フィルタリアクトルを %Z = 0.78% へ小型化し、FRT 要件を達成可能であるため、提案 FRT 制御法が妥当であることが確認できた。

文献

- (1) 系統連系専門部会編：「系統連系規程 JEAC9701-2012」, 日本電気協会 (2013)
- (2) 永井・日下・伊東：「ゲートブロックを用いた小型 LCL フィルタを有する単相系統連系インバータの FRT 動作検証」, 半導体電力変換/家電・民生/自動車合同研究会, Vol. 2, No. SPC-16-177, HCA-16-074, VT-16-044, pp. 13-18 (2016)

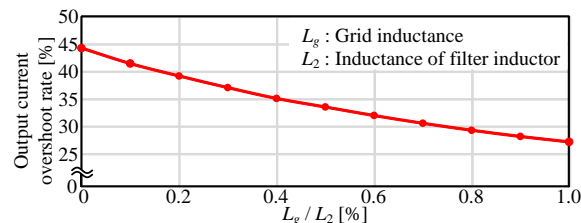
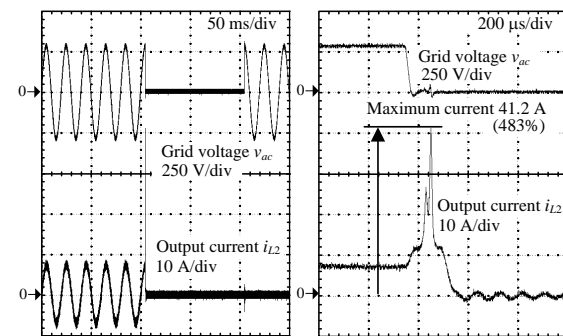


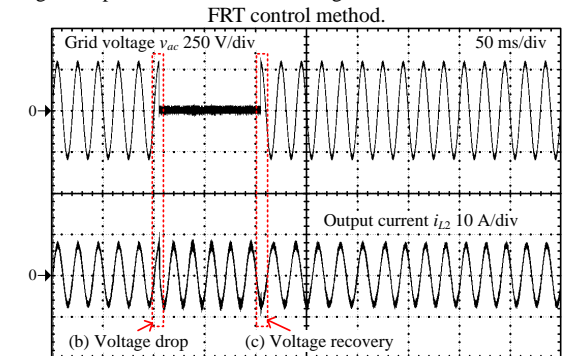
Fig. 5. Simulation characteristic of output current overshoot rate versus L_g / L_2 with proposed method at voltage recovery.

Table 1. Experimental condition.

Output power	P_{out}	1 kW	Filter cap.	C_f	0.2 μ F
DC link vol.	V_{dc}	380 V	Carrier fre.	f_{cr}	80 kHz
Grid voltage	v_{ac}	200 V _{rms}	Ang. fre. of ACR	ω_n	6000 rad/s
Inter. Induc. (%Z)	L_1	1.29 mH (1.0%)	Samp. fre. of ACR	f_{samp}	20 kHz
Filter Induc. (%Z)	L_2	0.99 mH (0.78%)	Samp. fre. of DOB	f_{so}	80 kHz
			Cutoff fre. of DOB	f_c	2 kHz
			GB delay time	t_{delay}	< 3 μ s



(a) Waveform of ZVRT operation. (b) Voltage drop operation. Fig. 6. Experimental results of short grid failure with conventional FRT control method.



(a) Waveform of ZVRT operation. (b) Voltage drop operation. (c) Voltage recovery operation. Fig. 7. Experimental results of short grid failure with proposed FRT control method.