電気学会論文誌●（●●●●●●●部門誌）
IEEJ Transactions on ●●●●●●●●●●●●●●●●
Vol.●● No.● pp.●-●● DOI: ●.●●/ieejeiss.●●.●

論文誌テンプレート 消さないでください Ver. 2011. 02. 22

論　文

大ゲート容量に対応した高周波インバータ向け電流形ゲート駆動回路の実機検証

学生員　提橋　郁人*a)　　上級会員　伊東　淳一*　　正　員　折川　幸司**

Evaluation of Current-Source Gate Drive Circuit Applied to High-Frequency Inverter with Large Gate Capacitance

Ayato Sagehashi*, Student Member, Jun-ichi Itoh*a), Senior Member, Koji Orikawa**, Member

（20XX 年●月●日受付，20XX 年●月●日再受付）

This paper investigates a switching operation when a current-source gate drive circuit is used for large gate capacitance. The current-source gate drive circuit consists of a voltage source, an input inductor, and switching devices such as an H-bridge inverter. The power consumption of this circuit is reduced in comparison with that of a conventional voltage source gate drive circuit because the energy of the capacitor between a gate and a source is not consumed in gate resistance, which is not required for the current source gate drive circuit. The switching operation of the proposed current source gate drive circuit in the high-frequency inverter is evaluated experimentally. In addition, the power consumption is measured when the switching frequency is changed from 100 kHz to 1 MHz. As a result, it is confirmed that the power consumption of the current-source gate drive circuit is reduced by 62% compared with that of the voltage source gate drive circuit at 1 MHz.

キーワード：ゲート駆動，高周波スイッチング，電流形，電圧形
Keywords：Gate drive, High frequency switching, Current source, Voltage source

1. はじめに

近年，SiC や GaN を用いた半導体素子が普及し始め，高周波スイッチングによる大容量電力変換器の小型化が盛んに研究されている[1-8]。特に，SiC-MOSFET は従来の Si-MOSFET と比較して高速スイッチングが可能である。さらに，素子の特性の一つとして低オン抵抗であることから，電力変換器の小型化に有効な半導体素子として注目されている。

しかし，MOSFET は高耐圧化に伴ってゲート容量が増加し，加えて SiC-MOSFET は構造上 Si-MOSFET と比較してゲート容量が大きくなる[9]。そのため，従来の電圧形ゲート駆動回路の場合，ゲート容量の増加により駆動損失の増加が懸念される。この時，駆動周波数も増加すると，さらに駆動損失が大きくなるため，結果として電力変換器の小型化を阻む一因となる。

また，実際に SiC や GaN を用いた半導体素子を電力変換器へ応用した際，Si-MOSFET と比較してゲート閾値電圧 $V_{gs(th)}$が低いため，意図しない誤点弧や誤消弧の問題がある[10-14]。特に，大きな dv/dt に伴い，ゲート帰還容量を通して，ゲート駆動回路に電流が流れ込むことでゲート電圧が変動する。このゲート電圧変動を抑制する方法として，半導体素子のゲート・ソース間にコンデンサを接続し，ゲート駆動回路から見た見かけ上のゲート容量を大きくする方法や，接続するゲート抵抗の値を大きくする方法が挙げられる[12]。しかし，これらの対策を施した場合，ゲート駆動回路の損失増加やスイッチング速度の低下に伴うスイッチング損失の増加につながる。

これまで，ゲート駆動回路の低損失化のため，ゲート容量に対して直列，または並列に共振用インダクタを挿入することで共振によりゲートを駆動する回路が提案されている[15-16]。一般的な LC 共振を用いたゲート駆動回路は，駆動電力を低減できるが，ゲート電圧が正弦波状でありパルス幅（デューティ比）が 50%に制限される。一方で，文献[15], [16]の方法ではゲート容量に充電された電力がゲート駆動

a) Correspondence to: Jun-ichi Itoh. E-mail: itoh@vos.nagaokaut.ac.jp
* 長岡技術科学大学
〒940-2188　新潟県長岡市上富岡町 1603-1
Nagaoka University of Technology.
1603-1, Kamitomioka, Nagaoka Niigata 940-2188, Japan
** 北海道大学
〒060-0814　北海道札幌市北区北 14 条西 9 丁目
Hokkaido University
2, Kita14-jonishi, Kita-ku Sapporo Hokkaido 060-0814, Japan

© 200● The Institute of Electrical Engineers of Japan.

用電源に回生されるため，ゲート駆動回路の損失を低減でき，デューティ比を変更できる。しかし，ゲート容量の充放電動作において共振を用いるため，スイッチング速度はゲート駆動回路の共振周波数に制限される。

さらに，駆動回路内において，インダクタ電流の遮断により発生するインパルス電圧を利用して高速スイッチングする方法[17]や，主回路側に補助スイッチを挿入し，ゲート容量の充電時間を短縮することで MOSFET のゲート容量を高速に充放電する手法[18]も提案されている。しかし，主回路に対して駆動補助用に追加の半導体スイッチが必要となる。

本論文では，大ゲート容量を持つ半導体素子の高速駆動が可能であり，かつゲート抵抗が不要な電流形ゲート駆動回路を提案し，本駆動回路を適用した MHz 級の高周波インバータの実機検証を行う。本駆動回路は電圧源に直列にインダクタをもち，電流形インバータとして駆動するため，ゲート容量が大きくても高速スイッチングが可能である。また，設計パラメータにもよるが，パルス幅（デューティ比）も任意に設定することができ，パルス幅変調（PWM）が可能である。

論文の構成は以下のようになっている。はじめに，提案する電流形ゲート駆動回路の回路構成，動作モードおよびスイッチングパターンの詳細について説明する。その後，主回路 MOSFET のゲート容量を変化させた際の高周波インバータ動作を検証する。さらに，主回路 MOSFET の各ゲート容量を駆動した際の駆動電力を測定する。最後に各ゲート容量の主回路 MOSFET を駆動した際のスイッチング波形について確認し，電圧形と比較して低損失かつデューティ比が可変であり，高速スイッチング動作が可能であることを示す。

2. ゲート駆動回路

〈2･1〉 電圧形駆動回路 図 1 に電圧形駆動回路構成を示し，図 2 に提案する電圧形駆動回路として，フルブリッジ型駆動回路[15]のスイッチングパターンおよびゲート電圧，電流波形を示す。一般にはプッシュプル型駆動回路が使用されるが，ここでは電源電圧や駆動素子を提案方式と合わせて比較しやすいフルブリッジ型を従来回路としている。本回路の動作は，入力電圧 V_{in} を基に主回路 MOSFET のゲート容量 C_{gs} に正負の電圧を印加することで，MOSFET のオン/オフを切り替える。電圧形駆動回路では，ゲート抵抗 R_g 並びにゲート容量 C_{gs} の構成による RC 直列回路と等価にみなせる。その結果，ゲート抵抗 R_g により，ゲート電圧の立ち上がり速度を調節することで，主スイッチのスイッチング速度を調整できる。しかし，電圧形駆動回路では，ゲート容量 C_{gs} に蓄積されたエネルギーはすべてゲート抵抗 R_g により損失となる。従って，電圧形駆動回路における駆動電力は(1)式より計算できる。

$$P_{voltage_drive} = 4C_{gs}V_{gs}{}^2 f_{sw} = 4C_{gs}(V_{in} + |-V_{in}|)^2 f_{sw} \quad \text{.....(1)}$$

ここで，f_{sw} は駆動回路のスイッチング周波数，C_{gs} はゲート

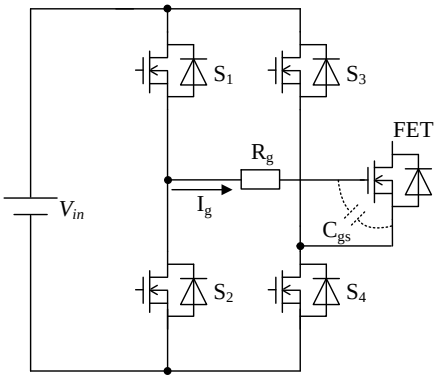


Fig. 1. Conventional gate drive circuit.

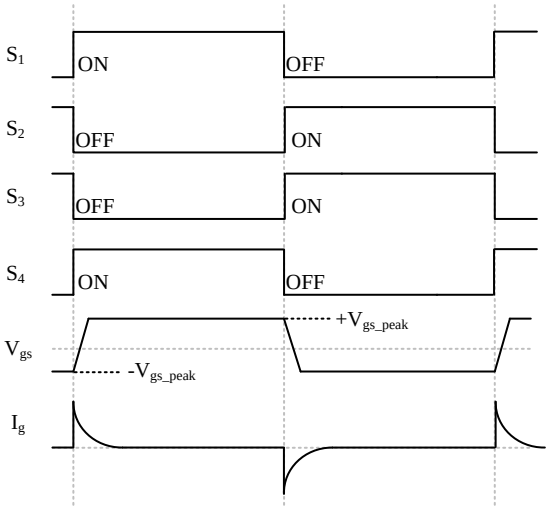


Fig. 2. Switching patterns of the conventional gate drive circuit.

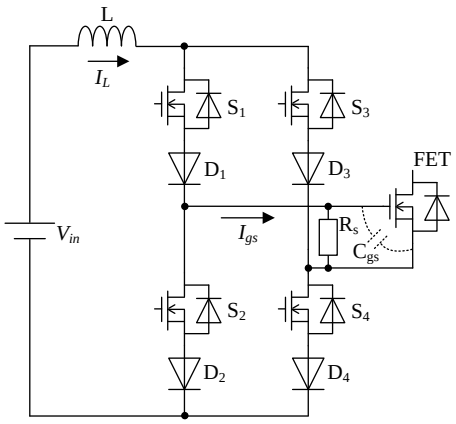


Fig. 3. Current source gate drive circuit.

容量，V_{in} は入力電圧，V_{gs} はゲート電圧振幅の最大値および最小値の合計である。(1)式より，駆動損失は駆動対象となる主回路 MOSFET のゲート容量 C_{gs}，印加すべきゲート電圧 V_{gs} 並びに駆動周波数 f_{sw} により，一意に決定される。

〈2･2〉 電流形駆動回路 図 3 に提案する電流形ゲート駆動回路の回路構成を示す。電流形インバータでは，スイッチング素子に逆電圧が印加されるため，駆動用 MOSFET

にはダイオードを直列に接続している。なお，駆動回路は低圧のため，逆耐圧特性を持つ JFET 等使用時はダイオードが不要となる。通常の電流形インバータの場合，インバータの入力電流を電力変換器で一定に制御するなどして，電流源を実現する。しかし，電流源の電流が一定の場合，常に循環電流を流すことになり，駆動用 MOSFET の導通損失が増加する。

そこで本論文で提案する回路では，電圧源に小容量の入力インダクタ L を直列接続し，入力インダクタ L の電流を不連続モードとすることでゲート駆動を実現する。

駆動回路を定常状態で動作させるためには，回路内に蓄積されるエネルギーが一周期内でゼロ，すなわち電源から供給されるエネルギーと回路内で損失となるエネルギーの収支が一致していなければならない。いま，駆動回路の部品が全て理想部品とすると，ゲート・ソース間に接続した抵抗 R_s で消費するエネルギーでバランスが取れる。よって，理想条件における駆動電力は(2)式で表すことができる。

$$P_{current_drive} = \frac{V_{gs}^{\ 2}}{R_s} \quad \cdots\cdots(2)$$

ここで，V_{gs} はゲート電圧である。実際には，ゲート・ソース間に接続した抵抗 R_s で生じる損失に加え，ほかの素子にも損失があるため，エネルギーの収支が一致する動作点でゲート電圧が決定する。なお，ゲート駆動回路の起動時はゲート電圧がゼロであるため，過渡現象により徐々にゲート電圧が増加する。その後，エネルギー収支が一致するとゲート電圧が設計値である $\pm V_{gs}$ に収束する。

本駆動回路では，ゲート容量 C_{gs} に蓄えられている電荷は並列抵抗 R_s により徐々に放電する。しかし，スイッチング周期に対して時定数 $\tau = C_{gs}R_s$ を十分大きく設定すれば，放電によるゲート電圧低下は回路動作に影響しない。なお，ゲートブロック動作等によって長時間にわたりゲートオフ状態が継続した場合，並列抵抗 R_s によってゲート容量が徐々に放電され，最終的にゼロとなる。しかし，並列抵抗 R_s によりゲート電位は不定（開放）とはならないため，ゲートブロック動作を継続可能である。また，起動時には起動に伴う過渡現象によってゲート電圧には所望のゲート電圧 $\pm V_{gs}$ 以下の電圧が印加される。これについては，ゲート駆動回路の動作を確立してから主回路電圧が印加される起動シーケンスにするなどして回避できる。

図 4 に提案する電流形ゲート駆動回路の動作モードを示し，図 5 にスイッチングパターン並びにゲート電圧，入力インダクタ電流波形を示す。本回路はゲート容量 C_{gs} に対して入力インダクタ L と駆動用 MOSFET のオン時間比率を適切に設計し，入力インダクタ電流 I_L を調整することでゲート電圧の dv/dt を変更できる。入力電流は，入力インダクタ L の充電時間(Mode I, IV)およびゲート容量の充放電時間(Mode III, VI)の時のみ流れる。したがって，電流連続で動作する電流形ゲート駆動回路を用いた場合と比較して，駆動用 MOSFET の導通損失を低減でき，ゲート駆動回路の損失

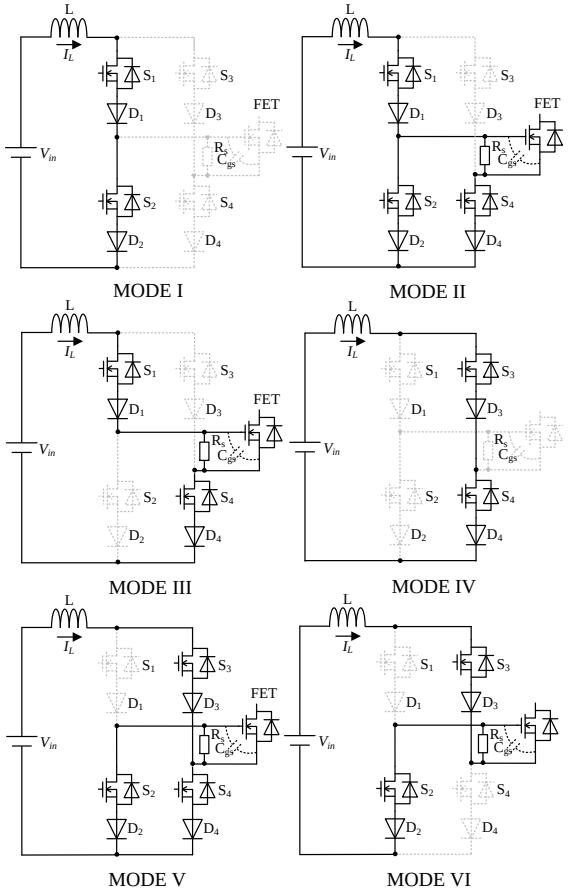


Fig. 4. Operation modes of the current source gate drive circuit

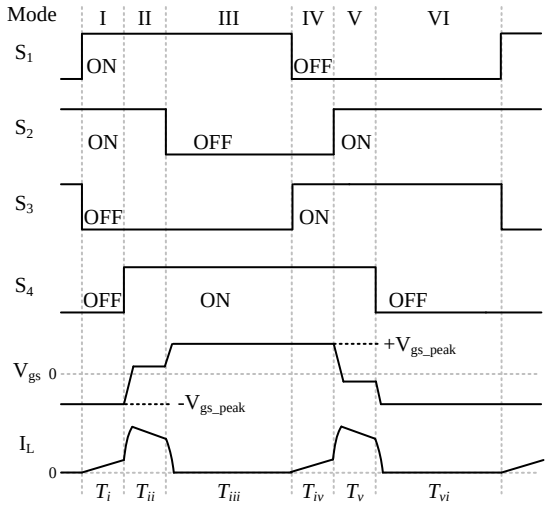


Fig. 5. Switching patterns of the current source gate drive circuit.

を低減できる。なお，受動素子やゲート容量数値のばらつきによる影響は，入力インダクタ L の充電時間の設定により抑えることができる。また，本駆動回路は正負対称のゲート電圧出力となるが，ツェナーダイオードをゲート・ソース間に接続することで，正負非対称のゲート電圧を得ることが可能である。

3. 駆動回路のパラメータ設計

図 6 に電流形ゲート駆動回路の設計フローチャートを示す。本駆動回路を設計するために必要なパラメータは，与えるべきゲート電圧 V_{gs}，ゲート容量 C_{gs}，スイッチング周波数 f_{sw}，ゲート駆動回路の電源電圧 V_{in}，駆動回路に用いるスイッチングデバイスの最大電流値 I_{peak} である。これらのパラメータをもとに，図 6 の手順でゲート駆動回路のパラメータを設定する。なお，ここでは R_s 以外に駆動回路で損失が発生しないものとする。なお，正負非対称の駆動電圧を得るため，ツェナーダイオードをゲート・ソース間に接続すると，本設計手法とはエネルギーのバランスする条件が異なり，設計方法が複雑化する。正負の電圧を非対称化した際の設計方法については，今後の課題として稿を改めて報告する。

〈3･1〉 駆動回路の動作解析 図 7 に電流形駆動回路の等価回路を示し，図 8 に動作波形を示す。図 7 において，C_{gs} に蓄えられている初期電圧を$-V_{gs}$，インダクタの初期電流をゼロとし，スイッチ S_1 を閉じたときに流れるインダクタ電流 i_L は(3)式で表される。

$$i_L(t) = \frac{V_{in}}{L} t \quad \cdots\cdots(3)$$

ここで，V_{in} は入力電圧，L は入力インダクタ，t は S_1 を閉じてからの経過時間である。T_i 経過後，S_1 を開放し，S_2 を閉じることで，C_{gs} に電荷を V_{gs} まで充電する。この時発生するインダクタ電流 i_L およびゲート電圧 v_{gs} は(4), (5)式で表される。

$$i_L(t) = i_L(T_i)\cos\omega(t-T_i) + (V_{in}-V_{gs})\sqrt{\frac{C_{gs}}{L}}\sin\omega(t-T_i) \quad \cdots\cdots(4)$$

$$v_{gs}(t) = V_{in}T_i\omega\sin\omega(t-T_i) - (V_{in}-V_{gs})\cos\omega(t-T_i) + V_{in} \quad \cdots\cdots(5)$$

ここで，T_i は入力インダクを充電した時間，固有角周波数ω は(6)式で与えられる。

$$\omega = \frac{1}{\sqrt{LC_{gs}}} \quad \cdots\cdots(6)$$

〈3･2〉 並列抵抗 R_s の設定 本駆動回路では，図 5 の MODE III，IV および MODE VI，I のゲート電圧が一定となる期間において，電源とゲート容量 C_{gs} が切り離された状態となる。この期間中はゲート容量 C_{gs} および並列抵抗 R_s で構成される RC 回路と等価であり，ゲート容量の放電によりゲート電圧が低下する。しかし，スイッチング周期に対して十分大きな時定数を設定することでゲート電圧低下を防止できる。そのため，並列抵抗 R_s は(7)式より設計する。

$$R_s = \frac{\tau}{C_{gs}} \quad \cdots\cdots(7)$$

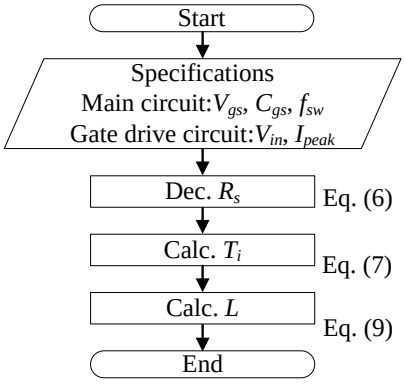


Fig. 6. Flowchart for design of the current source gate drive circuit.

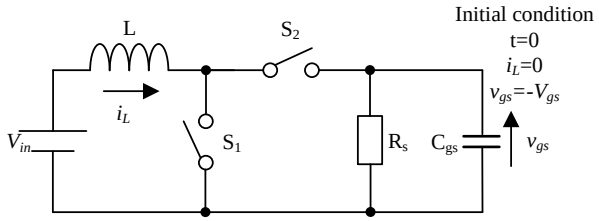


Fig. 7. Equivalent circuit of current source gate drive circuit with RLC

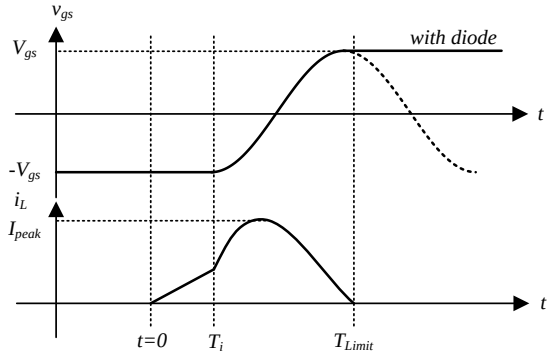


Fig. 8. Equivalent circuit waveforms of Fig. 7.

ここでτは時定数であり，スイッチング周期に対して10倍以上の値を設定する。なお，(7)式より設計した並列抵抗 R_s はゲート電圧の減衰が十分小さいとみなせるため，以降の設計ではゲートに印加される電圧は一定とする。

〈3･3〉 初期充電時間 T_i の設定 提案する電流形駆動回路では初期充電時間を設けることで，ゲート電圧の dv/dt を共振周波数で決まる値より大きく設定することが可能となる。しかし，T_i を大きく設定しすぎると，デューティ比の可変範囲が狭くなる。そのため，T_i はデューティ比を考慮して(8)式より計算する。

$$T_i < \frac{1-D_{\max}}{f_{sw}} \quad \cdots\cdots(8)$$

ここで，D_{max} はデューティ比である。

なお，デューティ比の可変範囲は初期充電時間 T_i および入力インダクタ L とゲート容量 C_{gs} の共振周波数の半周期分を除いた期間で調整可能なため，制限期間 T_{Limt} は，詳細には(4)式より電流がゼロとなる時間を求めれば良いが，電

流がゼロになる時間は共振の半周期以内であるから，余裕を持って(9)式を目安とすれば良い。

$$T_{Limit} = T_i + \pi\sqrt{LC_{gs}} \quad \text{.....(9)}$$

〈3･4〉　入力インダクタ L の設計　あらかじめ設定したパラメータおよび初期充電時間 T_i を用いて入力インダクタ L を設計する。このとき，入力インダクタ L は(10)式より設計できる。

$$L = \frac{\left(V_{in} - V_{gs}\right)^2 C_{gs} + \sqrt{\left(V_{in} - V_{gs}\right)^4 C_{gs}^{\ 2} + 4I_{peak}^{\ 2} V_{in}^{\ 2} T_i^{\ 2}}}{2I_{peak}^{\ 2}} \quad \text{.....(10)}$$

ゲート電圧の立ち上がり時間は，C_{gs} の充電電流の最大値に依存するので，ゲート駆動回路の入力電流最大値に依存する。そのため，電流形駆動回路では，所望の最大電流値 I_{peak} を与えて L を決定する。

4.　駆動電力の解析

図 9 に各ゲート駆動回路における駆動電力のシミュレーションを用いた解析結果を示し，表 1 に解析時に用いたパラメータを示す。シミュレーションでは駆動素子の損失を加味した。図 9 より，各駆動回路を比較すると，解析したスイッチング周波数の全領域で，電流形駆動回路は駆動電力を低減できることがわかる。このとき，スイッチング周波数 1 MHz，ゲート容量 10000 pF の条件下において各駆動電力を比較すると，電圧形では 6.2 W であるのに対し，電流形は 1.7 W と電圧形と比較して駆動電力を 73%低減できることを計算により確認した。この結果，ゲート駆動回路の低損失化により小型化をはかることができ，ゲート駆動回路をスイッチング素子の直近に配置することが可能となる。

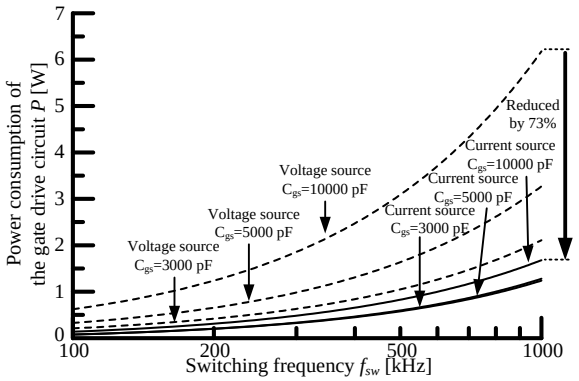


Fig. 9. Comparison of power consumption among gate drive circuits by simulation results.

Table 1. Conditions for loss comparison by simulation.

Input voltage of voltage source		12 V
Input voltage of current source		3.3 V
Gate source voltage V_{gs}		±12 V
Gate source voltage V_{gs}		5.1 Ω
Parallel connection resistance R_s		10 kΩ
Switching device	MOSFET:IRLML2060TRPbF(IR)	
	On resistance R_{DS}	0.48 Ω
Diode	RB161M-20TR(Rohm)	
	Forward voltage V_F	0.42 V

イッチング素子の直近に配置することが可能となる。

以下に提案回路が電圧形駆動回路にくらべて低損失となる理由について考察する。低損失となる理由は，各ゲート駆動回路の接続された抵抗による消費電力の違いがあげられる。電圧形駆動回路では，ゲート容量に蓄積されたエネルギーがゲート抵抗 R_g により充放電時に全て消費される。一方で，電流形駆動回路の場合，ゲート電圧が一定の期間に，並列抵抗 R_s でエネルギーが消費される。そのため，回路が理想素子状態（素子の損失を考慮しない場合）では，充放電時にエネルギー消費はなく，並列抵抗 R_s の損失を小さくでき，電圧形駆動回路と比較して低駆動電力となる。このとき，(1)，(2)式の比は(11)式で表すことができる。

$$r = \frac{P_{voltage_drive}}{P_{current_drive}} = 4C_{gs} f_{sw} R_s \quad \text{.....(11)}$$

この結果，提案する電流形駆動回路では C_{gs}，f_{sw}，R_s が大きいほど電圧形と比較して低電力駆動が可能となる。

5.　実機検証

図 10 に電流形ゲート駆動回路を適用した高周波インバータの回路構成を示し，表 2 に本実機検証における実験条件を示す。本実験では等価的なゲート容量調節のため，ゲート・ソース間に対して並列にコンデンサを挿入する。また，サージ電圧抑制用の RC スナバ回路を接続し，ゲート駆動動

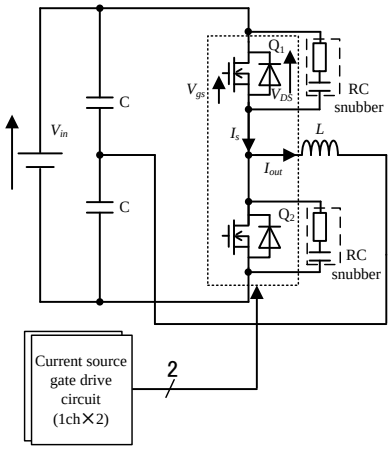


Fig. 10. Experimental circuit diagram.

Table 2. Experimental conditions.

Main circuit	Input voltage V_{in}		48 V
	Input capacitance C		5 μF
	Lode reactor L		0.8 μH
	Gate voltage V_{gs}		±12 V
	Gate resistance R_g		5.1 Ω
	Switching device	MOSFET:IRF640NPbF(IR)	
		FET gate capacitance C_{gs}	1110 pF
Gate drive circuit	Switching device	MOSFET:IRLML2060TRPbF(IR)	
		On resistance R_{DS}	0.48 Ω
	Diode	RB161M-20TR(Rohm)	
		Forward voltage V_F	0.42 V
	Initial charging time T_i		50 ns
	Parallel resistance R_s		5 kΩ
	Peak current I_{peak}		4 A

作を検証する。

〈5･1〉　インバータの動作検証　　図 11 にゲート容量 3000 pF，スイッチング周波数 1 MHz における高周波インバータ動作時の各動作波形を示す。図 11 より，スイッチング周波数 1 MHz において，電流形ゲート駆動回路を用いて上下アームの MOSFET がスイッチングされており，ハーフブリッジインバータが駆動できることを確認した。また，上下アームのゲート電圧を見ると，ゲート電圧の立ち上がり，立ち下がりの際にゲート電圧が変動する現象が発生している。これらは，帰還容量を抜ける電流による振動と思われるが，いずれもゲート電圧の閾値より低く，誤点弧の恐れはない。

図 12 にスイッチング周波数 1 MHz，ゲート容量 10000 pF 時の高周波インバータ動作波形を示す。図 12 の動作波形では，3000 pF と比較してゲート電圧の立ち上がり，立ち下がりが遅くなっているが，スイッチング周波数 1 MHz の高周波動作が実現できている。ゲート信号の立ち上がり，立ち下がりが遅くなっている要因は，ゲート駆動回路の最大電流値を 4 A としているためであり，最大電流を増加させれば高速なスイッチングが可能である

図 13，14 にゲート容量 3000 pF 時における上下アームのデューティ比を変更した際の各動作波形を示す。図 13 並びに図 14 の結果より，デューティ比 20%，80%におけるスイッチング動作波形を確認した。ゲート容量に応じて回路設計を適切に行えば，スイッチング速度はゲート容量に関わらず同じにできる。なお，デューティ比の可変範囲を広く設

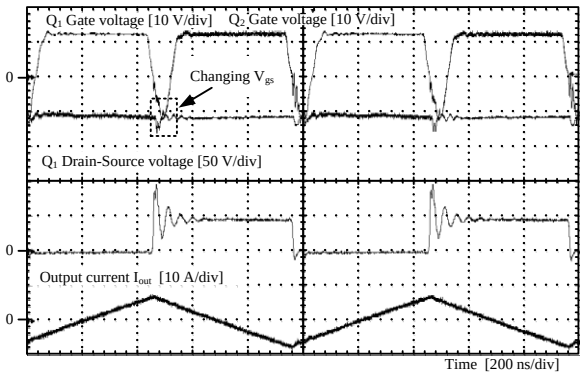


Fig. 11. Operation waveforms (C_{gs}=3000 pF).

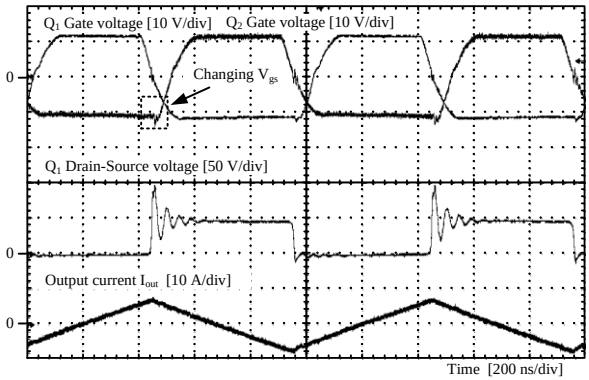


Fig. 12. Operation waveforms (C_{gs}=10000 pF).

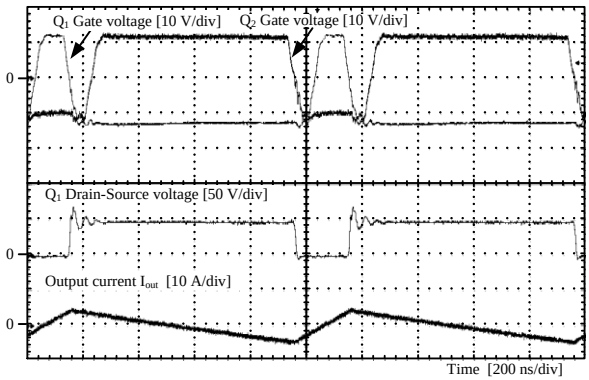


Fig. 13. Operation waveforms (C_{gs}=3000 pF, Duty=20%).

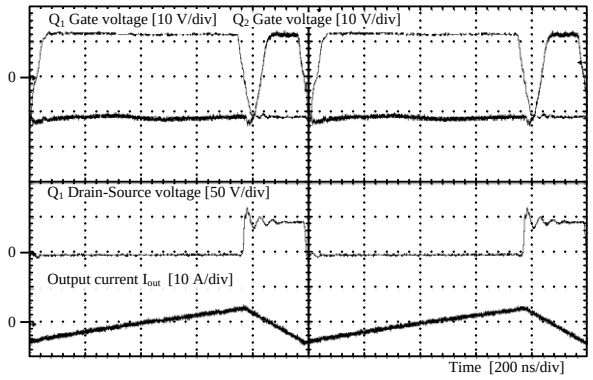


Fig. 14. Operation waveforms (C_{gs}=3000 pF, Duty=80%).

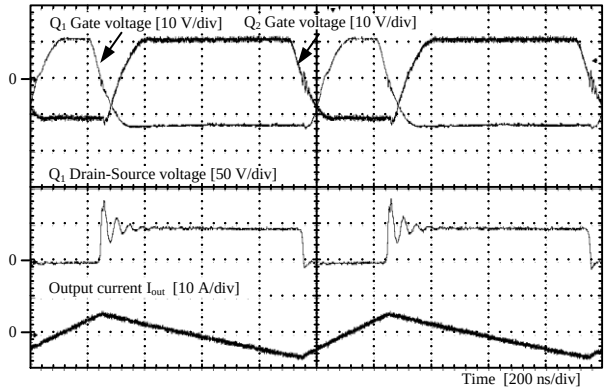


Fig. 15. Operation waveforms (C_{gs}=10000 pF, Duty=30%).

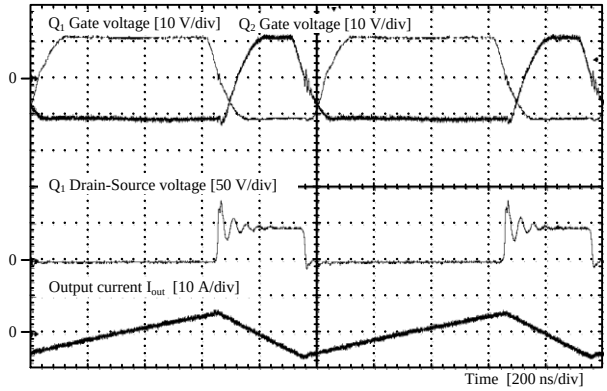


Fig. 16. Operation waveforms (C_{gs}=10000 pF, Duty=70%).

定する場合，駆動回路の許容可能な最大電流値を大きくし，ゲート容量の電荷を急峻に充放電する必要がある。

図 15，図 16 にゲート容量 10000 pF におけるデューティ比を変更した際の各動作波形を示す。図 15 および図 16 より，上アームのデューティ比 30%，70%におけるスイッチング動作を確認した。なお，この場合もゲート電流最大値の制約により可変できるデューティ比の範囲は制限される。

これらの結果から，ゲート容量の大きな MOSFET を用いた場合でも高周波動作かつデューティ比の変更が可能であることを確認した。

〈5･2〉　駆動電力評価　図 17 に電流形駆動回路の駆動電力測定結果を示す。また，比較のため，電圧形駆動回路における駆動電力の測定結果を図 17 に記載する。図 17 よりスイッチング周波数 100 kHz から 1 MHz の間において，駆動電力が低減できていることが分かる。特にゲート容量 5000 pF，10000 pF 駆動時，スイッチング周波数 1 MHz では電圧形と比較してそれぞれ 62%, 58%と駆動電力が低減できることを確認した。

〈5･3〉　スイッチング波形の測定　図 18，19 に各ゲート容量における上側アームのスイッチング波形を示す。なお，電流はドレイン電流ではなく，ドレイン電流とスナバ電流の和となるアーム電流 I_s である。ここでは，容量に応じてゲート電流最大値を調整し，高速スイッチングが実現できることを実証する。それぞれのドレイン・ソース間電圧の立ち下がり速度を見ると，3000 pF では 3.4 ns，10000 pF では 4.9 ns と非常に高い dv/dt を実現できた。これらの結果から，電流形駆動回路の適用により，ゲート容量が大きい MOSFET でも，低損失の駆動回路で高い dv/dt を実現できることを確認した。一方，提案回路は入力インダクタ充電時間の設定でもゲート電圧の最大値が増減するが，立ち上がりおよび立ち下がり時間を改善できる。そこで，初期充電時間 T_i を変化させた際のゲート電圧波形を比較する。この時，駆動回路のインダクタは同等の物を使用した。

図 20 に T_i=50 ns，200 ns とした際のゲート電圧波形を示す。なお，充電時間の増加に伴い，ゲート電圧も増加するため，200 ns 時は R_s 調整することでゲート電圧を 12 V としている。以上の結果から，入力インダクタ充電時間の設定により，立ち上がり，立ち下がり時間を調整可能であることを検証した。

〈5･4〉　ゲート電圧変動　通常高速にスイッチングすると，帰還容量を経路として駆動回路内に電流が流入し，ゲート電圧が変動する。最悪の場合ゲート電圧値の変動により誤点弧が発生し，主回路を破壊する。この場合，対策としてゲート容量を追加する方法が簡単である。しかし，従来の駆動方法で本対策を適用すると，駆動電力が増加する。

図 21 にスイッチング試験回路を示し，図 22 に各ゲート容量の違いによる動作波形および図 23 にスイッチング波形の拡大図を示す。図 22 より，(a)では誤点弧する恐れがある電圧変動が発生しているが，(b)の波形においては電圧変動が抑えられていることがわかる。加えて，図 23 の各スイッ

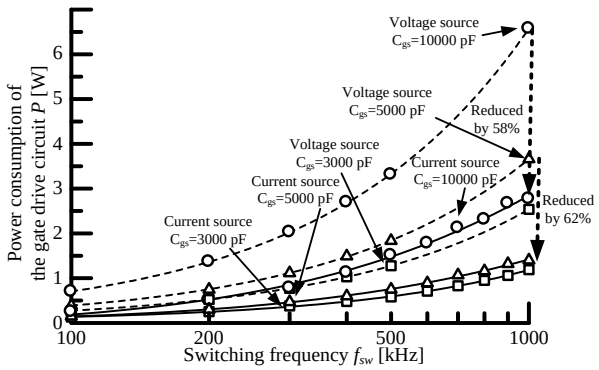


Fig. 17. Comparison of power consumption among gate drive circuits by experimental results.

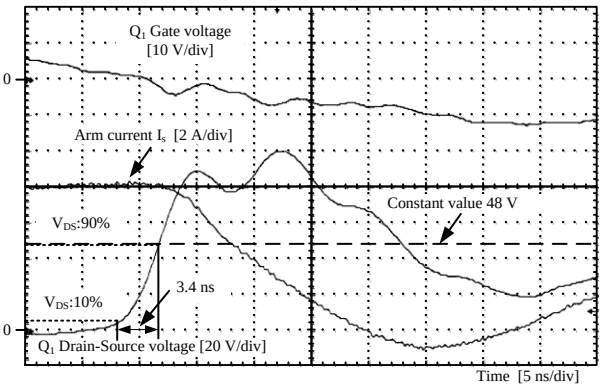


Fig. 18. Switching waveforms (C_{gs}=3000 pF).

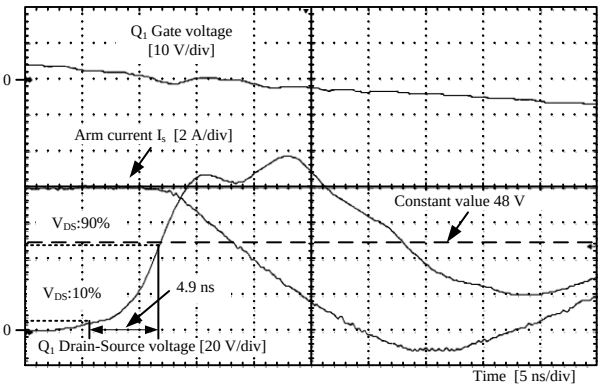


Fig. 19. Switching waveforms (C_{gs}=10000 pF).

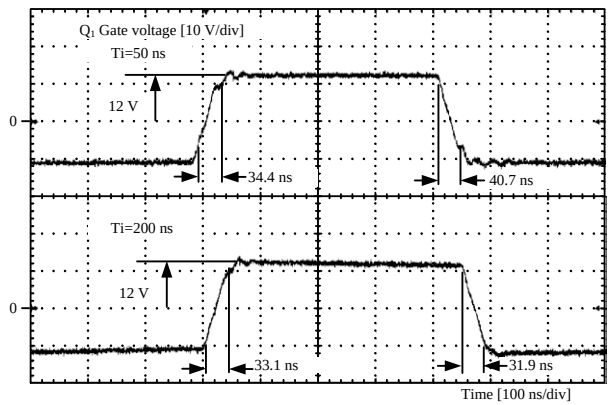


Fig. 20. Rise time and fall time of the gate voltage.

チング波形において，スイッチング時間の差が 0.1 ns であり，同等のスイッチング速度を実現出来ている。これらの結果より，提案する電流形ゲート駆動回路では，ゲート容量増加によるゲート電圧変動対策を行うと同時に，MOSFET の高速駆動が実現できることを確認した。

6. 結論

本論文では，半導体スイッチの更なる高速スイッチング化とゲート駆動回路の低損失化を目的として，高周波インバータを用いた電流形ゲート駆動回路の実機検証を行なった。電流形ゲート駆動回路を用いて高周波インバータの動作を確認し，最大スイッチング周波数 1 MHz において，大ゲート容量の上下アーム主回路の MOSFET をスイッチングすることが可能であることを確認した。また，駆動電力を測定した結果，従来の駆動回路と比較して，スイッチング周波数 1 MHz 時に最大 62%低減できることを確認した。さらに各ゲート容量におけるデューティ比変更動作を確認し，電力変換器のデューティ比が変更可能な高周波駆動が実現できることを確認した。本回路はスイッチング周波数が高くなるほど優位になるので，今後は 1 MHz を超えるスイッチング回路で効果を確認していく予定である。

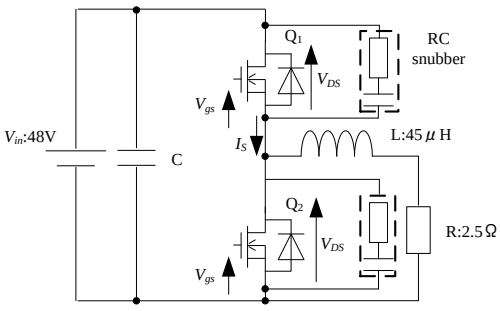
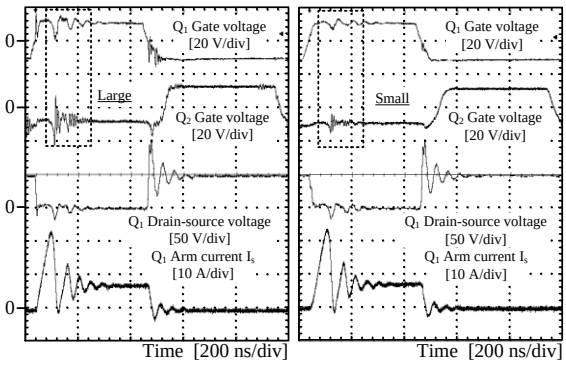
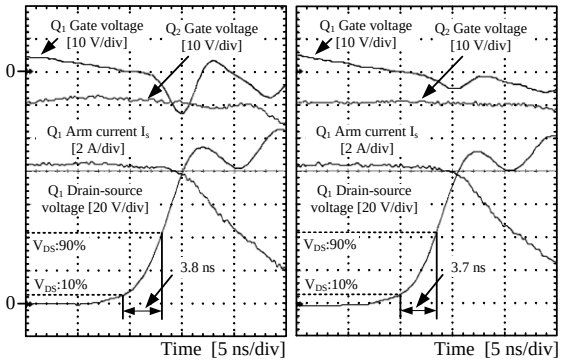


Fig. 21. Circuit diagram for switching test.



(a)C_{gs}=1100 pF (b)C_{gs}=5000 pF

Fig. 22. Experimental results of changing the gate voltage.



(a)C_{gs}=1100 pF (b)C_{gs}=5000 pF

Fig. 23. Waveforms of the switching operation.

文　　献

(1) 山岸達也，赤木泰文，木ノ内伸一，宮崎 裕二，小山正人：「SiC-MOSFET/SBD モジュールを用いた 750V，100kW，20kHz 双方向絶縁形 DC/DC コンバータ」，電学論 D, Vol. 134, No. 5, pp. 544-553 (2014)

(2) 菊間俊明，石川忠夫，高崎昌洋，餅川宏，葛巻淳彦，小谷和也，村尾武：「SiC デバイスを適用した柱上設置 STATCOM の回路方式比較」，電学論 D, Vol. 132, No. 9, pp. 865-874 (2012)

(3) R. Mitova, R. Ghosh, U. Mhaskar, D. Klikic, W. Miao-Xin, A. Dentella : "Investigations of 600-V GaN HEMT and GaN Diode for Power Converter Applications", IEEE Trans. On Power Electronics, Vol. 29, No. 5, pp. 2441-2452 (2014)

(4) S. Hazra, A. De, L. Cheng, J. Palmour, M. Schupbach, B. A. Hull, S. Allen : "High Switching Performance of 1700-V, 50-A SiC Power MOSFET Over Si IGBT/BiMOSFET for Advanced Power Conversion Applications", IEEE Trans. On Power Electronics, Vol. 31, No. 7, pp. 4742-4754 (2016)

(5) T. Kim, M. Jang, V. G. Agelidis : "1-MHz Isolated Bipolar Half-bridge GaN gate driver for SiC MOSFETs", 9th International Conference on Power Electronics - ECCE Asia (ICPE-ECCE Asia), No. TuB3-4, pp. 575-580 (2015)

(6) E. Gurpinar, A. Castellazzi : "Single-Phase T-Type Inverter Performance Benchmark Using Si IGBTs, SiC MOSFETs, and GaN HEMTs", IEEE Trans. On Power Electronics, Vol. 31, No. 10, pp. 7148-7160 (2016)

(7) Z. Liu, X. Huang, F. C. Lee, Q. Li : "Package Parasitic Inductance Extraction and Simulation Model Development for the High-Voltage Cascode GaN HEMT", IEEE Trans. On Power Electronics, Vol. 29, No. 4, pp. 1977-1985 (2014)

(8) X. Zhong, X. Wu : "An All-SiC High-Frequency Boost DC–DC Converter Operating at 320 °C Junction Temperature", IEEE Trans. On Power Electronics, Vol. 29, No. 10, pp. 5091-5096 (2014)

(9) J. Jordan, V. Esteve, E. Sanchis-Kilders, E.J. Dede, E. Maset, J.B. Ejea, A. Ferreres : "A Comparative Performance Study of a 1200 V Si and SiC MOSFET Intrinsic Diode on an Induction Heating Inverter", IEEE Trans. On Power Electronics, Vol. 29, No. 5, pp. 2550-2562 (2014)

(10) 渡邊健太，伊東淳一：「高周波パワーデバイスを用いた電力変換回路のゲート電圧変動に関する基礎検討」，産業応用部門大会, No. 1-153, pp. 677-680 (2011)

(11) 三島大地，西垣彰紘，梅上大勝，服部文也，山本真義：「半導体デバイスの誤点弧メカニズムに関する解析」，平成 26 年度電気学会電子・情報・システム部門大会, No. MC3-1, pp. 1257-1262 (2014)

(12) 舟木剛：「SiC パワーデバイスの高速・高周波スイッチングに向けた電力変換回路の課題-セルフターンオンの抑制-」，電気学会電子デバイス・半導体電力変換合同研究会, No. SPC-13-115, pp. 39-44 (2013)

(13) R. Khanna, A. Amrhein, W. Stanchina, G. Reed, Z. Mao : "An analytical model for evaluating the influence of device parasitics on Cdv/dt induced false turn-on in SiC MOSFETs", Applied Power Electronics Conference and Exposition (APEC), No. T11, pp. 518-525 (2013)

(14) J. Wang, H. Chung : "Impact of Parasitic Elements on the Spurious Triggering Pulse in Synchronous Buck Converter", Energy Conversion Congress and Exposition, No. 16, pp. 480-487 (2013)

(15) 石垣将紀，藤田英明：「低損失・高周波動作が可能な MOSFET 用共振形ゲートドライブ回路」，電学論 D, Vol. 127, No. 10, pp. 1090-1096 (2007)

(16) 石垣将紀，藤田英明：「制御信号と電力供給を光絶縁した高速・高耐圧パワーデバイス用共振形ドライブ回路」，電学論 D, Vol. 129, No. 3, pp. 303-310 (2009)

(17) 野口季彦，矢島哲志，小松宏禎：「次世代超高速スイッチング素子ゲート駆動回路の開発」，電学論 D, Vol. 129, No. 1, pp. 46-52 (2009)

(18) 村田宗洋，野口季彦：「ゲートドライブ電源を利用した MOSFET スイッチングアシスト回路の設計法」，電力技術・電力系統技術・半導体電力変換合同研究会, No. SPC-14-77, pp. 79-84 (2014)
(19) Z. Zhang, W. Eberle, Z. Yang, Y. Liu, P. C. Sen : “Optimal Design of Resonant Gate Driver for Buck Converter Based on a New Analytical Loss Model”, IEEE Trans. On Power Electronics, Vol. 23, No. 2, pp. 653-666 (2008)

付　　録

1.　オン抵抗 R_{DS} を考慮した動作解析　理論的な見通しをよくするため，本稿の設計ではゲート駆動回路の条件を理想状態として設計を行なった。しかし，実際には駆動素子にオン抵抗が存在し，無視できない。ここでは，オン抵抗 R_{DS} を考慮したときのゲート電圧および入力電流を求めると(付 1)，(付 2)となる。

$$i_L(t) = k_1 e^{-\frac{R_{DS}}{L}t}\sin\omega t + i(0)e^{-\frac{R_{DS}}{L}t}\left(\cos\omega t - k_2\sin\omega t\right) \quad \text{.....(付 1)}$$

$$v_{gs}(t) = \frac{1}{C_{gs}}\frac{e^{-\frac{R_{DS}}{L}t}}{(\frac{R_{DS}}{L})^2+\omega^2}\left[\left\{-(k_1 - i(0)k_2)\frac{R_{DS}}{L} + \omega i(0)\right\}\sin\omega t - \left\{\omega(k_1 - i(0)k_2) + i(0)\frac{R_{DS}}{L}\right\}\cos\omega t\right] + \frac{k_3}{C_{gs}} \quad \text{.....(付 2)}$$

ここで固有各周波数ω，インダクタの初期電流 $i(0)$，係数 k_1～k_3 は(付 3)～(付 7)式で与えられる。

$$\omega = \sqrt{\frac{1}{LC_{gs}} - \left(\frac{R_{DS}}{L}\right)^2} \quad \text{.....(付 3)}$$

$$i(0) = \frac{(V_{in} - 2V_F)}{2R_{DS}}(1 - e^{-\frac{2R_{DS}}{L}T_i}) \quad \text{.....(付 4)}$$

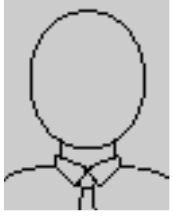
$$k_1 = \frac{V_{in} - 2V_F - v_{gs}(0)}{\omega L} \quad \text{.....(付 5)}$$

$$k_2 = \frac{R_{DS}}{\omega L} \quad \text{.....(付 6)}$$

$$k_3 = v_{gs}(0)C_{gs} + \frac{\omega(k_1 - i(0)k_2) + i(0)\frac{R_{DS}}{L}}{\left(\frac{R_{DS}}{L}\right)^2 + \omega^2} \quad \text{.....(付 7)}$$

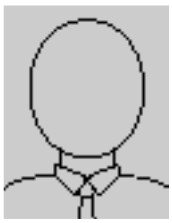
なお，V_F はダイオードの順方向電圧である。

提　橋　郁　人



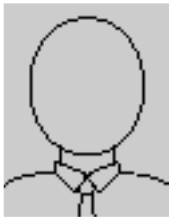
（学生員） 1990 年 5 月 30 日生。2013 年 3 月，長岡技術科学大学卒業。2015 年 3 月，同大学大学院工学研究科修士課程修了。同年 4 月，同大学博士後期課程エネルギー・環境工学専攻入学。現在に至る。主に高周波電力変換回路，ゲート駆動技術に関する研究に従事。

伊　東　淳　一



（上級会員） 1972 年 1 月 6 日生。1996 年 3 月，長岡技術科学大学大学院工学研究科修士課程修了。同年 4 月，富士電機（株）入社。2004 年 4 月，長岡技術科学大学電気系准教授。2017 年 4 月，長岡技術科学大学電気系教授。現在に至る。主に電力変換回路，電動機制御の研究に従事。博士（工学）（長岡技術科学大学）。2007 年第 63 回電気学術振興賞進歩賞受賞。2010 年 Takahashi Isao Award (IPEC Sapporo)，第 58 回電気科学技術奨励賞，2012 年インテリジェントコスモス奨励賞，2014 年，2016 年電気学会産業応用部門論文賞，2017 年文部科学大臣表彰・科学技術賞(開発部門)，受賞。IEEE Senior member，自動車技術会会員。

折　川　幸　司



（正員）1985 年 4 月 12 日生まれ。2013 年 3 月長岡技術科学大学大学院工学研究科博士後期課程エネルギー・環境工学専攻修了。同年 4 月，長岡技術科学大学産学官連携研究員。2016 年 4 月北海道大学大学院情報科学研究科助教，現在に至る。主に電力変換回路に関する研究に従事。博士（工学）（長岡技術科学大学）。2016 年産業応用部門論文賞。