

大容量電力変換器の高効率化に向けた スイッチング素子並列数の最適化

西澤 是呂久* 木下 徹規 伊東 淳一 (長岡技術科学大学)

Optimization of switching device parallel connection number for high-efficiency large-capacity power converters

Koroku Nishizawa*, Tetsunori Kinoshita, Jun-ichi Itoh (Nagaoka University of Technology)

This paper proposes an optimization method of switching device parallel connection number for a high-efficiency and large-capacity power converters. The optimal parallel connection number can be determined with the consideration for not only the conduction loss but also the no-load loss due to a drain-source parasitic capacitance and device driving loss. Furthermore, this paper reveals a selection method of the switching device for the high-efficiency. Experimental results confirm that the optimal parallel connection number which leads the smallest device losses exists. Loss calculation results also confirm that the converter efficiency could be improved by configuring the converters with the small-current capacity devices in a large parallel connection number.

キーワード : SiC-MOSFET, 並列接続, 高効率
(SiC-MOSFET, Parallel connection, High-efficiency)

1. はじめに

近年、再生可能エネルギーを利用した発電システムが注目されている。系統へ発電した電力を供給するためには、パワーコンディショニングシステム(PCS)が用いられる。PCSは小型化の要求が強く、Siよりも物性に優れたワイドギャップ半導体、特にSiC-MOSFETを用いることで、パワーデバイスの低損失化・高周波化が進められている⁽¹⁾⁻⁽³⁾。SiC-MOSFETを小電力用途に適用する場合は1チップで充分であるが、大電力・大電流用途に適用する場合はチップを並列接続して電流容量を増加させる必要がある。

ただし、SiCパワーデバイスを並列駆動する場合、デバイス特性のばらつきや主回路配線の寄生成分のばらつきにより、並列接続素子間で電流やスイッチング損失のアンバランスが生じる⁽⁴⁾⁻⁽⁶⁾。この対策として、主回路構造の工夫により相間の寄生インダクタンスばらつきを低減する手法⁽⁷⁾や、デバイスに直列に調整インダクタンスや抵抗を挿入することで電流バランス化する手法⁽⁸⁾が提案されている。以上のように、SiC-MOSFETの多並列駆動については電流アンバランス抑制という大きな課題が存在するため、一般的にはパワーデバイスの並列接続数はシステムの定格電流容量をマージンも含めて満足する最小個数で決定されてきた。

それに対して、パワーデバイスの並列接続数を増やすことでトータルチップ面積を拡大、すなわちオン抵抗を減少させ、導通損失を低減できるということに着目し、大容量電

力変換器の高効率化を目的として積極的に素子並列接続数を増やす変換器設計法⁽⁹⁾が提案されている。この設計法は、素子並列接続数が増えたとしてもトータルのスイッチング損失は理想的には変わらないという仮定に基づいている。しかし、実際はパワーデバイスのドレイン-ソース間容量に起因する無負荷損失もスイッチング損失の他にターンオンハードスイッチングする度に発生する⁽¹⁰⁾。また、素子並列接続数に比例して、ドライブ回路において生じるドライブ損失も増加する。そのため、素子並列接続数と変換器効率の関係調べるためには無負荷損失・ドライブ損失も考慮する必要がある。

本稿では、SiC-MOSFETにおける導通損失、スイッチング損失、無負荷損失および駆動に伴うドライブ損失と並列接続数の関係、および冷却フィン性能と並列接続数の関係を明らかにする。また、変換器の高効率化に適したスイッチング素子を選定するため、種々のドレイン電流容量を持ったSiC-MOSFETを用いて、低圧連系用太陽光発電システムの限界である50kW容量の三相系統連系インバータを例に損失計算を行う。データシート記載のSiC-MOSFETパラメータに基づいた損失計算により、小さなドレイン電流容量SiC-MOSFETを多並列接続した構成が変換器の高効率化に適することを明らかにし、かつ、SiC-MOSFETを並列接続した三相インバータの実機検証により、上記の損失が最小となる素子並列接続数が存在することを確認したので報告する。

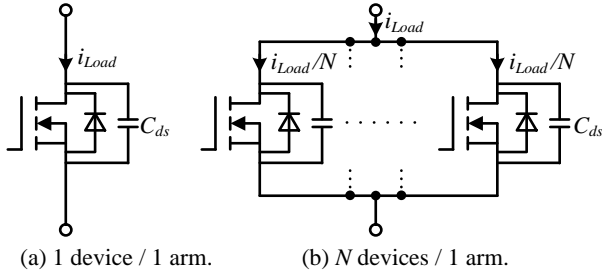


Fig. 1. Arm configuration examples.

2. スイッチング素子 (SiC-MOSFET) で生じる損失と素子並列接続数の関係

半導体素子に発生する損失は、電流の 2 乗に比例する導通損失 P_{cond} 、電流に比例するスイッチング損失 P_{sw} 、電流に依存しない無負荷損失 P_{Cds} の和として、下式のように計算できる。次節より、SiC-MOSFET が並列接続された場合の各損失の計算方法について説明する。

$$P_{loss} = P_{cond} + P_{sw} + P_{Cds} \dots\dots\dots (1)$$

〈2・1〉 導通損失 図 1 に三相インバータのアーム構成例を示す。図 1(a)は単一の SiC-MOSFET でアームを構成した場合であり、図 1(b)は N 個の SiC-MOSFET を並列接続してアームを構成した場合である。ここで、主回路寄生成分のばらつきが無い理想状態を想定し、負荷電流 i_{Load} は均等に並列接続された SiC-MOSFET に分流すると仮定する。また、SiC-MOSFET のオン抵抗は十分小さく、ボディダイオードの順方向電圧降下 V_f は SiC のバンドギャップが広いことに起因して高いため、正負両方の電流がボディダイオードではなくスイッチ側に流れると仮定する。また、デッドタイムは十分短いと、デッドタイム中に発生するボディダイオードの導通損失を無視する。この時の片方アームの導通損失は、スイッチに流れる電流実効値 $I_{sw,rms}$ 、SiC-MOSFET のオン抵抗 r_{on} から、下式のように計算できる。

$$I_{sw,rms} = \frac{1}{N} \cdot \frac{I_m}{\sqrt{2}} \dots\dots\dots (2)$$

$$P_{cond} = N \times \frac{1}{2} \cdot r_{on} I_{sw,rms}^2 \dots\dots\dots (3)$$

$$= \frac{r_{on} I_m^2}{4N}$$

ここで、 I_m は負荷電流最大値である。(3)式の通り、各アームにおける導通損失は素子並列数 N に反比例して小さくなる。

〈2・2〉 スイッチング損失 図 2 に SiC-MOSFET(SCT3080KL, Rohm)のスイッチング損失のドレイン電流依存性を示す⁽¹⁾。スイッチング損失は、ターンオン損失、ターンオフ損失およびボディダイオードのリカバリ損失の総和である。SiC-MOSFET のボディダイオードは PN ダイオードでありながら少数キャリア寿命が短いことに起因し、高速リカバリ性能を有する。そのため、リカバリ損失は十分小さいと仮定し、本稿ではターンオン損失およびターンオフ損失のみを考慮する。各アームのスイッチング損失は、素子に印加される電圧 V_{dc} (2 レベルインバータの場合、

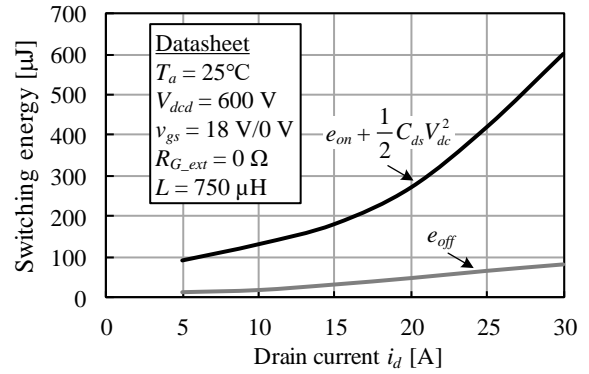


Fig. 2. Switching energies of SCT3080KL, Rohm versus drain current.

直流中間電圧)とスイッチに流れる瞬時電流 i_{sw} より、下式のように計算できる。

$$i_{sw} = \frac{I_m}{N} \sin(\theta + \varphi) \dots\dots\dots (4)$$

$$P_{sw} = N \times \left\{ \frac{V_{dc}}{V_{dcd} I_{md}} (e_{on} + e_{off}) f_{sw} \right\} \cdot \frac{1}{2\pi} \int_0^{2\pi} |i_{sw}| d\theta \dots\dots\dots (5)$$

$$= \left\{ \frac{V_{dc} I_m}{V_{dcd} I_{md}} (e_{on} + e_{off}) f_{sw} \right\} \cdot \frac{1}{2\pi} \int_0^{2\pi} |\sin(\theta + \varphi)| d\theta$$

ここで、 θ は位相角、 φ は基本波負荷力率角、 e_{on} および e_{off} はスイッチング 1 回のターンオン損失量およびターンオフ損失量、 V_{dcd} および I_{md} は $e_{on} \cdot e_{off}$ 測定時の電圧および電流、 f_{sw} はスイッチング周波数である。ターンオン損失およびターンオフ損失がドレイン電流にほぼ比例すると仮定した場合、(5)式の通り、各アームのスイッチング損失は素子並列数 N に関わらず動作点によって一意に定まる。

〈2・3〉 無負荷損失 無負荷損失は、半導体素子のドレインソース間容量に起因する。ターンオフ後に SiC-MOSFET のドレインソース間に電圧が印加されたとき、ドレインソース間容量 C_{ds} に電荷が充電される。その後 SiC-MOSFET がターンオンハードスイッチングするとき、 C_{ds} に蓄積された電荷がオン抵抗において損失として消費される⁽¹⁰⁾。そのため、無負荷損失量は図 2 における黒線として、ターンオン損失量と共に観測される。ドレインソース間容量 C_{ds} に起因する無負荷損失は下式のように計算できる。

$$P_{Cds} = N \times \frac{1}{2} C_{ds} V_{dc}^2 f_{sw} \dots\dots\dots (6)$$

ここで、 C_{ds} は出力容量 C_{oss} から帰還容量 C_{rss} を差し引いた値としてデータシートより求められる。(6)式の通り、無負荷損失は素子並列数 N に比例して大きくなる。

〈2・4〉 ドライブ損失 SiC-MOSFET を駆動する際、(1)式に示した半導体素子で発生する損失の他に、ゲートドライブ回路においても下式に示すドライブ損失が発生する。

$$P_{drive} = N \times Q_g V_{gs} f_{sw} \dots\dots\dots (7)$$

ここで、 Q_g はトータルゲートチャージ電荷、 V_{gs} はゲートソース電圧を示す。ドライブ損失も無負荷損失と同様に素子並列数 N に比例して増加する。

3. 冷却フィンに求められる熱抵抗と素子並列接続数の関係

図3にアームを1つのSiC-MOSFETで構成して冷却フィンに取り付けた場合と、並列接続して冷却フィンに取り付けた場合の熱抵抗 R_{th} による等価モデルを示す。それぞれの場合において、冷却フィンに求められる熱抵抗を計算する。また、ここではケースフィン熱抵抗 $R_{th(c-f)}$ は無視する。図3(a)に示した1つの素子を用いた場合、ジャンクション温度と半導体損失の関係は下式で求められる。

$$T_j = (P_{cond.1} + P_{sw.1} + P_{Cds.1}) \cdot (R_{th(j-c)} + R_{th(f-a)}) + T_a \quad \dots\dots (8)$$

ここで、 $P_{cond.1}$ 、 $P_{sw.1}$ および $P_{Cds.1}$ は1つの素子のみでアームを構成した時の導通損失、スイッチング損失および無負荷損失を意味する。 T_j がジャンクション温度最大値 T_{jmax} を超過しないような冷却フィンの熱抵抗は、下式で計算できる。

$$R_{th(f-a).1.req} \leq \frac{T_{jmax} - T_a}{P_{cond.1} + P_{sw.1} + P_{Cds.1}} - R_{th(j-c)} \quad \dots\dots (9)$$

図3(b)に示した N 個の素子を並列接続した場合に冷却フィンに求められる熱抵抗も同様に下式で計算できる。

$$R_{th(f-a).N.req} \leq \frac{T_{jmax} - T_a}{\frac{P_{cond.1}}{N} + P_{sw.1} + N \cdot P_{Cds.1}} - \frac{R_{th(j-c)}}{N} \quad \dots\dots (10)$$

(9)式および(10)式より、並列接続数を増やすことで導通損失と無負荷損失の和を減少できる場合、並列接続数を増やした方が冷却フィンの熱抵抗は高くても良いことがわかる。また、(10)式では素子並列接続数が多くなるにつれて、第一項が支配的となる。冷却器は最大損失点である最大出力において設計される。従って、一般的には設計点においては導通損失が全損失の中で支配的となる。すなわち、(10)式に示した冷却フィンに求められる熱抵抗は N におよそ比例すると考えることができる。つまり、素子並列接続数を増やすことで冷却フィンを小型化できる。

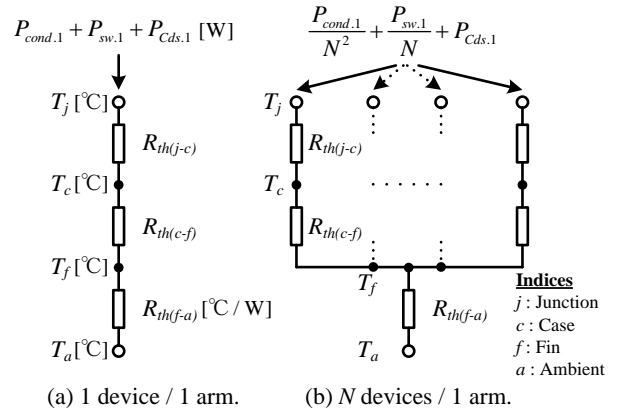


Fig. 3. Heat equivalent circuit of each arm with thermal resistance.

Table I. Specification list of 50 kW three-phase grid-tied inverter.

Rated output power	P_n	50 kW
DC-link voltage	V_{dc}	400 V
Line to line voltage	v_{ac}	200 V_{rms}
Power factor	$\cos \varphi$	0.96
Rated grid current	i_{gn}	150 A_{rms}
Switching frequency	f_{sw}	20 kHz

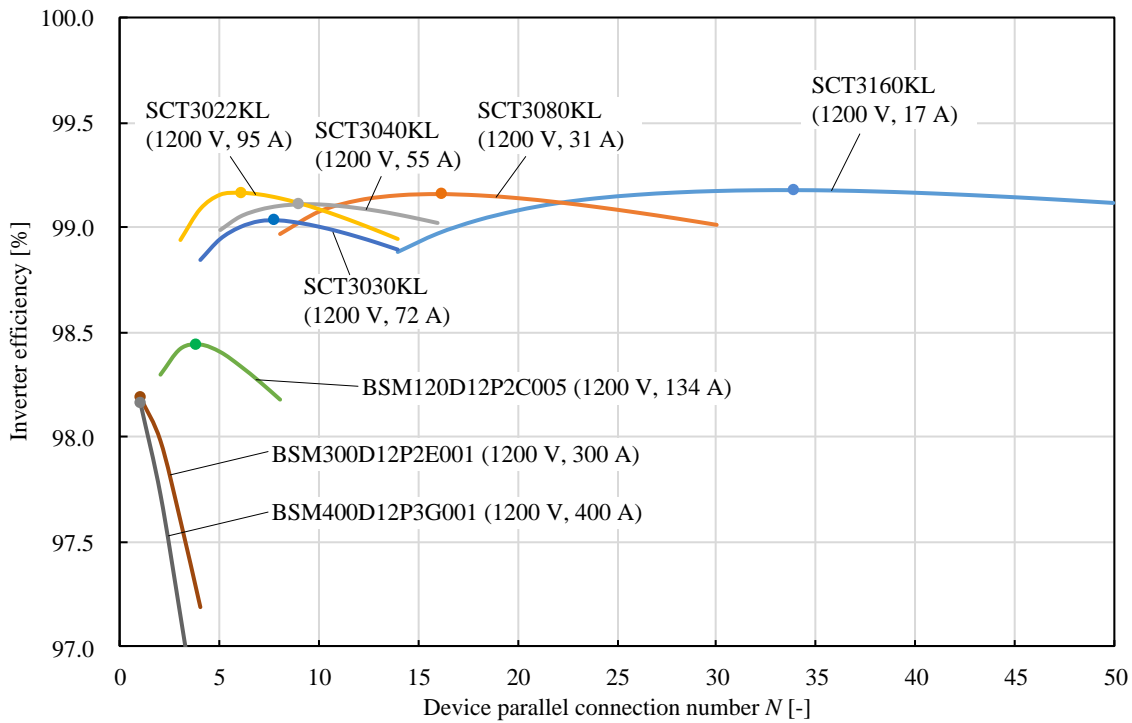
4. 高効率化に適したスイッチング素子の選定

本章では表1に示す仕様を持つ低圧連系用太陽光発電システムの限界である50kW容量の三相系統連系インバータを例とし、PLECS回路シミュレータを用いた損失解析および損失計算により半定格の25kW出力時のインバータ効率を異なる電流量のSiC-MOSFET毎に計算した。

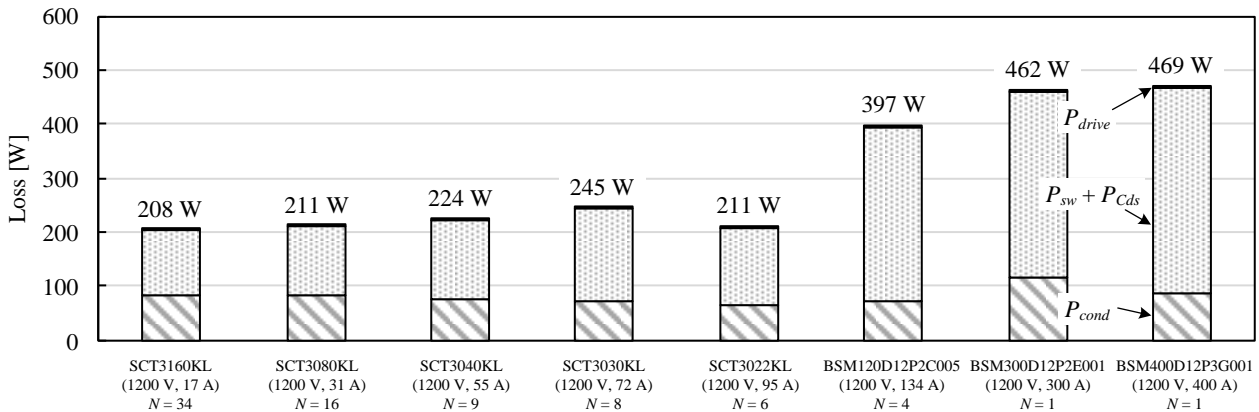
表2にRohmからリリースされているドレイン電流量が17Aから400Aまでの1200V耐圧SiC-MOSFETの変換器損失に関わる素子性能を示す。 N_{min} は50kW三相インバータの定格電流に対して各アームの電流量に1.5倍の余裕を持たせるために必要な最小の素子並列接続数である。

Table II. Parameters list of 1200 V-class SiC-MOSFET.

SiC-MOSFET	V_{DSS} [V]	I_D [A]	$N_{min}(P_n = 50 \text{ kW})$ [-]	$R_{DS(on)}$ [mΩ]	$P_{sw}(P_{out} = 25 \text{ kW})/f_{sw}$ [mJ]	$C_{ds}(V_{ds} = 400 \text{ V})$ [pF]	$Q_g(V_{gs} = 18 \text{ V})$ [nC]
SCT3160KL	1200	17	14	160	2.10	23	42
SCT3080KL	1200	31	8	80	2.46	50	60
SCT3040KL	1200	55	5	40	3.87	60	102
SCT3030KL	1200	72	4	30	5.36	90	131
SCT3022KL	1200	95	3	22	4.94	119	178
BSM120D12P2C005	1200	134	2	17	11.9	660	560
BSM300D12P2E001	1200	300	1	7	11.4	2220	1500
BSM400D12P3G001	1200	400	1	5	10.8	2620	1800



(a) Efficiency versus parallel connection number.



(b) Loss distribution at the maximum efficiency point.

Fig. 4. Loss analysis results of 50 kW three-phase VSI with several SiC-MOSFETs at operating point of 25 kW (0.5 p.u.).

$R_{DS(on)}$ はSiC-MOSFETのオン抵抗であり、導通損失 P_{cond} に関わるパラメータである。素子単位のオン抵抗は素子自体の電流容量に反比例して小さくなる傾向がある。ただし、変換器の導通損失に実際に関わるのは、並列接続数も考慮したインバータのアーム単位でのオン抵抗 $R_{DS(on)}/N$ である。 $P_{sw}(P_{out}=25kW)/f_{sw}$ は、データシートのスイッチング損失データに基づいてPLECS損失解析により求めた、素子並列接続数 N_{min} の三相インバータの25 kW出力時のスイッチング損失量である。電流容量の小さいSiC-MOSFETほどスイッチング損失量は小さくなる傾向がある。(5)式より、スイッチング損失は素子並列接続数が変化したとしても原理的には変わらないため、スイッチング損失の低減には小電流容量素子の多並列接続が有利であることがわかる。 $C_{ds}(V_{ds}=400V)$ は、

SiC-MOSFETドレインソース間に直流中間電圧400 Vが印加されたときのドレインソース間容量 C_{ds} であり、無負荷損失に関わるパラメータである。最後に $Q_g(V_{gs}=18V)$ は、ゲートソース間電圧が18 Vの時のトータルゲートチャージ電荷であり、ドライブ損失に関わるパラメータである。 C_{ds} と Q_g は共に、素子電流容量が大きくなるほどその値も大きくなる傾向がある。すなわち、大電流容量素子ほど並列接続数を増やした時の無負荷損失・ドライブ損失の増加量が大きくなる。

図4に表2に示した各SiC-MOSFETを並列接続数を変えながら三相インバータに適用した場合のシステム半定格25 kW出力時の変換器効率および最大効率点における損失内訳を示す。ここでの変換器効率は、導通損失 P_{cond} 、スイッ

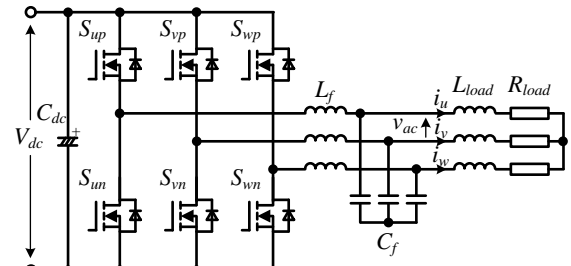
チング損失 P_{sw} , 無負荷損失 P_{Cds} およびドライブ損失 P_{drive} を考慮して計算している。図 4(a)より, ドレイン電流容量が 134 A 以下の SiC-MOSFET については, 素子並列接続数を N_{min} から増加させることで効率が上昇し, ある並列接続数を超えると効率が減少している。それに対して, 電流容量が 134 A より大きな素子については素子並列接続数を増加させても効率は上昇しない。これは, 表 2 に示す通り大電流容量素子ほど無負荷損失・ドライブ損失が大きいことに起因し, 並列接続数を増やした時の導通損失の減少量より無負荷損失・ドライブ損失の増加量が大きいためである。次に, 各 SiC-MOSFET 適用時の最高効率に着目すると, ドレイン電流容量が小さいほど最高効率が高くなる傾向があり, 検討している SiC-MOSFET の中で最もドレイン電流容量が小さな SCT3160KL を 34 個並列接続したときに最も効率を高められる。図 4(b)に示した損失内訳より, 最高効率点において導通損失は各 SiC-MOSFET のドレイン電流容量に関わらず 100 W 前後でほぼ同等である。これは, 小電流容量 SiC-MOSFET の欠点である高いオン抵抗は, 並列接続数を増やし等価的にチップ面積を増やすことで, 大電流容量の SiC-MOSFET の小さいオン抵抗と同程度まで小さくできることを意味する。また, ドライブ損失に関してもドレイン電流容量に関わらず 3 W 前後でほぼ同等である。これは, 小電流容量の SiC-MOSFET を多並列接続で駆動したとしても, デバイス一個あたりを駆動するためのゲートチャージ電荷量が小さいため, 大電流容量 SiC-MOSFET の少並列駆動に必要な電荷量とほぼ変わらないことを意味する。そのため, より高速スイッチングさせやすい小電流容量の SiC-MOSFET を積極的に多並列接続駆動することで, 大電流容量 SiC-MOSFET と比較してスイッチング損失を減らすことができ, より変換器の高効率化を図ることができる。

5. 高効率化に適した素子並列接続数の実験的検証

図 5 に LC フィルタおよび RL 負荷が接続された三相 2 レベルインバータ試験回路を示す。また, 表 3 に実験条件を示す。SiC-MOSFET の並列接続数を 1, 2, 4 と, スwitching 周波数を 10 kHz, 20 kHz とそれぞれ変更した時のインバータ効率を YOKOGAWA, WT1800 パワーアナライザを用いて測定した。また, 試験回路は変調率 0.86, 周波数 50 Hz の正弦波指令値を用いた三角波比較 PWM により駆動している。

図 6 に各アームを 4 並列接続した SiC-MOSFET で構成し, 20 kHz の switching 周波数で駆動した時の三相インバータ動作波形を示す。素子並列数および switching 周波数を変えても同様の波形を観測した。

図 7 に素子並列接続数を変えた場合のインバータ損失および効率の変化を示す。図 7(a)に示した switching 周波数 10 kHz の場合, まず導通損失 P_{cond} に着目すると並列接続数を増やすことでオン抵抗が小さくなるため並列接続数に反比例して減少する。それに対して, スwitching 損失 P_{sw} と無負荷損失 P_{Cds} の和に関しては, 並列接続数を増やすこと



SiC-MOSFET: SCT3080KL (Rohm)

Fig. 5. Three-phase two-level inverter with LC filter.

Table III. Experimental conditions.

Rated output power	P_n	2 kW
DC-link voltage	V_{dc}	400 V
Line to line voltage	v_{ac}	$200 V_{rms}$
DC-link Capacitor	C_{dc}	680 μF
Filter inductor (%Z)	L_f	3 mH (3.1%)
Filter capacitor (%Y)	C_f	2.2 μF (1.4%)
Power factor	$\cos \varphi$	0.96
Parallel connection number	N	1, 2, 4
Switching frequency	f_{sw}	10, 20 kHz
Dead-time	t_d	0.5 μs

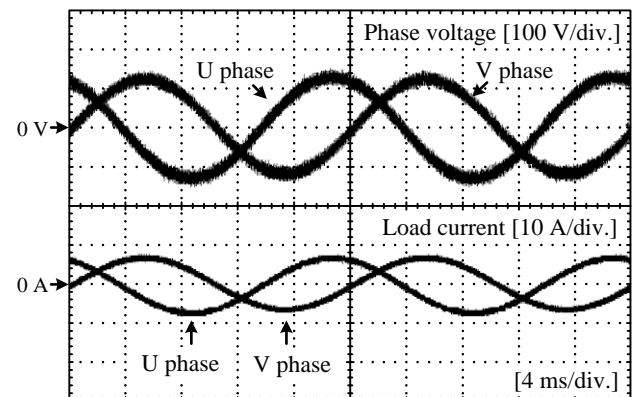


Fig. 6. Operating waveforms at $N=4, f_{sw}=20$ kHz.

でスイッチング損失は不変だが無負荷損失の発生箇所が増えるため増加する。特に素子並列接続数が 2 と 4 の場合で比較すると, 導通損失の減少する割合と無負荷損失が増加する割合がほぼ等しいため, トータル損失および効率は同程度となる。一方で, 図 7(b)に示した switching 周波数 20 kHz の場合, 導通損失に関しては, デッドタイム誤差の影響で負荷電流が減少したため 10 kHz 時と比べてわずかに小さい値ではあるが, 素子並列数に反比例して減少する。次に, 無負荷損失に関しては, 10 kHz 時と比較して素子並列数が増えた時の増加率が大きくなっている。その結果, 素子並列接続数が 2 と 4 の場合で比較すると, 素子並列数が 2 の時に最高変換器効率を達成した。これらの結果より, 変換器の高効率化のための最適な素子並列接続数は, 導通損失の

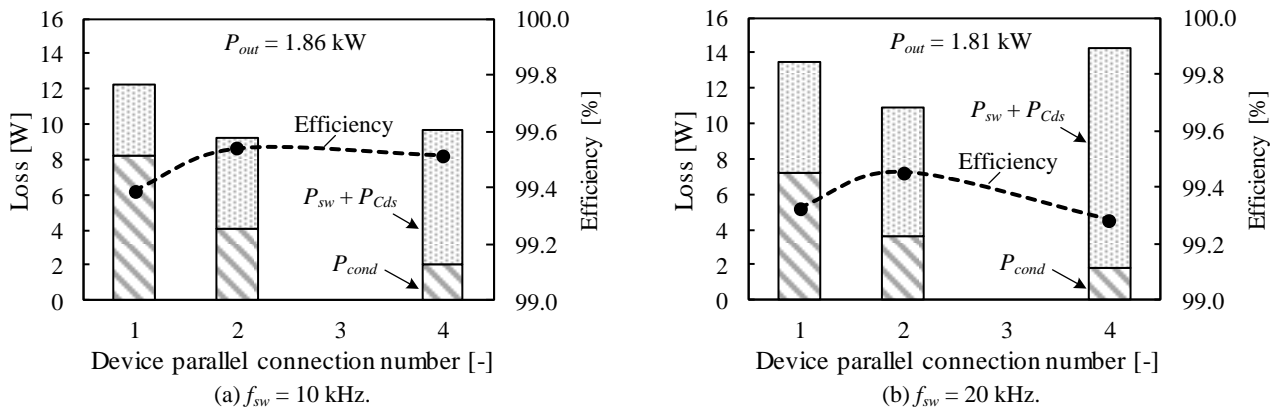


Fig. 7. Measured inverter losses and efficiency versus SiC-MOSFET parallel connection number.

減少のみならず無負荷損失の増加も考慮して決定すべきであるということがわかった。

また、本章に示した結果では2・4節にて挙げたスイッチング素子のドライブ損失を含んでいない。ドライブ損失は図4からわかる通り他の損失より十分小さくはあるが、無負荷損失と同様に素子並列数に比例して増加するため、実際はドライブ損失の増加も併せて考慮しながら最適な素子並列接続数を選定する必要がある。

5. まとめ

本論文では、大容量電力変換器の高効率化に向け、はじめにSiC-MOSFETにおける導通損失、スイッチング損失、無負荷損失およびドライブ損失と素子の並列接続数の関係を明らかにした。また、冷却フィンに要求される熱抵抗と並列接続数の関係も明らかにした。次に、50 kW 三相インバータを例に、異なるドレイン電流量のSiC-MOSFET毎に変換器効率および損失を算出した。それらの計算結果より、高速スイッチングさせやすい小電流量のSiC-MOSFETを積極的に多並列接続駆動した方が、大電流量のSiC-MOSFETを適用するよりスイッチング損失を低減でき高効率化を図ることができるということがわかった。最後に、2 kW 三相インバータを用いた実機実験においてSiC-MOSFETを並列接続数1, 2, 4と変化させて駆動し、効率評価および損失分離を行った。その結果、並列接続数を増やすと導通損失は低減できるが、ドレインソース間容量に起因する無負荷損失が増加するため、それらの損失の和が最小となる最適な並列接続数が存在することを明らかにした。実際は素子の並列接続数が増えると主回路配線パターンの複雑化・主回路寄生成分のばらつき・並列接続素子間の電流アンバランスなどに対して対策が必要となるが、本稿の解析結果により大容量電力変換器の高効率化を達成するための変換器構成の指針を明らかにできた。今後は、効率および変換器体積のパレート最適となる変換器構成法を検討する。

文 献

- (1) D. Barater, C. Concari, G. Buticchi, E. Gurpinar, D. De, and A. Castellazzi : "Performance Evaluation of a Three-Level ANPC Photovoltaic Grid-Connected Inverter With 650-V SiC Devices and Optimized PWM," *IEEE Trans. on Ind. Appl.*, Vol. 52, No. 3, pp. 2475-2485 (2016)
- (2) 梨子田典弘, 仲村秀世, 岩本進 : 「メガソーラー用パワーコンディショナ向け All-SiC モジュール」, 富士電機技報, Vol. 87, No. 4, pp.244-248 (2014)
- (3) 永井悟司, 伊東淳一 : 「小型連系インダクタを有する三相系統連系インバータの FRT 制御」, 電気学会半導体電力変換・モータドライブ合同研究会, SPC-18-137, MD-18-097 (2018)
- (4) 松原老樹, 和田圭二 : 「SiC-MOSFET モジュールの並列接続時における電流バランスに関する実験検証」, 電気学会産業応用部門大会, No. 1-88 (2017)
- (5) H. Li, S. Munk-Nielsen, X. Wang, R. Maheshwari, S. Bęczkowski, C. Uhrenfeldt, and W.-Toke Franke : "Influences of Device and Circuit Mismatches on Paralleling Silicon Carbide MOSFETs," *IEEE Trans. on Power Electron.*, Vol. 31, No. 1, pp. 621-634 (2016)
- (6) H. Li, W. Zhou, X. Wang, S. Munk-Nielsen, D. Li, Y. Wang, and X. Dai : "Influence of Paralleling Dies and Paralleling Half-Bridges on Transient Current Distribution in Multichip Power Modules," *IEEE Trans. on Power Electron.*, Vol. 33, No. 8 (2018)
- (7) 安東正登, 小暮浩史, 小川和俊, 河野恭彦, 石川勝美 : 「パワーモジュールの多並列駆動に向けた主回路構造の検討」, 電気学会産業応用部門大会, No. 1-84 (2017)
- (8) 松原老樹, 和田圭二 : 「スイッチングデバイス並列接続回路の寄生パラメータに着目した電流バランス」, 電気学会半導体電力変換・モータドライブ合同研究会, SPC-18-141, MD-18-101 (2018)
- (9) J. Colmenares, D. Pefitsis, J. Rabkowski, D.-Perle Sadik, G. Tolstoy, and H.-Peter Nee : "High-Efficiency 312-kVA Three-Phase Inverter Using Parallel Connection of Silicon Carbide MOSFET Power Modules," *IEEE Trans. on Ind. Appl.*, Vol. 51, No. 6, pp. 4664-4676 (2015)
- (10) 梶原有吾, 伊東淳一 : 「3 レベルインバータの無負荷の損失の解析」, 電学論 D, Vol. 134, No. 9, pp. 842-843 (2014)
- (11) SiC-MOSFET(SCT3080KL) データシート, ROHM Co., Ltd., <https://www.rohm.co.jp/datasheet/SCT3080KL/sct3080kl-e>