多重方形波インバータとアクティブフィルタを直列接続した マルチポートコンバータの動作検証

宮下 充* 比嘉 隼 伊東 淳一(長岡技術科学大学)野下 裕市(東京農工大学) 石橋 正基(東京都立産業技術高等専門学校)

Experimental Verification of Multi-port Converter with Square-wave-voltage Multilevel Converter and Active Power Filter Connected in Series

Mitsuru Miyashita^{*}, Hayato Higa, Jun-ichi Itoh (Nagaoka University of Technology) Yuichi Noge (Tokyo University of Agriculture and Technology), Masaki Ishibashi (Tokyo Metropolitan College of Industrial Technology)

This paper proposes a multi-port converter in order to reduce the power conversion loss and circuit volume. The proposed circuit consists of a multilevel converter, a series active filter, and an unfolder. In the proposed circuit, the number of inductors is reduced from four to two compared to conventional circuit. In addition, a voltage balance controller is proposed in order to keep the capacitor voltage. It is confirmed that a prototype circuit achieves the maximum efficiency of 99.3%. Furthermore, capacitor voltage is balanced in different initial voltage conditions.

キーワード:マルチポートコンバータ,直列アクティブフィルタ,コンデンサ電圧一定制御 (Multi-port converter, Series active power filter, Constant capacitor voltage control)

1. はじめに

近年,燃料電池を用いた一般家庭向けコージェネレーションシステムは高いエネルギー利用率を実現できるため⁽¹⁾, 普及が進んでいる。しかし,燃料電池は負荷変動に応じて高 速に発電電力を制御することが難しい。そのため,蓄電池や 電気二重層コンデンサなどの蓄電素子と組み合わせて負荷 変動を補償するシステムがある⁽²⁾。このようなシステムの回 路構成の一例として,昇圧チョッパとインバータを組み合 わせた回路が挙げられる⁽³⁾。しかしながら,燃料電池や蓄電 素子の数だけ電力変換器が必要であり,システムの大型化 が懸念される。特にインダクタは体積が大きいため,小型化 の観点からインダクタ数の削減が要求されている。

以上の背景から,多数の蓄電素子および燃料電池を接続 する電力変換器の小型化を目的にマルチポートコンバータ が多数研究されている⁽⁴⁾⁽⁷⁾。文献(5)では,入力2ポート間の 双方向動作,直流バスへの電力供給を1つの電力変換器で 達成している。しかしながら各ポートにインダクタが必要 となるため,回路が大型化する問題がある。文献(6)では,2 つの直流入力ポートを直列接続し,インダクタ1つで DC-DC 変換を達成している。しかしながら,多くのマルチポー トコンバータの回路方式は共通の DC バスを介して接続されるため, 直流入出力ポートごとに DC-DC 変換器が必要であり, 交流出力の場合, DC-AC 変換器を接続する。さらに単相交流のインターフェースでは, 直流部に大容量のコンデンサが必要となり, さらに回路体積が増加する。文献(7)は, 2 つの直流入力ポートと1 つの交流出力ポートで構成されている。しかしながら, 1 つの直流ポートは出力電圧の最大値以上の電源電圧を要求し, 電源電圧が低い場合, DC-DCコンバータが必要となるため, 回路体積が増加する。

本論文では、燃料電池と蓄電素子を接続する DC-AC 変換 器の小型化を目的に、直列多重方形波インバータとアクテ ィブフィルタを直列接続した回路を提案する。インダクタ はアクティブフィルタによる出力電流制御と出力部のフィ ルタの2つのみ使用し、回路体積を小さくできる。さらに、 電源電圧が低いアクティブフィルタのみ PWM 動作をする ため、スイッチング損失を大きく低減することができる。

本論文の構成は、初めに提案回路および従来回路の半導体素子の損失解析および冷却器と受動部品の体積からパワ 一密度を算出する。算出した損失とパワー密度から、提案回路は高効率かつ高パワー密度化を達成できることを確認した。次に、提案回路の動作を確認するために 1.0 kW の試作 機で実験を行った。実験結果より提案回路は正弦波電圧お よび電流を出力できること,2つのコンデンサ電圧一定制御 により,アクティブフィルタのコンデンサ電圧を一定に保 てることを確認したので報告する。

2. 提案回路構成とコンデンサ電圧一定制御

(2・1) 回路構成と回路動作 図1に提案回路を示す。 提案回路は、Cell A、B からなる直列多重方形波インバータ と Cell C、D からなるアクティブフィルタ、フルブリッジイ ンバータによる極性切り替え部から構成される。Cell A は燃 料電池を、Cell B はバッテリを接続することを想定してい る。Cell B はバッテリの充放電動作を実現するためにフルブ リッジ構成としている。Cell C と Cell D は電源をコンデン サで構成しているため、アクティブフィルタ動作を実現す るための追加電源は不要である。加えて、極性切り替え部の デッドタイム期間中におけるインダクタ L1の電流経路を確 保するために、極性切り替え部の DC リンク部にスナバ回路 を適用している⁽⁸⁾。

図2に提案回路の動作波形を示す。図2(a)は、CellAおよ び Cell B の出力電圧波形と極性切り替え部のインバータに 印加する全波整流波形,図2(b)はCell CおよびCell Dの出 力電圧である。まず, CellAと CellB は系統周波数に同期し て、0、*V*B、*V*A、*V*A+*V*Bの4レベル電圧波形を出力する。次 に、Cell C と Cell D は、全波整流波形となるように 4 レベ ル電圧波形の高調波成分を除去する。CellCは方形波出力で 高調波成分を低減し、残りの高調波成分は、Cell D が PWM 動作をすることによって除去する。最後に、極性切り替え部 によって全波整流電圧から正弦波電圧に変換する。提案回 路において、直流電圧が高い直列多重方形波インバータは 方形波駆動である。したがって、極性切り替え部は半周期に 1度のスイッチングとなるため、スイッチング周波数は低 い。そして、高調波成分を補償するために PWM 動作をする Cell D は, 直流電圧が低く, 低耐圧素子を適用できることか らスイッチング損失は小さい。そのため、変換器全体のスイ ッチング損失を大きく低減できる。また、インダクタは2つ で構成できるため、昇圧チョッパと系統連系インバータで 構成した回路よりもインダクタ数を削減でき、回路体積の 小型化が可能となる。

図3に出力電流制御ブロックを示す。Cell D はインダクタ 電流 L1 が全波整流波形となるように制御をする。Cell A,B, C の出力電圧は、出力電流制御の外乱となるため、PI 制御 器の出力から Cell A,B,C の出力電圧を減算する。したがっ て、アクティブフィルタの出力電圧は、全波整流電圧|Vgrid|と 直列多重方形波インバータ Cell A, B, C の差分電圧となる。

〈2・2〉 提案回路の電源電圧条件 提案回路において、各セルの電源電圧は次の条件を満たすように設計している。まず、CellA と CellB の電源電圧条件を(1)式に示す。

$V_{out_peak} \ge E_{\rm A} + E_{\rm B}$	(1)
$E_{\rm A} \approx 2 E_{\rm B}$	(1)

ここで、*Vout_peak*出力電圧の最大値、*E*Aは Cell A の電源電







Fig. 3. Block diagram of the output current control.

E, E_B は Cell B の電源電圧とする。(1)式に示すように, Cell A と B の合計電圧が系統電圧の最大値を上回る必要が ある。加えて, Cell A の電源電圧は Cell B の約 2 倍の電源 電圧となるように設計する。Cell A と Cell B の電源電圧が 同一の場合,出力電圧が 3 レベルとなり,アクティブフィ ルタが補償する高調波成分が大きくなる。一方,Cell A の 電源電圧が Cell B の 2 倍以上の場合,アクティブフィルタ が補償すべき電圧が大きくなる。次に,アクティブフィル タのコンデンサ電圧条件を(2)式に示す。

$$\frac{1}{2}(E_{\rm A} - E_{\rm B}) \le V_{\rm C3} + V_{\rm C4} \qquad (2)$$

ここで、 V_{C3} は Cell C のコンデンサ電圧、 V_{C4} は Cell D のコ ンデンサ電圧である。アクティブフィルタは Cell A と Cell B による高調波成分を補償できるだけのコンデンサ電圧を 維持する必要がある。

〈2・3〉 セル合計電圧の平均値制御 セル電圧の平均 値制御は、Cell C と Cell D のコンデンサ電流の平均値をゼ ロにすることで達成する。Cell C と Cell D の 2 つが出力す る領域は、図 2(b)に示す電圧波形であり、図 2(a)に示す直列 多重方形波インバータが V_B、V_A、V_A+V_Bを出力するしきい 値 V_{Bth}、V_{Ath}、(V_A+V_B)t と全波整流電圧の大小関係から決定さ れる。しきい値を高くすると、アクティブフィルタが放電す る領域が増加するため、コンデンサの電圧が低下する。一 方、しきい値を低くすると、アクティブフィルタのコンデン サが充電されるため、電圧は上昇する。そのため、直列多重 方形波インバータの出力しきい値を制御することで、コン デンサ電圧の平均値を制御できる。

図 4(a)にセル合計電圧制御の制御ブロック図を示す。PI制 御器を使用し、PI 制御器の出力 ic*を出力電流 Iout の最大値 で規格化し、アクティブフィルタが出力できる電圧 Vc3+Vc4 を乗じることで、出力しきい値の操作量 Vth*を決定する。操 作量 Vth*と直列多重方形波インバータの基準出力しきい値 VBstd, VAstd, (VA+VB)std を加算して、直列多重方形波インバー タの出力しきい値を決定する。

〈2・4〉 セル電圧のバランス制御 2 つのコンデンサの合計電圧は、図 4(a)のセル合計電圧制御器によって一定に保たれるが、それぞれのコンデンサ電圧を一定に保つためにバランス制御を導入する。

図 4(b)に各セルのコンデンサ電圧バランス制御器を示す。 バランス制御は、図 2(b)の Cell C の出力しきい値 Vcth を 2 つ のコンデンサ電圧がバランスするように制御する。まず、2 つのコンデンサ電圧の偏差を PI 制御器に入力する。PI 制御 器の出力である ics*を出力電流 Iout の最大値で規格化し、そ の割合に応じてしきい値 Vcth を変化させる。これにより Cell C のコンデンサ電圧を一定にできる。Cell D のコンデンサ電 Eは、Cell C と Cell D のコンデンサ合計電圧と、Cell C のコ ンデンサ電圧の 2 つより決定される。コンデンサ合計電圧 制御とバランス制御の 2 つより、Cell C と Cell D の電圧バ ランスを実現できる。

3. 提案回路および従来回路のパワー密度比較

(3·1) 半導体素子とインダクタによる損失 図5に示 す従来回路と図1に示した提案回路の回路損失および回路 体積を検討する。従来回路は、2台の昇圧チョッパと系統連 系インバータで構成される。表1に損失および回路体積の 解析条件を示す。燃料電池とバッテリの出力は提案回路と 同じ電力を出力する条件で損失解析を行う。

まず半導体損失は、導通損失とスイッチング損失から構成され、導通損失は、デバイスに流れる電流実効値 *Ims* とオ



(a) Cell C and Cell D capacitor voltage control.



(b) V_{C3} and V_{C4} balance control.

Fig. 4. Block diagrams of the capacitor balance

control.



Fig. 5. Conventional circuit.

Table 1. Loss and circuit volume analysis parameters

Rated power	r	1.0 kW	Fu	Fuel cell voltage 190	
Output volta	Output voltage		Fuel cell output power		730 W
Output current		5 A	Ba	Battery voltage 95	
Output frequ	iency	50 Hz	Ba	Battery output power 270 V	
Switching device	Proposed circuit	Cell A		600 V, 75 A, Si-MOSFET, R _{DS} =17 mS IPW65R019C7(Infineon)	
		Cell B	3 200 V, 88 A, Si-MOSFET, R _{DS} IPP110N20N3(Infineon)		R _{DS} =9.9 mΩ
		Cell C Cell D		60 V, 120 A, Si-MOSFET, R _{DS} =2.1 r IPI120N06S4-H1(Infineon)	
		Unfolder		600 V, 75 A, Si-MOSFET, R_{DS} =17 m Ω IPW65R019C7(Infineon)	
	Conventional circuit			600 V, 75 A, MOSFET, R _{DS} =17 mΩ IPW65R019C7(Infineon)	
	Switching loss IPB200N15N3G	Tum ON Tum OFF		0.97 µJ (at 34 V, 20 A)	
	(Infineon)			5.63 µJ (at 34 V, 20 A)	
Heatshink				CSPI 3.0	
Capacitor		Cell A		KXG series (Nippon chemi-con) 350 V,1 50 μF,1 0 parallel connection	
	Proposed circuit	Cell B		KXG series (Nippon chemi-con) 160 V,330 μF,6 parallel connection	
		Cell C		GXF series (Nippon chemi-con) 50 V, 2400 µF,3 parallel connection	
		Cell D		GXF series (Nippon chemi-con) 50 V, 2400 µF,2 parallel connection	
	Conventional	Chopper A	A KXG series (Nippon chemi-con) 400 V, 68 μF		-con)
	circuit	Chopper B		KXG series (Nippon chemi-con) 160 V, 68 μF	
Inductor	Ripple current		10 %		
	Window utilization factor			0.3	
muuctor	Flux density		0.3 T		
	Current density		3 A/mm ²		
	Cross-section area of the Winding			3.67 A/mm ²	
	Electric resistivity of the Winding			4.24 mΩ/m	

ン抵抗 Ronから(3)式で表される。

 $P_{con} = R_{on} I_{rms}^{2} \qquad (3)$

オン抵抗は実験に用いた半導体素子の25度における標準

値を用いた。また、スイッチング損失は(4)式で表される。

ここで, eon はターンオン, eoff はターンオフ1回あたりの スイッチング損失, Iave はデバイスに流れる平均電流, Vde は 直流リンク電圧, Vmon, Vmoff, Imon, Imoff は損失測定時の電圧 および電流, fsw はスイッチング周波数である。なお, スイッ チング損失は IPB200N15N3G(Infineon)をスイッチング試験 により実測した。その損失が電圧・電流に比例すると仮定し て損失解析を行った。なお,提案回路の Cell A, B, C は方 形波動作であり, スイッチング回数は系統周期に対して数 回から十数回となる。したがって, スイッチング損失は十分 低いため無視する。

インダクタによる損失は、銅損のみ考慮する。鉄損は電流 リプル率を 10%と小さく設計することで無視する。インダ クタの銅損は、インダクタンスより巻数を算出し、コアサイ ズは同一として、巻線の長さを算出した。また、表皮効果に よる交流成分の抵抗値を算出し、(5)式より銅損を算出した。

 $P_{L} = I_{rms}^{2} R_{wdc} + I_{ripple}^{2} R_{wac}$ (5)

ここで, *R*_{wdc} は直流成分の巻線抵抗, *R*_{wac} は表皮効果によ る交流成分の抵抗, *I*_{ripple} はリプル電流とする。

〈3・2〉 変換器の体積 冷却器の体積は、Cooling System Performance Index(以下 CSPI)を用いて算出する⁽⁹⁾⁽¹⁰⁾。 CSPI は単位体積あたりの熱抵抗の逆数であり、大きいほど 放熱能力が高い。自然空冷において CSPI は 3 程度である。 ここでは自然空冷を想定して、CSPI を 3 と仮定して冷却器 の体積を算出した。CSPI は(6)式より決定される。

ここで, *R*th(s-a)は冷却器と大気間の熱抵抗[℃/W], *Vol*H はヒ ートシンクの体積[dm³]である。CSPIと、半導体素子の損失 による発熱から冷却器に要求される熱抵抗を求めることに より、冷却器の体積を算出することができる。

インダクタの体積 Volcは, Area Product を用いて(7)式より 算出する⁽⁹⁾。また,インダクタンスは許容する電流リプル率 を一定として決定する。



ここで, Kvはコアの形状から決定される係数, Kuは窓の線 積率, Bmはコアの最大磁束密度, Jwは巻線の電流密度, WL はインダクタのエネルギーとなる。Kv, Ku, Bm, Jw は一定と し, インダクタのエネルギーにより体積が決定される。

コンデンサはリプル電流より選定した。シミュレーショ ンを用いてリプル電流の高調波解析を行い、メーカーにて 公表されている電流リプル係数を乗じてリプル電流を算出 した。そのリプル電流が規定に収まるコンデンサをメーカ ーの標準品から選定し、データシート上の寸法から体積を 算出した。



conventional circuit.

〈3・3〉 損失解析結果とパレートフロントカーブによる 変換器体積比較 図6にスイッチング周波数を10kHzから100kHzまで変化させた際の半導体素子の損失を示す。ス イッチング周波数が20kHz以上では提案回路のほうが半導体による損失が小さい。

図 7 に従来回路および提案回路の損失を分離した結果を 示す。図 7 の左側がスイッチング周波数を 10 kHz とした場 合,右側がスイッチング周波数を 100 kHz とした場合の損失 である。提案回路は,通過素子数が多いことから導通損が支 配的であるが,PWM 動作をするセルの電圧が低いことから スイッチング損失を低減できる。また,どちらもスイッチン グ周波数の上昇に伴って,インダクタの銅損が小さくなる。 これはスイッチング周波数の上昇によりインダクタンスを 小さくできることから,巻線が短くなるためである。スイッ チング周波数が 100 kHz のとき,従来回路に対して提案回路 は 72.2%損失を低減できる。

図 8 に縦軸を電力変換効率,横軸をパワー密度としたパレートフロントカーブを示す。パレートフロントカーブは, トレードオフ関係にある 2 つのパラメータの限界点を示す

Table 2. Experimental conditions.

Parameter		Symbol	Value	
Output power		Pout	1.0 kW	
Output voltage		Vout	200 V	
Output current		Iout	5.0 A	
Output frequency		f_{out}	50 Hz	
Cell A voltage		EA	190 V	
Cell B voltage		EB	95 V	
C3 capacitor voltage		V_{C3}^{*}	V _{C3} * 32 V	
C ₄ capacitor voltage		V_{C4}^{*}	V _{C4} [*] 32 V	
Cell C capacitor		C3	3300 µF (H=1.69 ms)*1	
Cell D capacitor		C_4	3300 μF (H=1.69 ms)*1	
Step down inductor		L_1	1.57 mH (%Z=1.2%)*2	
Snubber capacitor		C_{snb}	4.4 μF	
Snubber resistance		R _{snb}	47 kΩ	
PWM Carrier Frequency		f_{sw}	20 kHz	
PI1 (ACR)	Response	$f_{\rm PI1}$	2 kHz	
	Danping factor	ζpii	0.7	
	Proportional gain	K_{P1_pu}	2.07 p.u.*3	
	Integral time	T_{i1}	111 μs	
PI2 (AVR)	Response	f_{P12}	10 Hz	
	Danping factor	ζ _{P12}	0.7	
	Proportional gain	K_{P2_pu}	1.94 p.u. ^{*3}	
	Integral time	T_{i2}	22.2 ms	
PI3 (AVR)	Response	$f_{\rm PI3}$	10 Hz	
	Danping factor	ζ _{PI3}	0.7	
	Proportional gain	K _{P3_pu}	3.87 p.u.*3	
	Integral time	T _{i3}	22.2 ms	

1 H : unit capacitance $constant^{(12)}$ based on an output average current I_{out_ave} and a capacitor $voltage(V_{C3}^ \text{ or } V_{C4}^*)$.

*2 %L based on an output voltage $V_{\rm out},$ an output current $I_{\rm out},$ and an output frequency $f_{\rm out}.$

*3 Proportional gain based on an output voltage V_{out} , an output current I_{out} .

手法の一つである(10)。図8は、従来回路のスイッチング周 波数を10kHzから1MHzまで変化させた場合の効率とパワ 一密度を,提案回路は10 kHzから10 MHzまで変化させた 場合のパレートフロントカーブを示している。損失は半導 体およびインダクタの銅損、体積は冷却器とインダクタと コンデンサより算出している。一般的に、電流リプルを一定 とした場合、スイッチング周波数を高くするとインダクタ の小型化が可能となるが、スイッチング損失の増加により 冷却器の体積は増加する。従来回路は、10 kHz から 40 kHz にかけてインダクタの銅損が減ることで効率が向上する。 しかし, 40 kHz 以上は, パワー密度は上昇するものの, ス イッチング損失の増加により効率は低下する。提案回路は スイッチング周波数が2 MHz までは効率の変化は小さく, パワー密度は40kHz以上にすることで従来回路よりも高パ ワー密度にできる。以上より,提案回路は従来回路に対して 高効率かつ高パワー密度化を達成できることを確認した。

4. 実験結果

表2に実験条件を示す。1kW 試作機を用いて、回路動作 およびコンデンサ電圧制御の妥当性を確認する。実験では、 抵抗負荷を接続して提案回路の動作を確認した。また、Cell CとCellDのコンデンサは外部電源により初期充電を行い、 実験時に双方向スイッチを用いて外部電源を切り離してい る。コンデンサの初期電圧は、初期電圧変動実験以外は、コ ンデンサ電圧指令値 Vc3*,Vc4*の 32 V とした。

図 9 に提案回路にコンデンサ電圧制御を適用した場合の









動作波形を示す。Cell A と Cell B は 4 レベルの方形波電圧 を出力し, Cell C, D はその差分電圧を出力していることが 確認できる。さらに,極性切り替え部から正弦波電圧および 正弦波電流を出力している。このときの出力電圧全高調波 歪(THD)は, 1.08 %であった。

図10にコンデンサ電圧制御を適用した定常状態における 出力電圧および出力電流波形, Cell C と Cell D のコンデン サ電圧波形を示す。定常状態において、コンデンサ電圧にリ プル成分は含まれるが、2 つのコンデンサ電圧は指令値と一 致していることを確認した。

図 11 に回路動作開始時からの出力電圧,電流波形とコン デンサ電圧波形を示す。コンデンサ電圧は,220 ms で収束 していることが確認できる。加えて、コンデンサ電圧が過渡 状態にある場合でも、正弦波電圧および電流を出力してお り、出力には影響を与えていないことがわかる。

図12にコンデンサ初期電圧を指令値から10%変動させた 場合の系統出力電流およびコンデンサ電圧波形を示す。図 12(a)は、C3を10%高い電圧に、C4を10%低い電圧とし、図 12(b)は、C3を10%低い電圧に、C4を10%高い電圧とした。 コンデンサの初期電圧を変えても、各セルのコンデンサ電 圧はバランスし、一定に制御していることがわかる。また、 過渡状態においても正弦波電流の出力を確認した。

図 13 に 348 W から 1.0 kW までの電力変換効率特性を示 す。効率は 900 W 時に最大効率 99.3%となる。1.0 kW 時の 効率は 99.2%である。3 章で算出した提案回路の 20 kHz, 1.0 kW 時の効率は 99.6%であり, 誤差は 4.0 W である。誤差要 因しては、コンデンサの等価直列抵抗やスナバ回路による 損失があげられる。

5. まとめ

本論文では、直列多重方形波インバータとアクティブフ ィルタ、極性切り替え部を組み合わせた提案回路における 半導体素子の損失解析とパワー密度の算出、実機による動 作検証をした。半導体素子の損失解析および回路体積算出 より、提案回路は従来回路に比べて、高パワー密度にできる ことを明らかにした。最後に実機を用いて、提案回路は正弦 波電圧および電流出力を達成できること、900W時に最大効 率 99.3%を確認した。また、電圧バランス制御によって、コ ンデンサの初期電圧が異なってもコンデンサ電圧の一定制 御を達成した。今後の展開として、実機における損失解析お よび実機におけるスイッチング周波数を上昇させた場合の 効率を検討する。

文 献

- (1) 乾義尚,田中正志,平山智士,伊藤大輔:「ヒートポンプ給湯器併 用家庭用 SOFC CGS の省エネルギー性評価」,電学論 B, Vol.138, No.4, pp.255⁻264 (2018)
- (2) H. Tao, A. Kotsopoulos, J. L. Duarte, and M. A. Hendrix : "A Soft-Switched Three Port Bidirectional Converter for Fuel Cell and Supercapacitor Applications", Proc. of IEEE-PESC05, pp.2487-2493, Recife, Brazil (2005-6)
- (3) P. Garcia, L.M. Fernandez, C.A. Garcia, and F. Jurado : "Energy Management system of Fuel-Cell Battery Hybrid Tramway", IEEE Trans, Industrial Electronics, Vol.57, No.12, pp.133-139 (2010)
- (4) Amit Bhattacharjee, Nasser Kutkut, Issa Batarseh: "Review of Multi Port Converters for Solar and Energy Storage Integration", IEEE Transaction on Power Electronics, Vol.34, No.2, pp.1431-1445 (2019)
- (5) M. Jafari, Z. Malekjamshidi, J. Zhu: "Design, analysis and control of a magnetically-coupled multi-port multi-operation-mode residential micro-grid", 2017 20th International Conference on Electrical Machines and Systems (ICEMS),(2017)
- (6) Xiaofeng Sun, Yue Zhou, Wei Wang, Baocheng Wang, Zhe Zhang: "Alternative Source-Port Tolerant Series-Connected Double-Input DC-DC Converter", IEEE Transaction on Power Electronics, Vol.30, No.5, pp.2733-2742 (2015)





- (7) Hongfei Wu, Lei Zhu, Fan Yang, Tiantian Mu, Hongjuan Ge: "Dual-DC-Port Asymmetrical Multilevel Inverters With Reduced Conversion Stages and Enhanced Conversion Efficiency", IEEE Transaction on Industrial Electronics, Vol64, No.3, pp.2081-2091
- (8) 青柳和樹,日下佳祐,伊東淳一:「自動電圧バランス機能を有するマ ルチセルを用いた双方向単相中圧 Solid-State Transformer の実機 検証」、半導体電力変換/モータドライブ合同研究会、SPC-18-018,MD-18-018, pp. (2018)

(2017)

- (9) 樫原有吾, 伊東淳一:「パレートフロントカーブを用いた PV 用マル チレベルトポロジーの効率とパワー密度の性能比較」, 電学論 D, Vol. 134, No. 2, pp. 209-219 (2013)
- (10) J. W. Kolar, J Biela and J. Miniböck: [Exploring the Pareto Front of Multi - Objective Single-Phase PFC Rectifier Design Optimization -99.2% Efficiency vs. 7kW/dm3 Power Density], the 2009 IEEE International Power Electronics and Motion, Wuhan, China (2009)
- (11) 五十嵐浩明,赤木泰文:「瞬時電圧低下補償装置のシステム構成 と運転特性」,電学論 D, Vol.123, No.9, pp.1021-1028, (2003)