

電流不連続モードを適用したフライングキャパシタ型 DC-DC コンバータによるバッテリーマネジメントシステムの動作検証

宮下 充* 永井 悟司 日下 佳祐 伊東 淳一 (長岡技術科学大学)
中西 俊貴 小林 和博 (株式会社 三英社製作所)

Experimental Verification of Battery Management system with
Flying Capacitor Converter Operated in Discontinuous Current Mode
Mitsuru Miyashita*, Satoshi Nagai, Keisuke Kusaka, Jun-ichi Itoh (Nagaoka University of Technology)
Toshiki Nakanishi, Kazuhiro Kobayashi (San-Eisha, Ltd.)

This paper proposes a battery management system (BMS) based on a 3-level flying-capacitor converter (FCC) operated in discontinuous-current-mode (DCM). In BMS, reducing the volume of the boost inductor is required in the DC-DC converter. DCM method is applied in order to minimize the volume of the boost inductor. The validity of the duty determination method and the inductor design method are confirmed with a 750-W prototype. Moreover, it is confirmed that the prototype circuit achieves the each operation mode.

キーワード：マルチポートコンバータ，電流不連続モード，DC-DC コンバータ
(Multi-port converter, Discontinuous current mode, DC-DC converter)

1. はじめに

近年，太陽光発電(以下，PV)は，災害時においても発電が可能であることから，災害時における非常用電源として活用することが期待されている⁽¹⁾。しかしながら，PV は夜間および悪天候時に電力供給ができない問題がある。そのため，蓄電素子を用いて PV の発電電力を補償するバッテリーマネジメントシステム(BMS)が適用されている⁽²⁾。

図 1 に従来の BMS の回路構成を示す⁽³⁾。複数の DC-DC コンバータとインバータを組み合わせた従来回路では，PV および蓄電素子の数だけ DC-DC コンバータが必要となるためシステムの大型化が懸念される。特に DC-DC コンバータに適用されるインダクタが大型化する傾向にあるため，インダクタの小型化が要求されている。

そこで，複数の PV や蓄電素子を接続する電力変換器の小型化を目的にマルチポートコンバータが多数研究されている⁽⁴⁾⁽⁷⁾。文献(5)では，入力 2 ポート間の双方向動作，直流バスへの電力供給を 1 つの電力変換器で達成している。しかしながら各ポートにインダクタが必要となるため，回路体積が十分に削減できない。文献(6)では，2 つのインダクタで 3 ポート間の双方向動作を実現している。しかし，2 つのインダクタは電流連続モード(CCM)を前提としており，比較的大きなインダクタンスが要求されるため，インダクタの小型化が困難である。文献(7)では，2 つの直流入力ポートを直

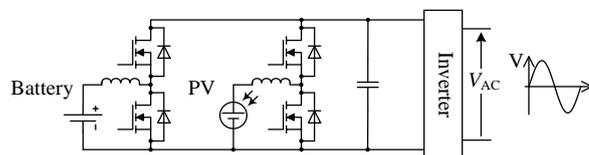


Fig. 1. Conventional circuit.

列接続し，インダクタ 1 つで DC-DC 変換を達成している。インダクタ数が削減できることから，DC-DC コンバータを小型化できる可能性がある。しかし，2 つの直流入力ポート間の電力変換ができない問題がある。そのため，PV から蓄電素子への充電動作が必要な BMS には適用できない。以上より，インダクタ数およびインダクタンスを低減することでインダクタ体積を削減しながら，直流入力ポート間での電力融通(発電素子から蓄電素子への電力伝送)および直流出力ポートへの電力変換が必要である。

本論文では，PV と蓄電素子を用いたマルチポートコンバータの小型化を目的に，フライングキャパシタコンバータ(FCC)⁽⁸⁾の回路構成を応用したマルチポートコンバータを提案する。提案回路は，FCC の入力部に蓄電素子を，フライングキャパシタ部に PV を接続する。これにより，蓄電素子と PV の電力変換に適用するインダクタを共通化することができ，回路体積の小型化ができる。また，インダクタ電流に電流不連続モード(DCM)⁽⁹⁾⁽¹⁰⁾を適用することによってインダ

クタンスを低減するだけでなく、タイムシェアリングで動作させることにより、PV から蓄電素子を介さず直流中間部へ出力するモードを実現する。これにより、インダクタの小型化が期待できる。

本論文の構成は、初めに回路構成および動作モードを説明する。次に、DCM を実現するデューティ比の導出およびインダクタンスの設計条件を示す。最後に 750 W 試作機を用いて提案回路の妥当性を確認する。実験結果より、インダクタ電流が DCM となり、各動作モードが実現できることを確認し、デューティ比およびインダクタンスの設計条件の妥当性を確認したので報告する。

2. 回路構成と動作モード

〈2.1〉 回路構成 図 2 に提案回路構成を示す。提案回路は、FCC を基本とした回路構成である。FCC の入力部に蓄電素子を、フライングキャパシタ部に PV を接続することを想定している。蓄電素子と PV の電力変換に用いるインダクタを共通化することができることから、小型化が期待できる。さらに、図 1 に示す 2 台の昇圧チョッパを直流中間部に並列に接続する従来回路構成と比較して、半導体スイッチの個数は増加しない。また、FCC は半導体スイッチを 4 つ直列に接続しているため、昇圧チョッパと比較して半導体スイッチひとつあたりの耐圧を半分にすることができる。加えて、インダクタの小型化を目的として、インダクタ電流に DCM を適用する。DCM を適用することでスイッチング時のインダクタ電流はゼロとなることから、ゼロ電流スイッチング(ZCS)を達成できる。

〈2.2〉 提案回路の動作モード 図 3 に提案回路の動作モードを示す。提案回路は、回路のパワーフローに応じて 4 つの動作モードがある。以下に各動作モードを示す。

Mode I (図 3(a)) Mode I は蓄電素子から直流中間部へ出力するモードであり、昇圧チョッパと同様の動作を行う。このモードにおいて、 S_1 および S_2 は、直流中間部からバッテリーに電流が流入することを防止するために、同期整流またはボディダイオードを利用する。

Mode II (図 3(b)) Mode II は蓄電素子と PV から直流中間部へ出力するモードであり、FCC のフライングキャパシタを放電する場合と同様の動作モードである。Mode II において、 S_1 は直流中間部からの電流の流入を防止するために同期整流またはボディダイオードを利用する。

Mode III (図 3(c)) Mode III は PV から蓄電素子を充電するモードである。このモードは降圧チョッパと同様の動作である。このモードにおいて、DCM を実現するために、 S_4 および S_3 は同期整流またはボディダイオードを利用する。

Mode IV (Mode II と Mode III の組み合わせ) PV のみから直流中間部へ出力するために、Mode II と Mode III を組み合わせた Mode IV を定義する。まず、Mode III によって PV から蓄電素子側に一時的にエネルギーを送る。次に Mode II を用いて蓄電素子側に一時的に伝送したエネルギーを直流中間部に伝送する。これにより、PV から直流中間部に電力

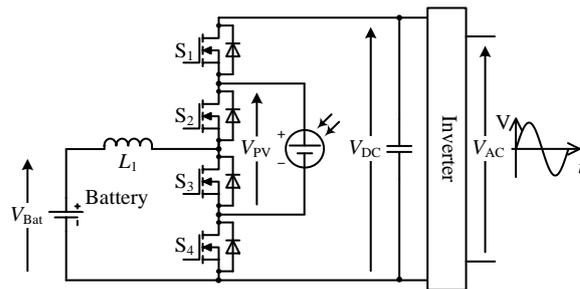


Fig. 2. Proposed circuit.

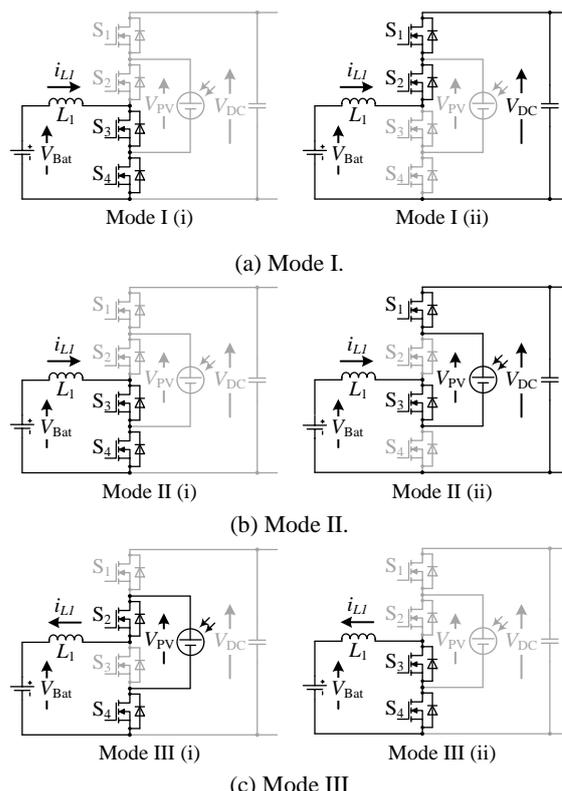


Fig. 3. Operation modes of proposed circuit.

Table 1. Switching pattern in each modes.

	S_1	S_2	S_3	S_4	Power flow
Mode I	OFF	OFF	Duty	Duty	Battery → DC link
Mode II	OFF	OFF	ON	Duty	PV+Battery → DC link
Mode III	OFF	Duty	OFF	ON	DC link → Battery
Mode IV	OFF	OFF	Duty	Duty	PV → DC link
	OFF	Duty	OFF	ON	

を送ることが可能となる。Mode IV において、エネルギーは蓄電素子に並列接続されたコンデンサを経由するため、蓄電素子を充放電することなく、直流中間部へ出力可能である。加えて、Mode III で PV から蓄電素子側に伝送する電力と Mode II で直流中間部へ出力する電力を制御することで、蓄電素子を充電しながら、PV にて発電した電力を直流中間部へ伝送することもできる。

表 1 に Mode I, II, III のスイッチングパターンを示す。なお、本論文では回路動作の基礎検証のため、同期整流を行わずボディダイオードを使用する。常時 ON の場合は ON、常

時 OFF またはボディダイオードを利用する場合は OFF、任意のデューティ比で ON する場合は Duty と表記している。また、スイッチングパターンからわかるように S_1 は常に OFF しているためダイオードに置き換えることが可能である。

3. 提案回路の制御法とインダクタンス設計

提案回路はインダクタ電流に DCM を適用する。本章では、任意のインダクタ平均電流となるデューティ比の決定方法および DCM を実現するインダクタンスの設計方法および制御ブロックを示す。

〈3・1〉 デューティ比の導出 図 4 に DCM を適用したインダクタ電流波形を示す。図 4 に示すように、提案回路のインダクタ電流はゼロ電流期間を持つデューティ比でスイッチングする必要がある。本節では、指令値であるインダクタの平均電流 i_{Lave} とインダクタのピーク電流 i_{pk} 、蓄電素子の電圧 V_{bat} 、PV の電圧 V_{PV} 、直流中間部の電圧 V_{DC} に着目してデューティ比を導出する。

〈3・1・1〉 Mode I のデューティ比 本項では、Mode I のデューティ比を導出する。Mode I において、インダクタにエネルギーを蓄積する期間 $D_{1_m1}T_{sw}$ は図 3(a) に示す Mode I (i) の状態、インダクタのエネルギーを放出する期間 $D_{2_m1}T_{sw}$ とゼロ電流期間である期間 $D_{3_m1}T_{sw}$ は Mode I (ii) の状態となる。ここで、任意のインダクタ平均電流 i_{Lave} を指令値として与えた場合の D_1 を算出する。まず、ファラデーの法則よりインダクタの電圧 v_L および電流 i_L の関係は(1)式となる。

$$v_L = L \frac{di_L}{dt} \dots\dots\dots (1)$$

ここで、 L はインダクタンス、 dt はインダクタに電流が流れる時間とする。Mode I (i) と Mode I (ii) それぞれの状態に(1)式を適用すると、(2)式で表すことができる。

$$\begin{cases} L \frac{di_L}{dt} = V_{bat} \\ L \frac{di_L}{dt} = V_{dc} - V_{bat} \end{cases} \dots\dots\dots (2)$$

(2)式よりインダクタのピーク電流 i_{pk} は(3)式のように表せる。

$$\begin{cases} i_{pk} = \frac{V_{bat}}{L} D_{1_m1} T_{sw} \\ i_{pk} = \frac{V_{dc} - V_{bat}}{L} D_{2_m1} T_{sw} \end{cases} \dots\dots\dots (3)$$

ここで、 T_{sw} は制御周期である。インダクタの平均電流 i_{Lave} は、インダクタに流れる電流を制御周期で平均することで求められる。インダクタに流れる電流は、図 4 に示すピーク電流と D_1 および D_2 から面積を求めることで導出できる。インダクタの平均電流を(4)式に示す。

$$\frac{1}{2} i_{pk} \times (D_1 + D_2) = i_{Lave} \dots\dots\dots (4)$$

(3)式で示したピーク電流とデューティ比の関係および(4)式で示したインダクタの平均電流より、Mode I におけるイン

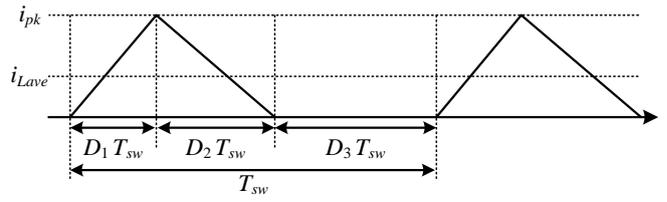


Fig. 4. Inductor current waveform with DCM.

ダクタにエネルギーを蓄積する期間のデューティ比 D_{1_m1} が導出できる。デューティ比 D_{1_m1} を(5)式に示す。

$$D_{1_m1} = \sqrt{\frac{2Li_{Lave}}{T_{sw}V_{bat}} \frac{V_{dc} - V_{bat}}{V_{dc}}} \dots\dots\dots (5)$$

インダクタがエネルギーを放出するデューティ比 D_{2_m1} は、(3), (4), (5)式から(6)式のように表すことができる。

$$D_{2_m1} = \sqrt{\frac{2Li_{Lave}}{T_{sw}V_{dc}} \frac{V_{bat}}{V_{dc} - V_{bat}}} \dots\dots\dots (6)$$

式(5)および(6)に指令値であるインダクタ電流の平均値 i_{Lave} を与えることで、エネルギーを蓄えるデューティ比 D_{1_m1} とエネルギーを放出するデューティ比 D_{2_m1} が導出できる。Mode I では、 S_3 および S_4 を(5)式より算出した D_{1_m1} でスイッチングすることによって、任意のインダクタ電流の平均値 i_{Lave} を制御することができる。

〈3・1・2〉 Mode II のデューティ比 Mode II のデューティ比も Mode I と同様の手順で導出することができる。Mode II において、インダクタにエネルギーを蓄積する期間 $D_{1_m2}T_{sw}$ は図 3(b) に示す Mode II (i) の状態、インダクタのエネルギーを放出する期間 $D_{2_m2}T_{sw}$ とゼロ電流期間である期間 $D_{3_m2}T_{sw}$ は Mode II (ii) の状態となる。(1)式に示したファラデーの法則より、Mode II (i) および Mode II (ii) のときのインダクタのピーク電流は(7)式で表される。

$$\begin{cases} i_{pk} = \frac{V_{bat}}{L} D_{1_m2} T_{sw} \\ i_{pk} = \frac{V_{dc} - V_{PV} - V_{bat}}{L} D_{2_m2} T_{sw} \end{cases} \dots\dots\dots (7)$$

(4)式のインダクタ電流の平均値および(7)式のピーク電流より、 D_{1_m2} は(8)式となる。

$$D_{1_m2} = \sqrt{\frac{2Li_{Lave}}{T_{sw}V_{bat}} \frac{V_{dc} - V_{PV} - V_{bat}}{V_{dc} - V_{PV}}} \dots\dots\dots (8)$$

また、 D_{2_m2} は(4), (7), (8)式より(9)式のように導出できる。

$$D_{2_m2} = \sqrt{\frac{2Li_{Lave}}{T_{sw}} \frac{V_m}{(V_{dc} - V_{PV})(V_{dc} - V_{PV} - V_{bat})}} \dots\dots\dots (9)$$

〈3・1・3〉 Mode III のデューティ比 Mode III のデューティ比も同様の手順で導出する。Mode II において、インダクタにエネルギーを蓄積する期間 $D_{1_m3}T_{sw}$ は図 3(c) に示す Mode III (i) の状態、インダクタのエネルギーを放出する期間 $D_{2_m3}T_{sw}$ とゼロ電流期間である期間 $D_{3_m3}T_{sw}$ は Mode III (ii) の状態と

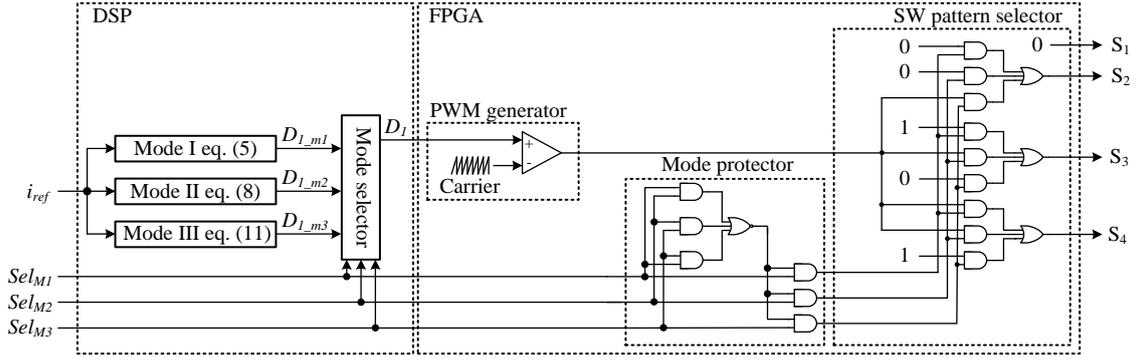


Fig. 5. Control block diagram of FCC with DCM.

なる。(1)式に示したファラデーの法則より、Mode III (i)および Mode III (ii)のときのインダクタのピーク電流は(10)式で表される。

$$\begin{cases} i_{pk} = \frac{V_{PV} - V_{bat}}{L} D_1 T_{sw} \\ i_{pk} = \frac{V_{bat}}{L} D_2 T_{sw} \end{cases} \dots\dots\dots (10)$$

(4)式のインダクタ電流の平均値および(10)式のピーク電流より、 D_{1_m3} は(11)式となる。

$$D_{1_m3} = \sqrt{\frac{2Li_{Lave} V_{bat}}{T_{sw} V_{PV} V_{bat} - V_{bat}}} \dots\dots\dots (11)$$

また、 D_{2_m3} は(4),(10),(11)式より(12)式のように導出できる。

$$D_{2_m3} = \sqrt{\frac{2Li_{Lave} V_{bat}}{T_{sw} V_{PV} V_{PV} - V_{bat}}} \dots\dots\dots (12)$$

〈3・2〉 インダクタンスの設計条件 インダクタ電流にDCMを適用する場合、インダクタンスの設計が重要となる。インダクタンスが大きい場合、インダクタ電流がCCMとなる。そのため、インダクタ電流が全動作条件においてDCMとなるインダクタンスの条件を導出する必要がある。インダクタ電流がDCMとCCMの境界のモードである電流臨界モード(BCM)となるようなインダクタンスを導出することで、DCMを実現する上で要求されるインダクタンスの設計条件を導く。

〈3・2・1〉 Mode I のインダクタンス設計条件 Mode IでDCMを満たすインダクタンスの設計条件を導出する。インダクタ電流をDCMとするには、Mode Iにおけるデューティ比 D_{1_m1} と D_{2_m1} の和が1以下であればよい。 D_{1_m1} と D_{2_m1} の和が1である場合はBCMとなる。インダクタ電流がDCMとなるデューティ比の条件は、(5),(6)式から(13)式となる。

$$D_{1_m1} + D_{2_m1} = \sqrt{\frac{2Li_{Lave} V_{dc}}{T_{sw} V_{bat} (V_{dc} - V_{bat})}} \leq 1 \dots\dots\dots (13)$$

Mode IにおいてDCMを満たすインダクタンス L は(13)式より(14)式のように導出できる。

$$L \leq \frac{T_{sw} V_{bat} (V_{dc} - V_{bat})}{2i_{Lave} V_{dc}} \dots\dots\dots (14)$$

〈3・2・2〉 Mode II のインダクタンス設計条件 Mode IIのインダクタンスもMode Iと同様に導出できる。Mode IIにおいてDCMを満たすデューティ比は、(8)式と(9)式より(15)式のように表される。

$$D_{1_m2} + D_{2_m2} = \sqrt{\frac{2Li_{Lave} (V_{dc} - V_{PV})}{T_{sw} V_{bat} (V_{dc} - V_{PV} - V_{bat})}} \leq 1 \dots\dots (15)$$

Mode IIにおいてDCMを満たすインダクタンス L は(15)式より(16)式のように導出できる。

$$L \leq \frac{T_{sw} V_{bat} (V_{dc} - V_{PV} - V_{bat})}{2i_{Lave} (V_{dc} - V_{PV})} \dots\dots\dots (16)$$

〈3・2・3〉 Mode III のインダクタンス設計条件 Mode IIIのインダクタンスもMode I, IIと同様に導出し、Mode IIIにおけるDCMを満たすデューティ比は、(11)式と(12)式より(17)式のように表される。

$$D_{1_m3} + D_{2_m3} = \sqrt{\frac{2Li_{Lave} V_{PV}}{T_{sw} V_{bat} (V_{PV} - V_{bat})}} \leq 1 \dots\dots\dots (17)$$

Mode IIIにおいてDCMを満たすインダクタンス L は(17)式より(18)式のように導出できる。

$$L \leq \frac{T_{sw} V_{bat} (V_{PV} - V_{bat})}{2i_{Lave} V_{PV}} \dots\dots\dots (18)$$

以上で全モードのインダクタンスの条件について導出した。提案回路に用いるインダクタは、各モードで要求されるインダクタンスの中で、最も小さいインダクタンス以下の値を採用することで、全モードでDCMを実現できる。インダクタンスを小さくすると、ピーク電流が大きくなるため、下限値は、半導体スイッチの電流量とコアの飽和磁束密度より決定する。

〈3・3〉 制御ブロック 図5にDCMを適用した提案回路の制御ブロックを示す。制御ブロックは、デューティ比決定部とPWM生成部、スイッチングパターン選択部から構成される。DSPに指令値であるインダクタ電流平均値とモード選択信号を入力する。DSPは入力されたモードのデューティ比の計算を行い、デューティ比とモード選択信号をFPGAに転送する。FPGAは決定されたデューティ比よりPWM信号を生成する。また、モード選択信号から表1に示

Table 2. Experimental conditions.

Parameter	Symbol	Value
Output power	P_{out}	750 W
Output voltage	V_{out}	150 V
Battery voltage	V_{bat}	48 V
PV voltage	V_{PV}	90 V
Boost up inductor	L_1	17.5 μ H
Battery decoupling capacitor	C_{bat}	1500 μ F
PV decoupling capacitor	C_{PV}	1500 μ F
DC link decoupling capacitor	C_{DC}	650 μ F
PWM Carrier Frequency	f_{sw}	20 kHz
Mode I current reference	I_{ref1}	15.8 A
Mode II current reference	I_{ref2}	8 A
Mode III current reference	I_{ref3}	-14.1 A
Mode IV current reference	I_{ref4}	16.1 A

スイッチングパターンとなるように信号を切替える。加えて、モード選択信号が複数入力された場合には、回路保護のためにゲート遮断をするロジックを加えている。本論文では、インダクタ電流をオープンループで動作させている。

4. 実験結果

表 2 に実験条件を示す。750 W 試作機を用いて、提案回路における DCM 動作の確認およびデューティ比決定式の妥当性の確認を行った。本論文では、単相交流 100 V の出力を想定し、直流中間部を 150 V とした。実験では、蓄電素子と PV のポートは直流電源で模擬した。インダクタンスは(14), (16), (18)式を用いて、確実に DCM となるように変換器容量 750 W の 1.2 倍の電力で設計した。Mode I は 32.0 μ H, Mode II は 43.5 μ H, Mode III は 30.0 μ H 以下のインダクタンスで DCM が実現できる。そのため、実験では 17.5 μ H のインダクタを使用した。なお、インダクタンスは、Mode I で電流 15 A を流したときの電流傾きから測定した。

図 6 に Mode I 時の動作波形を示す。Mode I は蓄電素子から直流中間部に出力するモードで、昇圧チョップと同様の動作である。図 6 よりインダクタ電流が DCM になっていることが確認できる。インダクタの電流平均は、指令値の 15.8 A に対して実電流は 15.2 A であり、指令値に対して 3.8% の誤差となった。原因として、半導体スイッチによる損失が誤差要因と考えられる。なお、反転したデューティ比を与えるスイッチがないため、デッドタイムによる出力電力誤差は生じない。

図 7 に Mode II 時の動作波形を示す。Mode II は蓄電素子と PV から直流中間部に出力するモードである。Mode II のインダクタ電流も DCM となり、インダクタ電流の平均値は、指令値の 8 A に対して 6.1 A となった。誤差は 23.6% となり、Mode I より大きな誤差が生じている。Mode I と II は、導通素子の違いなどから損失に差があり、電流誤差の原因となる。

図 8 に Mode III 時の動作波形を示す。Mode III は PV から蓄電素子を充電するモードである。Mode III も他のモードと

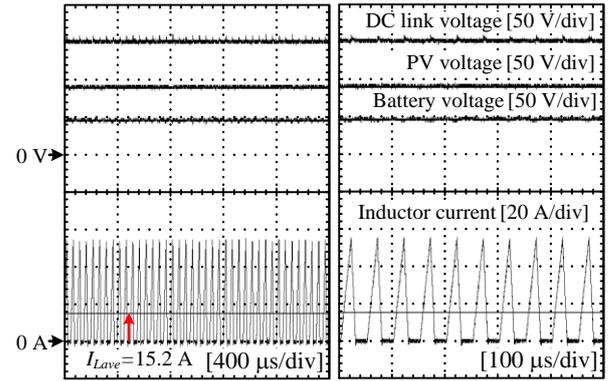


Fig. 6. Operation waveform of the Mode I.

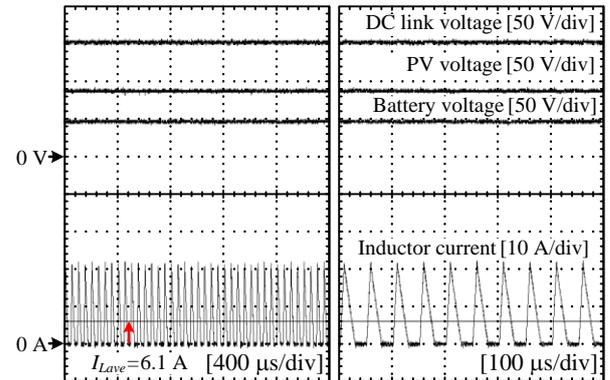


Fig. 7. Operation waveform of the Mode II.

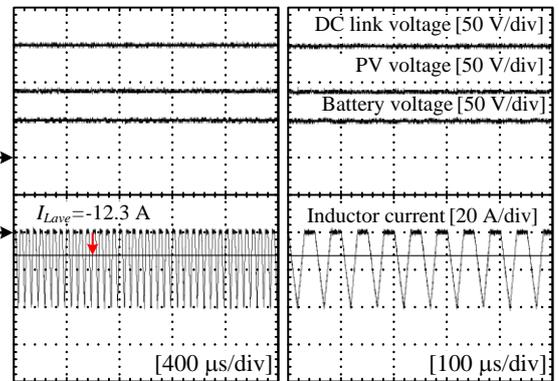


Fig. 8. Operation waveform of the Mode III.

同様にインダクタ電流は DCM となっていることが確認できる。Mode I, II とインダクタ電流の方向が逆であるため負の電流波形となっている。インダクタ電流の平均値は、指令値の -16.1 A に対して -12.3 A となった。誤差は 23.6% となり、Mode II と同じ誤差が生じている。Mode II と同様の要因で誤差が生じている。

図 9 に Mode IV 時の動作波形を示す。Mode IV は Mode II と Mode III を交互に行うことで、PV から直流中間部に電力を伝送するモードである。図 9 より、Mode II と Mode III が交互に動作していることが確認できる。なお、Mode III 時は電流が負となっているが、PV から蓄電素子の方向に電流が流れるため、Mode II と電流の方向が逆であることに起因す

る。Mode IV 時のインダクタ電流の平均値は-1.6 A となり、PV から蓄電素子側に一時的に伝送した電力が直流中間部に伝送されていることが確認できる。しかしながら、本来はインダクタ電流の平均値はゼロになる。これは、Mode II と Mode III で生じる電流誤差が影響している。誤差成分以外は直流中間部に電力を伝送できている。また、いずれのモードにおいても DCM となっていることから、インダクタンスの設計式が妥当であることを確認した。

図 10 に Mode IV 時のインダクタ電流と蓄電素子側の電源電流を示す。蓄電素子の電流波形は、蓄電素子に流入する電流を正としている。Mode IV の電流誤差分が電源に流入していることが確認できる。また、流入している電流は Mode IV の制御周期である 10 kHz で脈動している。しかし、蓄電素子が鉛蓄電池の場合、充電電流が脈動しても影響はない⁽¹¹⁾。

図 11 に Mode I における 0.5 p.u. から 1.0 p.u. への負荷変動時の実験波形を示す。インダクタ電流は DCM であるため、指令値更新後、次の制御周期で指令値に追従することが可能である。

5. まとめ

本論文では、フライングキャパシタコンバータを応用したマルチポートコンバータを提案した。提案回路は、インダクタ電流に DCM を適用することによってインダクタの小型化が実現可能である。インダクタ電流が DCM となるデューティ比およびインダクタンスを導出した。750 W 試作機による実験から、デューティ比の決定式およびインダクタンスの条件式の妥当性を確認した。加えて、Mode IV より各モードの切り替えが可能なることも実験より確認した。

今後は、同期整流による効率改善、効率評価および損失解析に加えてインダクタンスの誤差補償について検討を行う予定である。

文 献

- (1) 照屋, 柘川, 飯田: 「電圧形に切替え可能な系統連系用電流形インバータ」, 電学論 D, Vol. 131, No. 11, pp. 1324-1330 (2011)
- (2) Yuji Mizuno, Tepei Baba, Yoshito Tanaka, Fujio Kurokawa, Masaharu Tanaka, Ilhami Colak, Nobumasa Matsui: "Estimation of optimum capacity of battery by combined use of a renewable energy system and distributed emergency generators in a large hospital", 2017 IEEE 6th International Conference on Renewable Energy Research and Applications (ICRERA), pp. 515-518 (2017)
- (3) H. Mahmood, D. Michaelson and J. Jiang: "A Power Management Strategy for PV/Battery Hybrid Systems in Islanded Microgrids," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 2, no. 4, pp. 870-882, Dec. 2014.
- (4) Amit Bhattacharjee, Nasser Kutkut, Issa Batarseh: "Review of Multi Port Converters for Solar and Energy Storage Integration", IEEE Transaction on Power Electronics, Vol.34, No.2, pp.1431-1445 (2019)
- (5) H. Zhu, D. Zhang, B. Zhang and Z. Zhou: "A Nonisolated Three-Port DCDC Converter and Three-Domain Control Method for PV-Battery Power Systems," in IEEE Transactions on Industrial Electronics, vol.62, no. 8, pp. 4937-4947, (2015)
- (6) K. Tomas-Manez, A. Anthon, Z. Zhang, Z. Ouyang and T. Franke: "High efficiency non-isolated three port DC-DC converter for PVbattery systems," 2016 IEEE 8th International Power Electronics and Motion Control

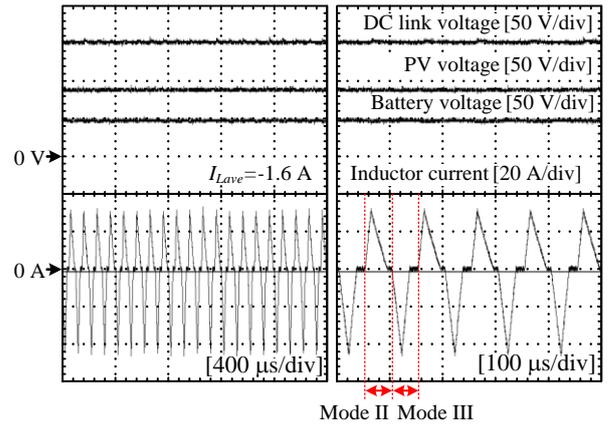


Fig. 9. Operation waveform of the Mode IV.

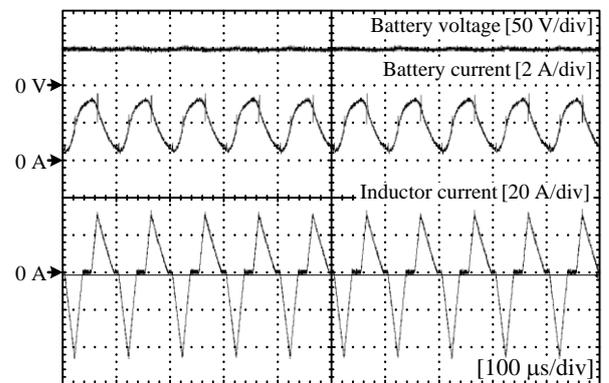


Fig. 10. Battery current waveform with Mode IV.

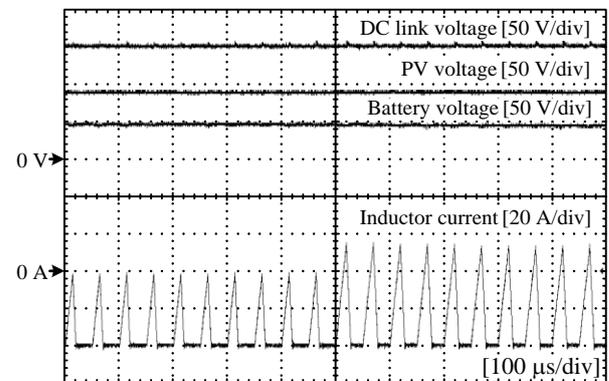


Fig. 11. Step up response with Mode I.
(0.5 p.u. to 1.0 p.u.)

- (7) Xiaofeng Sun, Yue Zhou, Wei Wang, Baocheng Wang, Zhe Zhang: "Alternative Source-Port Tolerant Series-Connected Double-Input DC-DC Converter", IEEE Transaction on Power Electronics, Vol.30, No.5, pp.2733-2742 (2015)
- (8) 松浦, 伊東: 「スイッチトキャパシタ形 3 レベル DC-DC コンバータの損失評価」, SPC 沖縄, SPC-11-098, PSE-11-061, PE11-044 (2011)
- (9) J. Itoh, K. Matsuura, K. Orikawa: "Reduction of a Boost Inductance using a Switched Capacitor DC-DC Converter", ICPE 2011 - ECCE Asia, pp. 1315-1322 (2011)
- (10) H. N. Le, K. Orikawa, J. Itoh: "DCM Control Method of Boost Converter based on Conventional CCM Control", The 2014 International Power Electronics Conference, No. 21A4-5, pp. 3661-3666 (2014)
- (11) 平野正義「充電時リップル(脈動電流)が鉛蓄電池性能に与える影響の調査」, 技術開発ニュース, No.151, p.25-26, 2014-8