

電流不連続モードを用いた電力脈動補償機能を有する T-type NPC 型単相インバータの損失解析

大桃 章嘉*, 日下 佳祐, 伊東 淳一 (長岡技術科学大学)

Loss Analysis of Single-Phase T-type NPC inverter with Active Power Decoupling Capability operated in DCM
Akiyoshi Omomo, Keisuke Kusaka, Jun-ichi Itoh (Nagaoka University of Technology)

1 はじめに

DC-単相 AC 変換器において生じる電力脈動を、小容量コンデンサのみを用いて補償することが可能なアクティブパワーデカップリング技術が報告されている⁽¹⁾⁽²⁾。これらの方式は追加の磁気素子が必要となり、回路が大型化する。これに対し、著者らは電流不連続モード(DCM)を適用することで追加の磁気素子なしに脈動補償を達成する方式を提案し、実機実験にてその有用性を確認している⁽³⁾。提案制御法では、キャパシタ容量を可変させた場合、インバータ側に流れる電流とキャパシタに流入する電流の両方が変化するが、その際の損失の変化については明らかにされていない。

そこで、本論文では、シミュレーションで損失解析を行い、システムで発生する損失の割合を明らかにする。さらに理論式との比較から損失解析結果の妥当性を確認する。

2 回路構成および提案制御法

図 1 に T-type NPC 型単相インバータの構成を示す。出力電流 i_{out} 及び中性点電流 i_n の二つの電流を出力側のインダクタ L_1 , L_2 のみで制御することで、出力電流制御と電力脈動補償を同時に達成する。インバータの出力電力 p_{out} は(1)式で表される。

$$p_{out} = v_{out} i_{out} = V_{out} I_{out} - V_{out} I_{out} \cos(2\omega t) = P_{Active} + P_{Reactive} \dots (1)$$

直中間コンデンサの充放電電力が $p_{Reactive}$ と等しくなるように制御することで電力脈動を補償する。

図 2 に二つのキャパシタ電圧波形 V_{C1} , V_{C2} および直中間電圧波形 V_{DC} を示す。 V_{C1} , V_{C2} を逆相に脈動させることによって脈動エネルギーを補償する。ただし、これらを足し合わせた直中間電圧 V_{DC} は常に一定となる。 V_{C1} , V_{C2} は(2)式で表される。

$$V_{C1} = \frac{V_{dc}}{2} + V_m \sin(\omega t + \delta), V_{C2} = \frac{V_{dc}}{2} - V_m \sin(\omega t + \delta) \dots (2)$$

ここで V_m はキャパシタ電圧の振幅、 δ は出力電圧に対する位相差である。 V_{C1} , V_{C2} の制御はキャパシタに関する回路方程式から i_n を制御することにより達成され、(3)式となる。

$$i_n = i_{C1} - i_{C2} = 2\omega C V_m \cos(\omega t + \delta) \dots (3)$$

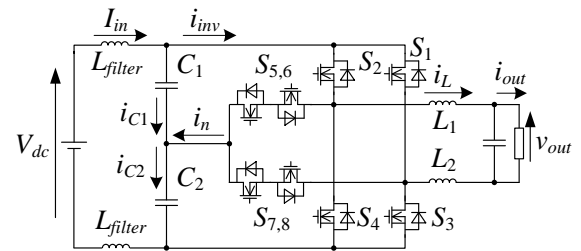


Fig. 1 T-type NPC inverter

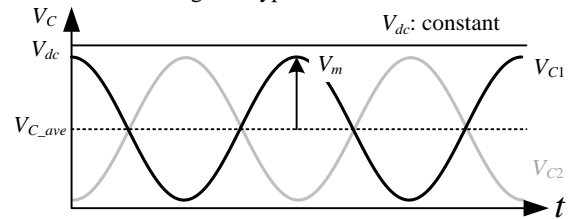


Fig. 2 Waveforms of ideal capacitor voltages and the

(2-3)式より、キャパシタの充放電電力 p_C は(4)式となる。

$$p_C = \frac{1}{2} \omega C V_m^2 \sin(2\omega t + 2\delta) \dots (4)$$

ここで、 C は直中間コンデンサのキャパシタンス C_1 , C_2 に等しい。インバータ出力電力の脈動成分である(1)式の $p_{Reactive}$ と、キャパシタ充放電電力が等しくなるように制御することで、脈動補償を達成する。ここで、二つのキャパシタで脈動補償を行うため、キャパシタ充放電電力の総量は $2p_C$ となり、 V_m は(5)式となる。

$$p_{Reactive} = 2p_C, V_m = \sqrt{\frac{V_{out} I_{out}}{\omega C}} \dots (5)$$

(3)式、(5)式および C_1 に関する回路方程式から、インバータ側に流れる電流 i_{inv} は(6)式となる。

$$i_{inv} = I_m - i_{C1} = V_{out} I_{out} / V_{DC} - \sqrt{\omega C V_{out} I_{out}} \cos(\omega t + \delta) \dots (6)$$

(6)式より、 C の容量を可変させた場合、 i_{inv} およびコンデンサに流入する電流 i_{C1} が共に変化する。このため、 C の容量に対して損失が変化する。

3 実機検証

表 1 に実験条件を示す。図 3 に実機検証結果を示す。図 3(b)より、提案制御法を適用することによって入力電流 I_m

の脈動成分を低減できていることが確認できる。図 3(a)のデカップリング制御を適用しない場合の結果と比較して入力電流の 100 Hz 脈動成分を 67.7%低減でき、また出力電流 i_{out} の THD は 1.87%となった。

4 損失解析によるキャパシタ選定法

(6)式より提案制御法は、キャパシタの容量が増えるほど i_{c1} および i_{inv} の振幅が増加し、これによりデバイスの導通損失が増加する。一方で、キャパシタを並列化することで ESR が減少するためキャパシタによる損失は減少する。そこで本論文では、キャパシタの容量を変化させた場合の、デバイス損失とキャパシタの損失の関係性を明らかにする。

図 4 に 1kW 出力時の損失解析結果を示す。解析には回路シミュレータ PLECS を用い、キャパシタ容量を可変させた場合における損失の変化を示す。(2)式および図 2 よりキャパシタ電圧の振幅 V_m は $V_{DC}/2$ を超えないように設計しなければならない。(5)式より、出力電力 P_{out} を決定した場合、 V_m はキャパシタ容量の平方根 \sqrt{C} に反比例する。本論文では、 V_m が $V_{DC}/2$ の 75%以下となるように設計し、その時の C の最小値は 140 μF となった。

図 4 の横軸はキャパシタの並列数と、 $V_{DC}/2$ に対するキャパシタ電圧振幅の割合を同時に示す。なお、一つあたり 70 μF のキャパシタの並列数 n を増やすと仮定し、並列時の ESR の値は元の ESR に対して $1/n$ とした。結果より、キャパシタ容量の変化に対して導通損の変化量が支配的であることがわかる。そこで、提案制御手法の理論式から各損失の変化量を考察する。

(6)式より、キャパシタ容量の変化に伴い、 i_{c1} 、 i_{inv} の振幅がそれぞれ変化する。したがって、キャパシタの小容量化によって導通損の低下が期待できる。一方で、出力電力およびキャパシタの充放電電力が一定であることからスイッチング損失への影響は小さい。

キャパシタの損失 P_{Cap} はキャパシタの等価直列抵抗 (ESR)によって発生する。 P_{Cap} はキャパシタに流れる電流より(7)式となる。

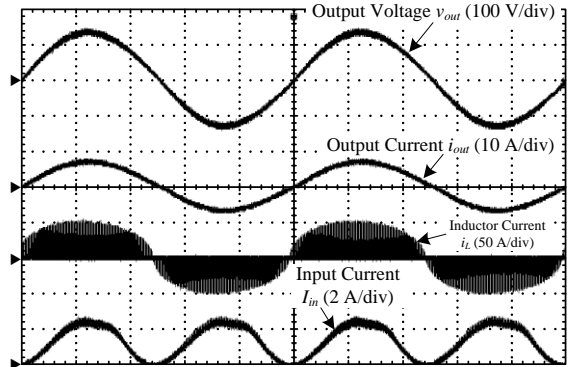
$$P_{Cap} = r_{ESR} I_{C_RMS}^2 \dots\dots\dots(7)$$

ここで r_{ESR} は ESR、 I_{C_RMS} はキャパシタ電流の実効値である。キャパシタの並列化によって ESR が低下し、損失は低減できるものの、(3)式、(6)式よりキャパシタに流入する電流 i_{c1} 、 i_{c2} は増加するため、キャパシタ容量の変化による損失への影響は小さい。

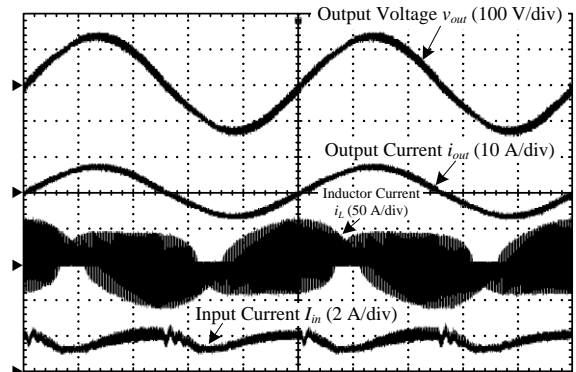
以上より、導通損失とキャパシタの損失にはトレードオフの関係があるが、全体における損失の変化量では導通損が支配的である。そのためキャパシタの選定は、キャパシタ電圧の振幅の最大値からキャパシタ容量の最小値を導出し、その最小値に最も近いキャパシタを選定することで損失の低減が可能である。

Table I System parameters

Parameter	Symbol	Value
Output power	P_{out}	500 W
Output voltage	v_{ac}	100 V
Output frequency	f_{out}	50 Hz
DC link voltage	V_{dc}	400 V
Capacitor	C_1, C_2	166 μF
Inductor	$L_1, L_2(\%Z_L)$	22.5 μH (0.16%)



(a). w/o active power decoupling control. Waveforms of v_{out} , i_{out} , i_L , I_{in} in steady state.



(b). w/ active power decoupling control. Waveforms of v_{out} , i_{out} , i_L , I_{in} in steady state.

Fig. 3. Experimental results.

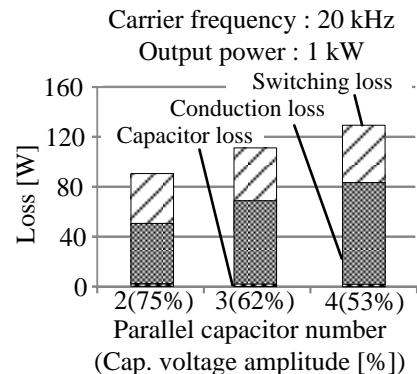


Fig. 4. Loss analysis

文献

- (1) A. S. Morsy et al, IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 4, Issue 3, pp. 790-798, 2016
- (2) S. Qin et al, IEEE ECCE US 2015, pp. 149-157, 2015
- (3) A. Omomo et al, EPE'18 ECCE Europe, pp.1-10, 2018