

低インダクタンスな三相系統連系インバータの 電流オーバーシュートを抑制する各位相での電圧復帰に対応した Fault Ride-through 制御

学生員 永井 悟司 上級会員 伊東 淳一（長岡技術科学大学）

Fault Ride-through Control for Current-overshoot Suppression of Three-phase Grid-tied Inverter with Low Inductance at Voltage Recovery in each phase

Satoshi Nagai, Student Member, Jun-ichi Itoh, Senior Member
(Nagaoka University of Technology)

This paper proposes a fault ride-through (FRT) technique for a three-phase grid-tied inverter with a minimized inductor. The grid-phase detection failure occurs due to 0 V of the grid voltage during the zero voltage-sag. In particular, the inductor current overshoot becomes worst at the voltage recovery, if the grid-phase cannot be detected. In order to reduce the inductor current overshoot, the proposed method is applied with the maximum-medium-minimum voltage detection circuit, the voltage polarity detection circuit, and the inverter vector output same as the grid voltage. As the experimental results, the inductor current overshoot rate with the inductor of 0.48 mH (%Z = 0.38%) is reduced by 39% with the proposed method compared with the conventional FRT operation.

キーワード：三相系統連系インバータ, FRT, 瞬時ベクトル操作, 系統位相誤検出

Keywords : Three-phase grid-tied inverter, FRT, Momentary vector control, Grid-phase detection failure

1. はじめに

近年、省エネルギーの観点から分散電源に用いられる系統連系インバータが活発に研究されている⁽¹⁾⁻⁽²⁾。系統連系インバータは小型化の要求が強く、特に、インバータ体積の大部分を占める連系インダクタの小型化が求められる。連系インダクタはインバータへ高周波スイッチング素子(e.g. SiC-MOSFET, GaN-FET)を適用することで電流リップルの観点から低インダクタンス化による小型化が可能である。

一方、系統連系インバータは系統事故発生時にも運転継続する動作(FRT: Fault Ride-through)が求められる⁽³⁾⁻⁽⁷⁾。低インダクタンス時の FRT 動作ではインバータ出力電流にオーバーシュートが発生するため、過電流保護による動作停止を誘発する。従来、FRT 制御法として、瞬低時に直流中間電圧を制御する手法⁽⁸⁾や電圧振幅と出力電力制御を適用した手法⁽⁹⁾などが提案されているが、瞬時電圧低下(瞬低)発生時の電流オーバーシュートに対しては深く評価がされていない。これに対して、著者らは三相系統連系インバータに対して瞬低や復帰検出時にインバータ電圧を瞬時にベクトル操作することで電流オーバーシュートを抑制する手法を提

案している⁽⁸⁾。しかし、文献(8)の提案法では残電圧 0%の瞬低中に系統位相情報を喪失する場合は、電流オーバーシュートを抑制可能な電圧ベクトルを出力できない。

本論文では瞬低中に系統位相情報を喪失しても電流オーバーシュートを抑制する電圧ベクトルを選択できる手法を提案する。提案法では三相系統電圧の大中小判定回路と各相電圧の極性判定回路を適用して、復帰位相を 30 deg.の領域ごとに検出する。検出した位相と系統電圧の復帰検出信号を用い、各位相でのインバータ電圧を出力することで電流オーバーシュートの抑制を図る。本論文の独創性は瞬低からの復帰タイミングが不明な残電圧 0%の瞬低に対しても、インバータの電流オーバーシュートを抑制できる点にある。実験結果より提案法を適用することで電流オーバーシュートを低減できることを確認したため報告する。

2. FRT 時における電流低減ベクトル

図 1 に三相系統連系インバータの回路図を示す。本論文では 3 相 2 レベルインバータで検討する。また、図 1 に示すように出力インピーダンスに対して 0.38%の低インダクタンスな連系インダクタを使用する。ここで、三相インバー

タの電圧電流方程式はインダクタの抵抗分を無視すると、(1)式で表される。

$$\begin{bmatrix} v_p \\ v_q \end{bmatrix} = \begin{bmatrix} pL & \omega L \\ -\omega L & pL \end{bmatrix} \begin{bmatrix} i_p \\ i_q \end{bmatrix} + \begin{bmatrix} v_{ac} \\ 0 \end{bmatrix} \dots\dots\dots (1)$$

ここで、 v_p, v_q はインバータ出力の瞬時有効電圧と無効電圧、 i_p, i_q はインダクタの瞬時有効電流と無効電流、 L は連系インダクタンス、 v_{ac} は系統電圧、 ω は系統電圧の角周波数、 p は微分演算子であり、力率1の動作とする。また、本論文では系統電圧 0 V の瞬低における検討を行い、系統電圧が有効軸にあると仮定する。瞬時的に瞬低時の電流オーバーシュートの低減が可能なインバータの出力電圧ベクトルは文献(8)より以下のように示される。

$$v_{pfrt} = -V_{dc}/2, v_{qfrt} = 0 \dots\dots\dots (2)$$

ここで、 v_{pfrt}, v_{qfrt} は瞬低時または復帰時のインバータ出力電圧の有効成分と無効成分である。次に、瞬時的に瞬低復帰時の電流オーバーシュートを低減可能なインバータ出力電圧ベクトルは文献(8)より以下のように示される。

$$v_{pfrt} = V_{dc}/2, v_{qfrt} = 0 \dots\dots\dots (3)$$

(2), (3)式はいずれもカウンタ電圧ベクトル⁽⁷⁾適用時と同等である。しかし、カウンタ電圧ベクトル適用時は、電流を瞬時的に低減するため、カウンタ電圧ベクトルを解除後に過渡応答による電流オーバーシュートが発生する。上記問題を抑制するため、電流傾きがゼロとなるベクトル操作を行うことで過渡応答による電流オーバーシュートを抑制する。瞬低復帰時の電流傾きがゼロとなる電圧ベクトルを導出すると以下に示される。

$$v_{pfrt} = v_{ac}, v_{qfrt} = 0 \dots\dots\dots (4)$$

これは、復帰した系統電圧に対して同等のベクトル方向、スカラー量を出力することで電流傾きをゼロにできることを意味する。

図2に提案する電流オーバーシュートを抑制するベクトルを示す。瞬低時は電圧低下率によって、インダクタ電流の傾きをゼロとするベクトルの調整が必要なため、カウンタ電圧出力で対応し、カウンタ電圧出力期間に系統電圧検出値と文献(7)における外乱オブザーバの積分器をゼロに初期化する。復帰時は定常電圧に復帰する動作を仮定すると、系統電圧 v_{ac} と同等のインバータ出力電圧が出力できればインダクタ電流の傾きはゼロになる。ただし、残電圧 0% の瞬低中では系統電圧位相の検出が出来ないため、瞬低復帰時に瞬時に復帰した系統電圧の位相を判定し、系統電圧と同等の電圧ベクトルをインバータから出力する必要がある。

3. 位相情報喪失後の電圧復帰検出方法

提案ベクトル出力を実現するためには系統復帰時の系統電圧の位相情報を検出する必要がある。しかし、残電圧 0% の瞬低では瞬低期間中に Phase Locked Loop (PLL)による位

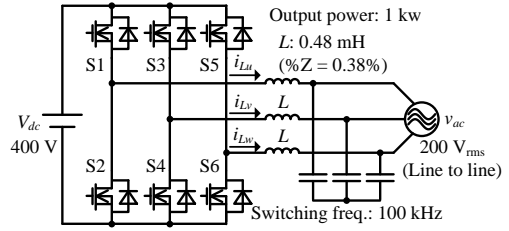


Fig. 1. Three-phase grid-tied inverter with minimized inductor.

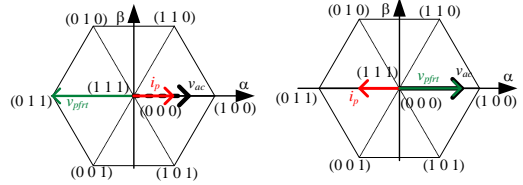


Fig. 2. Inverter output vector for inductor current overshoot reduction.

Table I. Proposed output vector at grid voltage recovery.

Sector No.	U phase	V phase	W phase	Duty ratio for v_{ac}		
				u	v	w
Sector 1	Max.	Mid. neg.	Min.	1	-1/2	$-\sqrt{3}/2$
Sector 2	Max.	Mid. pos.	Min.	$\sqrt{3}/2$	1/2	-1
Sector 3	Mid. pos.	Max.	Min.	1/2	$\sqrt{3}/2$	-1
Sector 4	Mid. neg.	Max.	Min.	-1/2	1	$-\sqrt{3}/2$
Sector 5	Min.	Max.	Mid. neg.	$-\sqrt{3}/2$	1	-1/2
Sector 6	Min.	Max.	Mid. pos.	-1	$\sqrt{3}/2$	1/2
Sector 7	Min.	Mid. pos.	Max.	-1	1/2	$\sqrt{3}/2$
Sector 8	Min.	Mid. neg.	Max.	$-\sqrt{3}/2$	-1/2	1
Sector 9	Mid. neg.	Min.	Max.	-1/2	$-\sqrt{3}/2$	1
Sector 10	Mid. pos.	Min.	Max.	1/2	-1	$\sqrt{3}/2$
Sector 11	Max.	Min.	Mid. pos.	$\sqrt{3}/2$	-1	1/2
Sector 12	Max.	Min.	Mid. neg.	1	$-\sqrt{3}/2$	-1/2

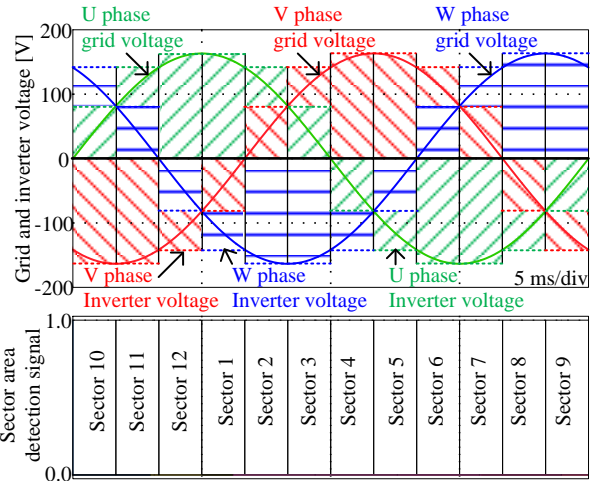


Fig. 3. Concept of inverter output voltage for inductor current overshoot reduction.

相同期が不可であり、瞬低復帰直後の位相が予測できない。そこで、系統復帰時の電圧位相を検出するため三相インバータの大小判定回路と極性判定回路を適用する。

表1に大小判定と極性判定回路を用いた系統電圧領域(セクタ)を示し、図3に表1に示すセクタで復帰した場合の各相のインバータ出力電圧を示す。ここで、Max.は三相電圧の最大相、Min.は最小相、Mid. pos.は中間相で正極、Mid. neg.は中間相で負極を示し、セクタは 30 deg.ごとに分割することにより 12セクタで示す。上記を利用し、復帰する系統電

圧に近いインバータ電圧を出力することでインダクタ電流のオーバーシュートの低減を図る。また、図3に示すよう各セクタにおける各相のインバータ出力電圧は各セクタ内の各相の系統電圧の絶対値が最大となる電圧を出力する。これにより、インバータ出力電圧が系統電圧より高い状態を保ち、電流のオーバーシュートを抑制する。以上から、各セクタにおいて表1に示したベクトルを出力できれば電流オーバーシュートの抑制が可能である。

図4に電流オーバーシュートを抑制する提案電圧ベクトル出力における動作のフローチャートを示す。系統電圧から大中小判定、電圧極性を検出することで表1のように系統電圧のセクタを12分割する。また、表1のように各セクタに対してインバータ出力電圧のdutyを演算する。ここで、系統電圧復帰を検出した際に提案電圧ベクトルを出力し、系統電圧低下を検出した際にカウンタ電圧ベクトルを出力し、いずれも検出しない場合インバータは定常動作を行う。

4. 位相情報喪失後の系統電圧復帰に対応したFRT制御法

図5に本論文で提案する瞬低期間中の位相情報喪失に対応したFRT制御器のブロック図を示す。ここで、 v_x は各相の電圧検出値、 v_{sag_x} は各相の系統擾乱の検出信号($x = u, v, w$)、 i_{Ld}^* , i_{Lq}^* はdq軸の電流指令値、 i_{Ld_det} , i_{Lq_det} はdq軸の電流検出値、 v_{acd_det} , v_{acq_det} はdq軸の系統電圧検出値、PIはPI制御器、 V_{ac} は系統相電圧のピークである。提案制御器では定常動作におけるデッドタイム誤差電圧などの外乱を補償するためにFPGAに実装した広帯域外乱オブザーバ(DOB)を適用する。DOBの補償値 \hat{v}_{dis_y} ($y = d, q$)は以下で示される。

$$\hat{v}_{dis_y} = \frac{\omega_c}{s + \omega_c} (v_{dis_PI_y} + \omega_c Li_{Ly_det}) - \omega_c Li_{Ly_det} \dots (5)$$

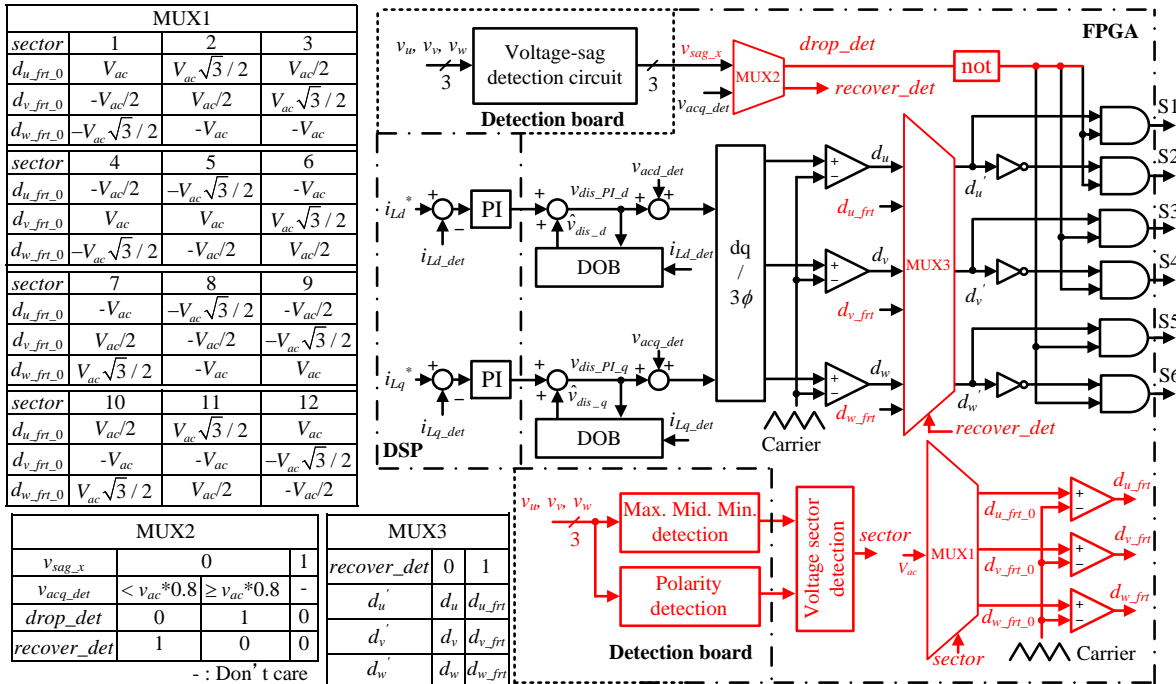


Fig. 5. Control block diagram of proposed FRT control with minimized inductor corresponding to detection failure of grid phase information.

ここで、 ω_c は広帯域DOBのカットオフ周波数である。また、アナログ回路により系統擾乱の検出回路を構成し、系統擾乱の検出信号 v_{sag_x} と系統電圧検出値を用いることで電圧低下の発生フラグ $drop_det$ と電圧復帰の発生フラグ $recover_det$ を生成する。瞬低における電圧低下発生時は図2よりカウンタ電圧出力により電流オーバーシュートを抑制する。ここで、広帯域DOBにおいては外乱補償値が瞬時的に変動する瞬低時にはDOBによる補償量を瞬間的に推定することが出来ない。したがって、瞬低発生時には外乱オブザーバの積分器をゼロに初期化する。一方、瞬低から電圧復帰発生時は復帰発生フラグ $recover_det$ と図5のMUX1におけるテーブルを参照し、表1のセクタ判定結果によって、瞬低復帰検出時に各セクタに対するインバータ電圧ベクトルを出力する。電流オーバーシュートを抑制するベクトルの出

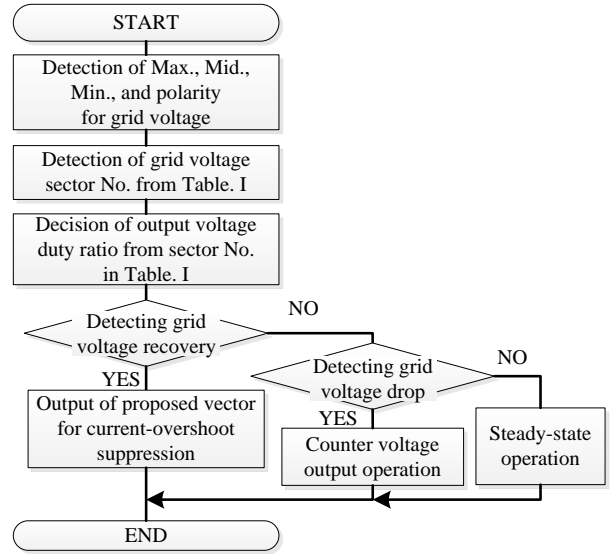


Fig. 4. Flowchart for proposed voltage vector output to suppress current overshoot.

力期間は系統周波数に対して十分短い期間とし、本論文ではスイッチング周期 2 サイクル分とした。これは提案ベクトル操作の駆動時間を系統電圧検出遅延時間より長くすることで提案ベクトル解除後に系統電圧検出値が復帰後の値となる待ち時間を含めるためである。これにより、電流オーバーシュートを抑制した FRT 動作が可能となる。

5. 実験結果

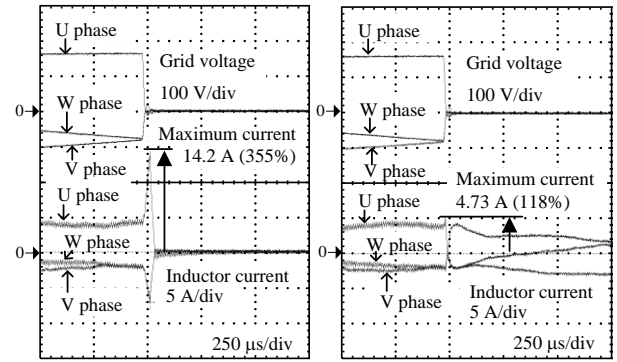
本実験では三相の各相が残電圧 0% で瞬低し、各相の瞬低復帰電圧が正側ピークで復帰する動作となるため電流オーバーシュートが負方向に最悪条件となりうる動作で検証を行う。このとき、ピーク電圧で復帰する相に対してインダクタ電流が負方向にピークとなる場合の動作を検証し、コントローラで保持している位相情報は復帰する電圧位相と同期していない場合で検証する。

図 6 に系統電圧低下時の実験結果を示す。実験結果より広帯域 DOB のみを適用した場合、瞬低発生時にインダクタ電流がオーバーシュートすることで過電流保護によりインバータが系統から解列する。これは系統電圧の外乱補償の遅延によってインバータ出力電圧が系統連系時の電圧値に近いことで発生する。一方、カウンタ電圧ベクトルを適用した場合、インダクタ電流のオーバーシュートを抑制しインバータの運転が継続できる。また、インダクタ電流のオーバーシュート率は 237% 低減した。

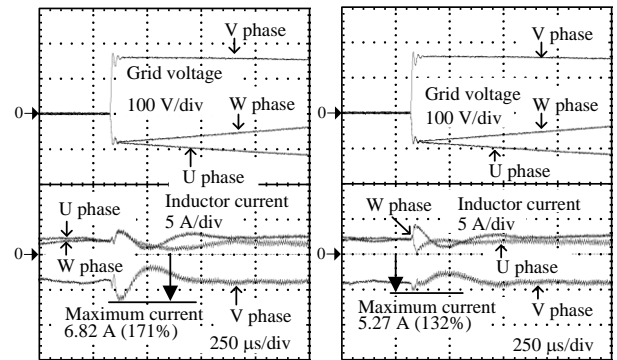
図 7 に従来のカウンタ電圧ベクトル出力や提案のベクトル出力を適用した FRT 動作時における復帰動作の実験結果を示す。図 7(a) より、カウンタ電圧ベクトルを適用するため一時的にインダクタ電流のオーバーシュートを抑制できるが、カウンタ電圧ベクトルを解除後に低減されたインダクタ電流が電流指令値に追従するように動作するためインダクタ電流にオーバーシュートが発生する。一方、図 7(b) より、提案法適用時は瞬低復帰後の電流オーバーシュートを従来法と比較して抑制できることがわかる。提案法では瞬低復帰検出時に復帰した系統電圧に近いインバータ出力電圧ベクトルを瞬時的に出力することから、カウンタ電圧ベクトル出力と比較してインダクタ電流の低減が小さく、最大相(V相)の電流を保持しようとする動作となる。これにより、提案ベクトル出力の解除後はインダクタ電流に過渡が発生しにくいこと電流オーバーシュートが抑制され、FRT 要件に定められる「系統復帰時の電流オーバーシュートを 150% 未満に抑制」を満たすことができる。提案法適用によるオーバーシュート量の低減率は U 相: 46%, V 相: 39%, W 相: 39% である。

6. まとめ

本論文では残電圧 0% の瞬低において、位相情報を喪失している状態で系統電圧が復帰した場合のインダクタ電流オーバーシュート抑制法について検討し、実機実験により従来法と比較して電流オーバーシュートを抑制できることを確認した。以上から、提案法の適用により位相情報喪失後に



(a) Conventional with DOB. (b) Proposed FRT operation.
Fig. 6. Comparison of voltage drop operation.



(a) Conventional FRT operation with counter voltage vector output. (b) Proposed FRT operation at voltage recovery.
Fig. 7. V phase peak voltage recovery operation with counter voltage vector output and proposed voltage vector output.

系統電圧が復帰しても電流オーバーシュートを抑制できることを確認した。今後の予定は三相不平衡瞬低動作に対しても提案法の効果を検証する。

文 献

- (1) Hung-I Hsieh, and Jiaxin Hou, "Realization of Interleaved PV Microinverter by Quadrature-Phase-Shift SPWM Control", *IEEE J. Ind. Appl.*, Vol.4, No.5, pp.643-649, 2015.
- (2) Zhenbin Zhang, Hui Fang, Feng Gao, José Rodríguez, and Ralph Kennel, "Multiple-Vector Model Predictive Power Control for Grid-Tied Wind Turbine System With Enhanced Steady-State Control Performance", *IEEE Trans. Ind. Electron.*, Vol. 64, No. 8, pp. 6287-6298, 2017.
- (3) 系統連系専門部会編:「系統連系規程 JEAC9701-2016」, 日本電気協会 (2016)
- (4) RPI-M20A, Delta Electronics, Inc., Taipei, Taiwan, 2014. [Online]. Available: http://www.deltaww.com/fileCenter/Products/Download/05/0501/RP1-M20A_TechData_20141126.pdf
- (5) Guangqian Ding, Feng Gao, Hao Tian, Cong Ma, Mengxing Chen, Guoqing He, and Yingliang Liu, "Adaptive DC-Link Voltage Control of Two-Stage Photovoltaic Inverter During Low Voltage Ride-Through Operation", *IEEE Trans. Power Electron.*, Vol. 31, No. 6, pp. 4182-4194, 2016
- (6) Jaber Alipoor, Yushi Miura, and Toshifumi Ise, "Voltage Sag Ride-through Performance of Virtual Synchronous Generator", *IEEE J. Ind. Appl.*, Vol. 4, No. 5, pp. 654-666, 2015.
- (7) S. Nagai, J. Itoh: "FRT Capability of Three-phase Grid-tied Converter with Minimized Inductor", *The Applied Power Electronics Conference and Exposition 2019*, pp. 1070-1077 (2019)
- (8) 永井悟司, 渡辺大貴, 伊東淳一: 「小型連系インダクタを有する三相系統連系インバータの FRT 動作時の電流オーバーシュート抑制ベクトルに関する一検討」, 平成 31 年電気学会全国大会, Vol. 4, No. 83, pp. 137-138 (2019)