

並列接続時の寄生インダクタンスとサージ電圧に関する一考察

西川 滉大・西澤 是呂久・伊東 淳一 (長岡技術科学大学)

1. はじめに

近年、大容量インバータの高効率化のため、低オン抵抗、高速スイッチング素子の多並列接続に関する研究が行われている⁽¹⁾⁽²⁾。多並列接続回路において、各スイッチンググループ内に存在する寄生インダクタンスによって、大きなサージ電圧が発生する。そこで寄生インダクタンスを低減する技術が必要となる。本論文では、寄生インダクタンスとサージ電圧の関係を回路方程式に基づいて解析し、並列接続した時の振る舞いについて明らかにする。そして、その妥当性をシミュレーションにより確認したので報告する。

2. 解析方法

図1に主回路寄生成分を考慮した素子2並列降圧チョップ回路を示す。シミュレーションには、発生するサージ電圧のワーストケースとして、最も早いスイッチングをする理想スイッチを使用した。

図2に上アームスイッチオフ時における図1の等価回路を示す。一般的に、直流側寄生インダクタンス L_{dc} およびCスナバ寄生インダクタンス $L_{s\text{ubber}}$ は $L_{dc} \gg L_{s\text{ubber}}$ となるので、スイッチオフ時にドレイン-ソース間容量 C_{ds} へと流れ込む電荷は、 $C_{s\text{ubber}}$ に蓄えられた電荷が支配的となる。よって、図1の回路は直流電源と直流側寄生インダクタンスを省略した形で表すことができる。図2より、並列間寄生インダクタンスおよび初期電流が平衡であるとされた時、サージ電圧は(1)式で表すことができる。

$$\Delta V_{\text{surge}} = \frac{I_0 \pi}{4\omega^2 LC_{ds}^2} - E \dots\dots\dots (1)$$

この時の L , ω をそれぞれ(2)式に示す。 I_0 はターンオフ時における上アームに流れている初期電流である。

$$\begin{cases} L = L_{s\text{ubber}} + \frac{L_{Q1} + L_{Q2}}{4} + \frac{L_{Q3} + L_{Q4}}{4} \\ \omega = \frac{1}{\sqrt{LC}} \\ \frac{1}{C} = \frac{1}{C_{s\text{ubber}}} + \frac{1}{2C_{Uds}} + \frac{1}{2C_{Lds}} \end{cases} \dots\dots\dots (2)$$

ここで、 C_{Uds} , C_{Lds} はそれぞれ上アームおよび下アームのドレイン-ソース間容量である。また、 L_Q はデバイス-配線パターン間の寄生インダクタンスである。

3. シミュレーション結果

図3に、(1)式によるサージ電圧の理論値と図1の回路を用いたシミュレーション値との比較を示す。ここで、横軸は L_{Q1} および L_{Q2} の平均値に対する $L_{s\text{ubber}}$ の比を表す。また、 L_{Q1} に対して L_{Q2} の値を変えることで並列間寄生インダクタンスのバラつきを模擬する。 L_{Q1} および L_{Q2} がバランスしている場合、それらに比べ $L_{s\text{ubber}}$ が2倍程度までは理論値とシミュレーション値は一致する。しかし、 $L_{s\text{ubber}}$ が L_Q の2倍よりも大きい領域では理論値がシ

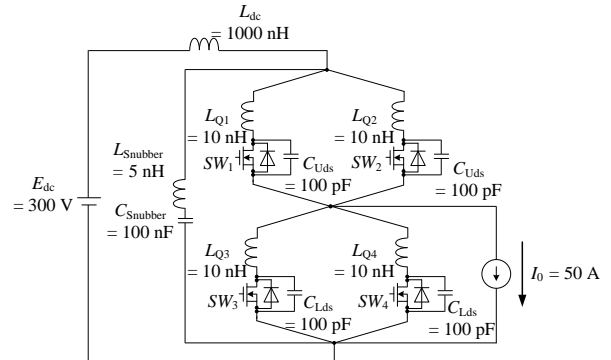


Fig. 1. Simulation circuit.

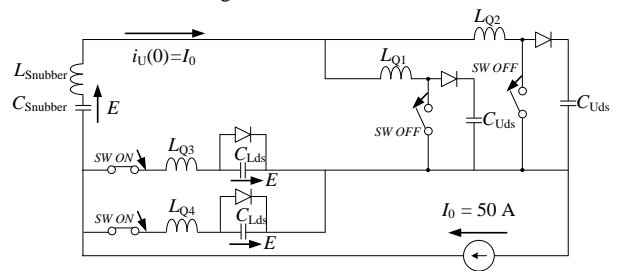


Fig. 2. Equivalent circuit at turn-off in upper switches.

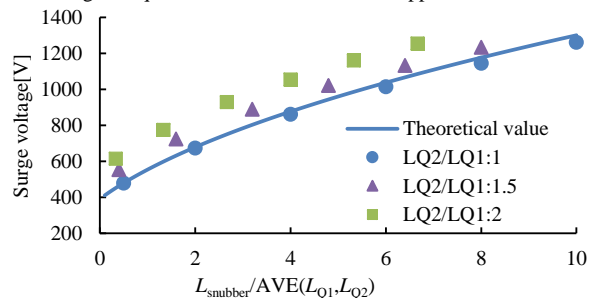


Fig. 3. Comparison of theoretical value and simulation result for upper arm SW's surge voltage.

ミュレーション値よりも大きくなっている。これは各legにおいて、 C_{Uds} に発生するサージ電圧は C_{Lds} の初期電圧よりも大きくなり、 C_{Uds} が充電されるよりも早く C_{Lds} が放電されるためである。その時、下アームの還流ダイオードがオンとなることで回路の動作モードが推移し、結果として理論値よりもサージ電圧が小さくなる。また図3より、 L_{Q1} および L_{Q2} の差が大きくなるほど、サージ電圧は増加する傾向にある。これは、ターンオン状態において L_Q が大きくなるほど蓄えられるエネルギーが増加するからである。つまり、Cスナバを使用した主回路では、サージ電圧はCスナバによって形成されるスイッチンググループの寄生インダクタンスの大きさに起因する。そのため、必ずしも直流側寄生インダクタンスを最小化する必要はない。

今後は実機実験による妥当性の確認を行う。

文 献

- (1) Koroku Nishizawa et al : PCIM Europe 2019, No.151, pp.954-971(2019)
- (2) 安東 他 : 産業応用部門大会, 1-84, pp.I-387 - I390(2017)