論文誌テンプレート<sup>消さないでください</sup> Ver, 2013, 06, 18

論文

# 高速な還流モード切り替えを適用した小型連系インダクタ を有する単相系統連系インバータの FRT 制御

学生員 永井 悟司\* 正員 日下 佳祐\* 上級会員 伊東 淳一\*a)

# FRT Capability of Single-phase Grid-tied Inverter with Minimized Interconnected Inductor

# Applying High-speed Switching to Freewheel Mode

Satoshi Nagai\*, Student member, Keisuke Kusaka\*, Member, Jun-ichi Itoh\*a), Senior member

(20XX 年●月●日受付, 20XX 年●月●日再受付)

This paper proposes a fault ride-through (FRT) operation for a single-phase grid-tied inverter with a minimized inductor in order to reduce the inverter output current overshoot. The inverter output current overshoot becomes very high at a grid voltage drop and recovery, when a low-inductance interconnected inductor is used. Hence, a grid-voltage fault stops the operation of the grid-tied inverter due to overcurrent protection. This paper proposes a high-speed freewheel mode during the voltage sag in order to reduce the inductor current overshoot. Moreover, the inductance of the interconnected inductor is designed by considering the grid voltage recovery operation of the inverter with the high-speed freewheel mode. Consequently, by using the proposed method, the grid-tied inverter continues to operate without interruption during the grid voltage fault. With the proposed method, the maximum inductor current overshoot during the voltage sag is reduced from 755% to 141%, compared with the conventional FRT operation.

**キーワード**:系統連系インバータ,連系インダクタ,FRT,高速還流モード **Keywords**: Grid-tied Inverter, Interconnected Inductor, FRT, High-speed Freewheel Mode

## 1. はじめに

近年,省エネルギーの観点から太陽光発電システム(以下, PV)が活発に研究されている<sup>(1)(2)</sup>。海外における PV などの 再生可能エネルギーの需要は増加傾向にあり,例えばドイ ツの PV による発電は 2012 年から 2017 年で 44%増加して いる<sup>(3)</sup>。PV などの再生可能エネルギーから系統へ電力を供 給するためにはパワーコンディショニングシステム(以下, PCS)が必要である。PCS は小型化の要求が強く,特に PCS 内で大きな体積割合を占めている連系インダクタの小型化 が求められている<sup>(4)-(6)</sup>。連系インダクタはインバータのスイ ッチング周波数を高周波化することで,電流リプルの観点 から低インダクタンス化が可能となり,体積の小型化が可

 \* 長岡技術科学大学 〒940-2188 新潟県長岡市上富岡町 1603-1 Nagaoka University of Technology

1603-1, Kamitomioka-machi, Nagaoka, Niigata, Japan 940-2188

能である。しかし,低インダクタンス化に伴って電流制御器の外乱抑圧性能が低下する問題がある<sup>(7)</sup>。低インダクタンス 化による外乱抑圧性能の低下に対して,著者らは Fieldprogrammable Gate Array (FPGA)に実装した高速外乱オブザ ーバ<sup>(8)-(10)</sup>を適用し,定常動作においてインバータ出力電流 ひずみ率を改善できることを確認している<sup>(11)</sup>。

一方,系統連系インバータは瞬時電圧低下(以下,瞬低)な どの系統擾乱時に解列することなく Fault Ride-through (FRT) 動作により運転継続することを要求されている<sup>(12)-(21)</sup>。しか し,連系インダクタンスが小さいときに瞬低などの系統擾 乱が発生する場合,系統電圧の瞬時的な変動によりインバ ータに過電流が発生する。以上から,過電流保護によりイン バータが停止し,系統から解列する問題がある。そのため, スイッチング周波数を単に高くしても,連系インダクタン スを小さくすることが不可能である。特に,ドイツの系統連 系規程である E.ON コードなどの海外における FRT 要件で は残電圧 0%の瞬低における運転継続性能 Zero-voltage Ridethrough (ZVRT)が求められている<sup>(19)</sup>。ZVRT では系統電圧ピ

a)Correspondence to: Jun-ichi Itoh. E-mail: itoh@vos.nagaokaut.ac.jp

ークで電圧低下や復帰するときに、電圧変動量が最大とな るため、インバータ出力電流オーバーシュートが最大とな る。以上から、低インダクタンスを有する系統連系インバー タにおいて ZVRT を達成するためには、系統電圧ピークで の電圧低下や復帰を考慮して出力電流オーバーシュートを 抑制することが必要である。例えば、JEAC9701 では系統電 圧復帰時の動作として過電流なく運転継続することが求め られており、定格電流に対して 150%以下の出力電流への抑 制が要求されている<sup>(12),(13)</sup>。本論文では、連系インダクタン スが小さい系統連系インバータにおいて E.ON コードなど に要求される ZVRT を達成し、系統電圧復帰時の出力電流 オーバーシュート量を定格電流ピークに対して 150%以下 に抑制する動作を確立する。

文献(15)では外乱補償型デッドビート制御と 1 MHz-Phase-Locked Loop (PLL)を適用することで FRT 性能を検証 している。高速制御を適用した提案法により瞬低時に出力 電流のオーバーシュートなく運転継続することを確認し出 力フィルタのトータルインダクタンスを出力インピーダン スに対して 1.9%程度にできているが、系統電圧ピークでの 瞬低発生や系統電圧ピークでの復帰に対してインバータ出 力電流が逆位相である場合などの最悪条件が考慮されてい ない。文献(16)では一定ピーク電流制御を適用することで FRT 動作中に過電流保護がかからないよう電流制御を行う。 トータルインダクタンスが出力インピーダンスに対して 2.6%の出力フィルタを適用し、提案法を実装することで FRT 要件を満たした Low-voltage Ride-through (LVRT)動作が 可能であることを確認している。しかし, 瞬低時の電圧低下 または電圧復帰の瞬間では設定した電流ピーク値を超過す るため, 残電圧 0%における運転継続性能 Zero-voltage Ridethrough (ZVRT)を考慮する場合には過電流が発生する可能 性がある。以上から, FRT 動作を考慮するときに出力フィル タに用いられる連系インダクタンスの低減と系統電圧低下 または復帰時の過電流抑制に関する検討が必要である。

本論文では、瞬低時の出力電流オーバーシュートに対し て FPGA による高速外乱オブザーバと瞬時的な高速還流モ ード切り替えを併用した FRT 制御法を提案する。提案法を 用いることにより外乱の変化量が最も大きい条件である ZVRT において,系統電圧復帰時にインバータ出力電流オー バーシュート量を150%以下に抑制することで E.ON コード を達成する。提案法は出力電流検出値に対して閾値を設け, 閾値到達時に還流動作を行うことで瞬時的に出力電流を遮 断する。瞬時還流動作後,ゲート駆動を再開することで出力 電流を停止することなく運転継続するため、インバータは FRT 動作を実現する。また, 連系インダクタンスと還流動作 切り替えまでの許容遅れ時間にはトレードオフがあること を示し、提案法を用いた場合でのインダクタ電流オーバー シュート量の最大値が 150%以下に抑制できる連系インダ クタンスの設計法を明らかにする。本論文の独創性は ZVRT を達成するために、高速外乱オブザーバを併用した遅延時 間を低減する高速な還流動作切り替え法を提案している点



Fig. 1. Single-phase inverter circuit with LC filter. The inductance L is reduced by increasing the switching frequency.



Fig. 2. Control block diagram for inductor current controller.

と、還流動作に切り替わるまでの遅延時間を考慮した連系 インダクタンスの設計法を明らかにしている点にある。以 上の検討から、ZVRT時にインバータ出力電流オーバーシュ ート量が150%以下に抑制できる。以上を考慮し、1kW試作 機を用いて、提案 FRT 制御法と連系インダクタンス設計法 の妥当性を確認する。

## 2. 提案 FRT 制御法

#### <2·1>低インダクタンスにおける FRT の問題点

図1 に単相系統連系インバータの回路図を示す。本論文 では単純なフルブリッジ単相2 レベルインバータ構成で検 討するが,基本的には三相連系インバータにも本検討は適 用可能である。また,系統連系インバータは系統に接続され た負荷に電力を供給するため,電流制御器が適用される。

図2に電流制御を比例積分(PI)制御器で構成したときのブ ロック図を示す。ここで、vdis は電流制御器に対する外乱電 圧、iL はインダクタ電流,L は連系インダクタンス、Tdet は 制御遅延時間、Tcal はコントローラの演算むだ時間、PI は PI 制御器の伝達関数、iL\*はインダクタ電流指令値、s はラプラ ス演算子である。また、外乱電圧には系統電圧 vac やデッド タイム誤差電圧 vdead などが含まれる。このとき、PI 制御器 の伝達関数 PI は以下に示される。

$$PI = K_p + \frac{K_p}{sT_i}$$

$$K_p = 2\zeta \omega_n L, \ T_i = \frac{2\xi}{\omega_n}$$
(1)

ここで、 $K_p$ は比例ゲイン、 $T_i$ は積分時間、 $\zeta$ は制動係数、 $\omega_n$ は電流制御器の固有角周波数である。また、制動係数 $\zeta$ は 0.7、 固有角周波数 $\omega_n$ は 6000 rad/s で設計した。図 2 と(1)式より 入力を外乱電圧  $v_{dis}$ 、出力をインダクタ電流  $i_L$ とし、 $i_L$ \*をゼ ロとすると、外乱伝達関数  $G_{dis}$ は以下に示される。

$$G_{dis} = \frac{i_L}{v_{dis}} = -\frac{1}{L} \frac{s}{s^2 + 2\zeta \omega_n e^{-sT \det T cal} s + \omega_n^2 e^{-sT \det T cal}} \dots (2)$$

(2)式より連系インダクタンス L が小さくなると外乱伝達関

数 G<sub>dis</sub> は増加する。また,検出回路やコントローラを変更し ない限り,検出遅延や演算むだ時間に対する外乱伝達関数 のゲインの影響は一様である。すなわち,連系インダクタを 小型化するために連系インダクタンス L を低減すると外乱 抑圧性能が低下し,瞬時電圧低下などの系統擾乱により連 系インダクタ電流 *i*<sub>L</sub> にオーバーシュートが発生する。以上 から,連系インダクタ電流オーバーシュートによりインバ ータの過電流保護が動作した場合,インバータが解列する ことになるため,FRT 要件を満足できない。

### 〈2·2〉 無効電流注入による従来 FRT 制御法

図3にFRT制御における無効電流注入方法について示す。 図3(a)より系統電圧検出値 vacdet を基にPLL により系統電圧 に同期した位相のを算出し,瞬低検出信号 vfrt が1となると きは,PLL による位相のからπ/2進相させることで位相のを出 力する。この位相から電流指令値を生成することで無効電 流制御を実現する。また,図3(b)により瞬低検出信号 vfrtを 生成する。系統電圧検出値 vacdet に対して位相をπ/2進相した 電圧 vacdet\_90を生成し, vacdet と vacdet\_90の2乗和を算出するこ とで系統電圧を直流で考慮する。この値の平方根を取るこ とで系統電圧のピーク値 vac\_maxを算出する。vac\_max と瞬低電 圧判定閾値 VFRT\_th の比較により瞬低検出信号 vfrtを生成し瞬 低の判定を行い無効電流制御の切り替えを行う。

図4に従来 FRT 制御のブロック線図を示す。ここで、L<sup>\*</sup> はインダクタ電流指令値の振幅, Vac はインバータ直流電圧,  $T_d$ はデッドタイム,  $f_{sw}$ はスイッチング周波数,  $i_{Ldet}$ はインダ クタ電流の検出値である。従来 FRT 制御では図3に示す無 効電流注入方法を適用し,瞬低時には無効電流指令を電流 制御器へ入力する。また、電流制御器は Digital Signal Processor (DSP)のみで制御し、デッドタイム誤差電圧補償を 用いることで定常時のデッドタイム誤差電圧を補償する。 系統擾乱に対する補償は、電流制御器による外乱抑圧の他 に,系統電圧を検出して制御器の出力に加算するフィード フォワード補償がある。しかし、DSP ベースで行うと検出回 路や A/D コンバータによる変換やサンプリング遅延による 検出遅れがある。系統電圧の検出遅れにより、フィードフォ ワード補償を適用する時は、インバータ出力電圧において 系統電圧の情報を考慮した出力に遅れが生じる。連系イン ダクタンスが小さい場合,検出遅れの影響により過渡的な 系統擾乱の補償が遅れるため,従来の FRT 制御法では瞬低 時のインバータ出力電流にオーバーシュートが大きく発生 する。特に、残電圧0%の瞬低では系統電圧の変化量が最大 となるため出力電流オーバーシュート量が最大となりう る。

### 〈2·3〉外乱オブザーバを用いた FRT 制御法

図 5 に高速外乱オブザーバを用いた FRT 制御のブロック 線図を示す。本制御法も瞬低中に電流制御を行いながら無 効電流を注入し, FRT 動作を実現する。外乱オブザーバを FPGA へ実装することで,連系インダクタンスが小さくても 外乱抑圧性能を維持し,広帯域な外乱補償を可能とする。外 乱オブザーバによる外乱補償電圧 は(3)式で表わされる。



(b) Voltage sag detection. Fig. 3. Reactive current control method for FRT operation. Phase  $\theta'$  becomes leading by  $\pi/2$  from  $\theta$ , when voltage sag occurs.



Fig. 4. Control block diagram of conventional FRT operation. In the conventional method, the current controller is implemented by DSP.



Fig. 5. Control block diagram of FRT operation with high-gain disturbance observer. The disturbance observer is still difficult to compensate large disturbances such as a voltage sag.

ここで, ωc は外乱オブザーバのカットオフ角周波数, vconv\* はインバータの出力電圧指令値である。電流制御器の目標 値応答は系統周波数に応答すればよいので、高速制御が不 要であるため DSP により制御する。FPGA へ実装した外乱 オブザーバを適用した場合は、定常状態で発生するデッド タイムやスイッチング素子のオン電圧などによる外乱に対 しては十分な出力誤差電圧補償が可能であることを確認し ている(11)。しかし、残電圧0%などの瞬低では瞬時的に系統 電圧などの外乱の変化量が非常に大きくなる。外乱の変化 量がステップ的に大きくなる場合、検出遅延時間などによ りインバータの duty 更新が遅れることで出力電流にオーバ ーシュートが発生する。よって、出力電流オーバーシュート を抑制するためには更に高速な応答をハードウェアで実現 する必要がある。したがって、FPGAの適用だけでなく検出 回路や A/D コンバータの変換またはサンプリング時間の高 速化が必要である。以上から, FPGA で実装した外乱オブザ ーバを適用しても遅延要素を低減しない限りはインバータ 出力電流のオーバーシュートが起こりうる。

### 〈2·4〉高速還流モード切り替えを適用した FRT 制御法

図6に瞬時的な還流動作を適用した提案 FRT 制御法のブ ロック線図を示す。本論文では、FPGA で構成される高速外 乱オブザーバと系統周波数に対してキャリア周期と同等の



Fig. 6. Control block diagram of proposed ZVRT operation with high-speed freewheel mode. By the proposed method, the inductor current overshoot is suppressed at the voltage drop and recovery.

短い還流動作への切り替えを併用する方法を提案する。本 論文の外乱オブザーバではインバータのスイッチング周波 数を 80 kHz で駆動する上で,外乱オブザーバの駆動周波数 を 80 kHz とし、ノイズ成分を誤検出しないようスイッチン グ周波数と同等の周波数とする。また、外乱オブザーバのカ ットオフ周波数は電流制御器の外乱である系統電圧(50/60 Hz)やデッドタイム誤差電圧による基本波の 5,7 次高調波 に対して十分に帯域の高い2kHzとする。以上を実現するた め, FPGA などの高速なコントローラで実装した外乱オブザ ーバであることから高速外乱オブザーバと呼称する。本論 文では、キャリア周期内で一時的に還流モードを使用する ためにゲート遮断を適用する。ここで、JEAC9701の系統連 系規程における解列とは「発電設備等を系統から切り離す こと」と定義されており、長期間のゲート遮断は解列とみな されるため FRT 要件で禁止されている。しかし、本論文の ようにキャリア周期内で、かつ出力電流を継続して流し続 けている一時的な還流モードは解列と異なる動作であるた め系統連系規程に反していない。還流動作切り替え遅延時 間を低減するためにアナログ回路にてインダクタ電流オー バーシュート検出回路を構成し、インダクタ電流オーバー シュート検出回路より生成した信号を FPGA へ入力するこ とで還流モードを実行する。従来法では A/D コンバータを 用いることで電流検出値の瞬時値を制御するのに対し、提 案制御法はインダクタ電流の検出値を A/D コンバータへ入 力せず還流モードへの切り替えを実行できる。よって, サン プリングによる遅延を考慮せずアナログ回路の遅延時間の みを考慮すればよいため、高速な還流動作が可能である。た とえば、電流検出の A/D コンバータによるサンプリング周 波数が 20 kHz で行われる場合、少なくとも提案法適用時は サンプリング周期である 50 µs 程度の遅延時間の低減が可 能である。また、本論文ではノイズ除去の観点からアナログ 回路上のインダクタ電流検出値に RC フィルタを実装する。 RC フィルタのカットオフ周波数はスイッチング成分以上 のノイズを除去するために 160 kHz としている。アナログ回 路によるインダクタ電流オーバーシュート検出信号を(4)式 のように判定する。

ここで,*iLb* は連系インダクタ電流の還流動作閾値である。 また, FPGA により瞬低判定信号 FRT\_ST を(5)式のように判 定する。

ここで, vac th は系統電圧下限閾値である。OC L が 0 の場 合,一時的な還流動作を実施する。還流動作期間はキャリア 1周期分とする。電圧低下発生の瞬間は外乱オブザーバ内の 積分器の遅延によって系統電圧推定値と実際の系統電圧に 偏差が生じる。この偏差により,瞬低発生の瞬間にはインバ ータ出力電圧が系統電圧値も考慮した値となるため, イン ダクタの両端電圧に過大な電圧が印加される。以上から、イ ンダクタ電流にオーバーシュートが発生する。これを解消 するために, 電圧低下発生時の還流動作中に外乱オブザー バ内の積分器をゼロに初期化させた後、還流動作を解除し 運転を継続する。外乱オブザーバの積分器をゼロに初期化 することで電流制御器の duty は系統電圧の値を除いた値に できる。これにより, 瞬低時のインバータ出力は系統電圧の 情報を除いた電圧にできるため電流のオーバーシュートを 低減できる。ただし、本論文の外乱オブザーバではインバー タのデッドタイム誤差電圧補償も含むため、外乱オブザー バの積分器をゼロに初期化することで瞬間的にデッドタイ ム誤差補償が不可となる。しかし,積分器をゼロにする期間 はキャリア周期と同等の短い期間のため波形ひずみが発生 する期間も瞬間的となるため問題とはならない。加えて,残 電圧が 0V でない瞬低時に積分器をゼロに初期化すると還

流動作解除後に系統電圧がインバータ出力電圧より高くな る。これにより出力電流が系統電圧の極性と逆方向に電流 オーバーシュートが発生しうる。ただし、この電流オーバー シュートが発生しても還流動作切り替えの閾値に到達すれ ば電流を低減できるため、積分器をゼロへ初期化すること は問題とならない。ZVRT 時の無効電流制御については系統 電圧の位相情報がないため, 瞬低前の PLL の情報を用いて 位相をπ/2 進相することで無効電流制御とする。また、連系 インダクタンスが小さい場合では電流制御器が系統電圧や デッドタイム誤差電圧などの外乱の影響を受けやすいた め、定常動作において出力電流 THD を向上するためには高 速かつ広帯域な外乱補償が必要である(11)。以上から、提案法 では高速外乱オブザーバと高速な還流モード切り替えを併 用することで、高速外乱オブザーバにより定常動作の出力 電流 THD を改善する。本論文では、高速外乱オブザーバは 連系インダクタンスとインダクタ電流を用いて定常動作時 のデッドタイム誤差電圧や系統電圧を補償する機能を持 ち、出力電流のひずみを抑制する役割を持つ。また、高速な 還流モード切り替えは系統電圧の瞬低時または復帰時にイ ンバータからゼロ電圧ベクトルを出力する機能を持ち、イ ンダクタ電流のオーバーシュートを抑制する役割を持つ。 ここで、外乱オブザーバによる補償は系統擾乱や配線イン ピーダンスについては考慮せず,系統擾乱時のインダクタ 電流オーバーシュート抑制については高速な還流モード切 り替えにより考慮する。

図 7 にシミュレーションにより比較した高速外乱オブザ ーバ適用時と高速な還流モード切り替えそれぞれを適用し た時の動作波形を示す。図 7 より,高速外乱オブザーバ非適 用時は出力電流 THD の低減が不可であり,高速な還流モー ド切り替え非適用時は出力電流オーバーシュート抑制が不 可となる。したがって,系統連系規程を達成する上で両制御 法の適用が必要である。また,高速な還流モード切り替えと して製品のゲートドライバ<sup>(22)</sup>などに実装された過電流保護 機能を使用することも可能である。ただし,本論文では FRT 中にもインバータ出力電流を流し続けることを目的として いるため,ゲート出力許可信号の生成と停止したゲートド ライバへのゲート出力許可信号の印加が必要である。以上 を考慮すると,本論文で述べているアナログ回路による過 電流検出と FPGA による還流動作期間の管理が運転継続性 能の上では容易に構成が可能である。

図 8 に FPGA へ実装する外乱オブザーバのハイパスフィ ルタ(HPF)とローパスフィルタ(LPF)のタイミングチャート を示す。タイミングチャートにより FPGA へ実装する外乱 オブザーバの動作タイミングの明確化を図る。FPGA は1ク ロック 40 MHz で動作させ、キャリア周波数を 80 kHz,電流 検出のサンプリング周波数を 80 kHz で駆動する。また、イ ンバータのスイッチング周波数はキャリア周波数と同様で ある。本論文の高速外乱オブザーバでは D-FF をキャリア周 波数で値を更新し、加算器、減算器、乗算器はクロック周波 数ベースで駆動する。以上から、高速外乱オブザーバの LPF



(b) Voltage drop operation. (c) Voltage recovery operation. Fig. 7. Comparison between with only high-gain disturbance observer (DOB) and with only high-speed freewheel mode.

や HPF の更新周期は D-FF の更新周期であるキャリア周波 数に依存するため, 高速外乱オブザーバはキャリア周波数 で駆動する。HPF において、連系インダクタ電流検出値 iLdet の検出時間から約4クロック後に乗算結果 X2を算出する。 X2 は連系インダクタ電流 iLdet とゲイン ocL の乗算結果であ る。X2とX6の減算結果X1は1クロック後に算出する。X3は X1または0を次回のキャリアピーク点(500クロック毎)で出 力する。X3の値は図6のMUX1の表に従って選択する。X3 とX5の加算結果X4は1クロック後に出力する。X5はX4ま たは0を次回のキャリアピーク点(500クロック毎)で出力す る。X5の値においても図6のMUX1の表に従って選択され る。乗算結果 X<sub>6</sub> は X<sub>4</sub> の算出時間から約 4 クロック後に出力 される。X6はX4とゲイン*ωc/fso*の乗算結果である。一方, LPF において, インバータ出力電圧指令値 vconv\*と Y1 の減算 結果である Y2は1クロック後に算出する。Y3は Y2や0を次 回のキャリアピーク点(500 クロック毎)で出力する。Y3の値 は図6のMUX2の表に従って選択する。Y3とY5の加算結果 Y4は1クロック後に算出する。Y5はY4または0を次回のキ ャリアピーク点(500 クロック毎)で出力する。Y5の値も図 6 の MUX2 の表に従って選択する。乗算結果 Y1 は Y4 の算出 時間から約 4 クロック後に算出される。Y1 は Y4 とゲイン  $\omega_{c}/f_{so}$ の乗算結果である。最終的に  $Y_{1} \ge X_{1}$ の減算結果 $\hat{v}_{so}$ が 1 クロック後に算出される。上記タイミングチャートに則



Fig. 8. Timing chart of FPGA controller for high-gain disturbance observer. X<sub>3</sub>, X<sub>5</sub>, Y<sub>3</sub> and Y<sub>5</sub> are changed by table of MUX1 and MUX2 in Fig. 6.

り、FPGA へ実装する外乱オブザーバが動作する。

## 3. 瞬時還流モード適用時の連系インダクタンス と連系インダクタ電流の解析

#### 〈3・1〉FRT 要件を満たす最小連系インダクタンス設計

図9にインバータ出力電圧 vconvと系統電圧 vac が接続され た連系インダクタに関する回路モデルを示す。ここで、Vac は系統電圧ピーク,u(t)は単位ステップ関数である。また、 図10に系統電圧が0Vから系統電圧ピークまで復帰したと きのインダクタ電流のオーバーシュート発生から還流動作 に切り替わることで電流が低減されるまでの動作概要を示 す。FRT 動作における系統電圧復帰時の過渡応答に注目す ると、時間 t と連系インダクタ電流 iL の関係は以下の式で示 される。

 $v_{conv} = L \frac{di_L}{dt} + v_{ac} \tag{6}$ 

FRT 動作においては,系統復帰時に出力電流と系統電圧が 逆位相のときに連系インダクタ電流のオーバーシュートが 大きくなる。特に,系統電圧が正側にピーク電圧で復帰する ときに,インダクタ電流が負方向にピークであるときに電 流オーバーシュートが最大となり最悪条件となる。以上か ら,ZVRTにおいて連系インダクタ電流を負方向で最大のと きに系統電圧が正側にピーク電圧で復帰する場合を検討す る。上記条件における連系インダクタ電流 *u* を以下に示す。

$$i_L = -I_L - \frac{V_{ac}}{L}t \tag{7}$$

ここで、LLは連系インダクタ電流の定格電流ピーク値、tは 系統復帰からの時間である。また、インダクタ電流のオーバ ーシュート量の最大値が 150%を満たす還流動作の許容遅 延時間 tbd は(7)式を時間 t に対して導出し(8)式より導出され る。



Fig. 9. Circuit model for interconnected inductor after voltage recovery. In the circuit model, the maximum inverter output current is calculated.



Fig. 10. Current overshoot at grid voltage recovery with freewheel mode.

$$t_{bd} = t_{th} - t_b = \frac{L}{V_{ac}} (-I_L - i_{L_{-}th}) - \frac{L}{V_{ac}} (-I_L - i_{L_{-}b})$$
  
=  $\frac{L}{V_{ac}} (i_{L_{-}b} - i_{L_{-}th})$  .....(8)

ここで、th は系統電圧復帰時から連系インダクタ電流が定格 電流ピーク値に対して 150%となる電流へ到達するまでの 期間、tb は系統電圧復帰時から連系インダクタ電流が還流動 作閾値へ到達するまでの期間、iL\_h は連系インダクタ電流の オーバーシュート量が定格電流ピーク値に対して 150%の 値である。(8)式より連系インダクタンス最小値 Lmin を以下 のように算出する。このとき、還流動作の許容遅延時間 tbd には還流動作切り替え遅延時間 tdelay を代入することで(9)式 を計算する。

$$L_{\min} = \frac{V_{ac} t_{delay}}{i_{L_{-b}} - i_{L_{-th}}} \dots (9)$$

ここで、還流動作切り替え遅延時間 tdelay はインダクタに流 れる実電流が還流動作閾値に到達してから、実際に還流モ ードが実行されるまでの遅延時間であるため、検出回路、 FPGA の処理、ゲートドライブ回路の遅延などが含まれる。

## 〈3・2〉電流オーバーシュート量の導出

(9)式により導出した連系インダクタンス Lmin, 還流動作 切り替え遅延時間 tdelay と連系インダクタ電流の還流動作閾 値到達時間 tb の和を(7)式に代入することで連系インダクタ 最大電流 iLmax を導出できる。

(9)式で設計した連系インダクタンスを用いることで瞬低復 帰時の連系インダクタ最大電流 *i*<sub>Lmax</sub> が定格電流ピークに対 して 150%以下となるため、インダクタ電流オーバーシュー ト量を 150%に抑制した ZVRT が可能である。

## 4. 小型連系インダクタの設計

図 11 に瞬時還流モードを適用した場合における LC フィ ルタの連系インダクタンス最小化の設計フローチャートを 示す。初めに,系統連系インバータの仕様より,初期条件で ある系統電圧 vac, 出力電力 Pout, スイッチング周波数 fsw, 連系インダクタ電流検出から還流モード実行までの総合遅 延時間 t<sub>delav</sub>, FRT 要件を満たす連系インダクタ電流の閾値 iLth, 想定する系統の配線インダクタンス Lgを決定する。初 期条件より系統電圧に基づいた配線インダクタンス Lg と還 流動作の連系インダクタ電流閾値 iL bを決定する。 還流動作 閾値 iL b は定常動作において定格電流が閾値を超過しない ように設定し、150%のインダクタ電流オーバーシュート値 iL th より低く設定する必要がある。以上から、初期条件と還 流動作閾値 iL bを用いることで, (9)式より連系インダクタン ス最小値 Lmin を導出できる。次に、スイッチングリプル電流 が系統連系規程に定められた高調波規制を満たしているか 計算する。系統連系規程では系統に流入する電流リプルに 規定がある<sup>(23)</sup>。しかし、LCフィルタの直後の電流リプルに 関しては LC フィルタ後の系統側の配線インダクタンスな どを考慮しない限り実際のフィルタ直後の出力電流リプル の設計は困難である。よって、本論文では設計指針としてあ る程度の系統の配線インダクタンスを想定したうえで、出 力電流リプルが高調波規制を達成できるように設計する。 連系インダクタのスイッチング成分の電流リプルΔILは(11) 式より導出できる。

(11)式より導出した連系インダクタの電流リプルΔL が基本 波電流 L の 20%以上の場合、連系インダクタンスを増加し、



Fig. 11. Flowchart of design method for minimized interconnected inductor. The inductance of the interconnected inductor is decided by the initial conditions at the voltage recovery.

(11)式による電流リプルΔLが基本波電流 L の 20%未満を満 たすように再設計を行う。一方,LCフィルタのキャパシタ ンスについてはスイッチング周波数に応じて LCフィルタ のカットオフ周波数 *fic\_cut* からキャパシタンスを決定する。 キャパシタンスに関しては(12)式に基づき導出する。

$$C = \frac{1}{\left(2\pi f_{LC_{-CUU}}\right)^2 L}$$
.....(12)

LC フィルタのカットオフ周波数 *fLC\_cut* はスイッチング周波 数に対して 1/10 または 1/20 程度とすれば出力電流の高調波 成分の低減が可能である。ここで,想定した系統の配線イン ダクタンス *Lg* と設定したキャパシタンス *C* を用いて LC フ ィルタ直後の出力電流のリプルΔ*lout* は以下で示される。

$$\Delta I_{out} = \frac{\Delta I_L}{\left(2\pi f_{sw}\right)^2 L_g C}$$
(13)

(13)式で示された出力電流リプルが系統連系規程の高調波 規制<sup>(23)</sup>(基本波周波数成分に対して 0.3%)を達成する場合設 計完了とし、未達成の場合インダクタンスを増加し再設計 を行う。系統連系インバータは出力側をLCフィルタ構成で 設計する事例<sup>(24)-(26)</sup>も多いため本論文のLCフィルタによる 設計法は有用である。

図 12 に図 11 のフローチャートに基づいて設計した連系 インダクタンスのインバータ出力インピーダンスに対する パーセントインピーダンス%Z と還流動作許容遅延時間 tbd の特性,加えて,設計したインダクタンスに対してカットオ フ周波数が 4 kHz となるフィルタキャパシタンスのパーセ ントアドミッタンス%Yの特性を示す。ここで、設計条件と して, 出力電力 Pout を 1 kW, 系統電圧ピーク値 Vac を 282.8 V, 系統周波数を 50 Hz, スイッチング周波数を 80 kHz (等 価スイッチング周波数 160 kHz), 直流中間電圧 380V, 連系 インダクタ電流の還流動作閾値 iL b を 9.0 A とする。図 12 よ り, 還流動作切り替え遅延時間が短くなればなるほど, 連系 インダクタンスを小さくすることができる。これは、連系イ ンダクタンスが小さくても還流モードが実行されるまでの 時間が短くできれば連系インダクタ電流のオーバーシュー トを150%以下に抑制できるためである。しかし、電流制御 器の制御性能の関係から電流リプルを 20%以下に設計する と本条件では 0.35 mH で低インダクタンス化の下限値を迎 える。図12の斜線部がインダクタンス下限値以下の値であ る。したがって、低インダクタンス設計のボトルネックは電 圧復帰時の還流動作切り替え遅延時間によるインダクタ電 流のオーバーシュート量と定常動作におけるインダクタの 電流リプルの2つがある。

表1に小型連系インダクタ設計における初期条件と計算結果について示す。初期条件より,系統電圧ピーク Vac を282.8 V,電流リプルを除去した連系インダクタ電流の定格電流におけるピーク値 L を7.07A(ここで,インダクタ電流の定格電流実効値は5.0 A),還流動作切り替え遅延時間を7.2 µs,連系インダクタ電流の還流動作閾値を電流リプルも考慮して9.0A程度とし,瞬低復帰時の最大連系インダクタ電流 iL\_th は10.6 A(定格電流ピーク L の150%)とする。上記初期条件より,連系インダクタンスLは1.27 mH(%Z=1.0%), 連系インダクタ電流の最大値 iLmaxは10.6 A(連系インダクタ の電流オーバーシュート量:150%)となることを確認した。本論文では設計の初期条件により最小のインダクタンスは 還流動作切り替え遅延時間に拘束されている。

# 5. 小型連系インダクタを適用した提案法のシミ ュレーション検証

表2にシミュレーション条件を示し,図13に従来FRT制 御法を,図14に提案FRT制御法を適用したZVRTのシミュ レーション結果を示す。本シミュレーションでは図1のよ うな単相フルブリッジ2レベルインバータを用い,各制御



Fig. 12. Relationship between delay time of freewheel operation, minimized interconnected inductance L and filter capacitance C.

Table	1	Calculation result
raute	1.	Calculation result.

Initial condition						
Grid voltage peak Vac	282.8 V					
Output power Pout	1 kW					
Rated inductor current $I_L$	7.07 A					
Delay time for freewheel operation $t_{delay}$	7.2 μs					
Inverter output current threshold for freewheel operation $i_{L_b}$	9.0 A					
Inverter output current limit by FRT requirement $i_{L_{th}}$	<i>I</i> <sub><i>L</i></sub> ×1.5					
Calculation result						
Interconnected inductor <i>L</i> (%Z for output impedance )	1.27 mH (1.0%)					
Maximum inductor current $i_{Lmax}$ (Overshoot rate)	-10.6 A (150%)					

Table 2. Simulation conditions.

Common conditions							
Output power	$P_{out}$	1 kW	Ang. fre. of ACR	$\omega_n$	6000 rad/s		
DC link vol.	$V_{dc}$	380 V	Samp. fre. of ACR	$f_{samp}$	20 kHz		
Grid voltage	$v_{ac}$	200 V <sub>rms</sub>	Vol. det. delay		12 µs		
Carrier fre.	$f_{cry}$	80 kHz	Current det. delay		3 µs		
Conditions of conventional method							
Inter. Induc. (%Z)	L	3.30 mH (2.6%)	Filter cap.	С	0.48 μF		
Conditions of proposed method							
Inter. Induc. (%Z)	L	1.27 mH (1.0%)	Samp. fre. of DOB	$f_{so}$	80 kHz		
Filter cap.	С	1.25 μF	Cutoff fre. of DOB	$f_c$	2 kHz		
FW operation threshold	$I_{L\_b}$	9 A	delay time of FW operation	t <sub>delay</sub>	7.2 μs		

法を適用した時に FRT 要件を満足し運転継続できる LC フ ィルタにおいて, どれほどインダクタンスを低減できるか 検証する。よって,復帰時のインダクタ電流のオーバーシュ ート量が 150%となる連系インダクタンスを各制御法に適 用する。提案 FRT 制御法適用時の連系インダクタンスは表 1 で導出したインダクタンスを使用し,電流制御器(ACR)の 固有角周波数を 6000 rad/s,外乱オブザーバのカットオフ周 波数 2000 Hz としてシミュレーションを行う。また,LC フ





ィルタのカットオフ周波数がキャリア周波数に対して 1/20 (4kHz)となるフィルタキャパシタンスを使用する。図 13 (c) のシミュレーション結果より従来 FRT 制御を適用した場 合,連系インダクタンスの%Z を 2.6%とすることで系統電 圧復帰時のインダクタ電流オーバーシュート量が定格電流 ピーク値に対して 150%となる。一方,図 14 (b)に電圧低下 時のシミュレーション結果を示す。電圧低下時の連系イン ダクタ最大電流オーバーシュート量は 150%を超過してい るが,FRT 要件において電圧低下時に対する出力電流オー







バーシュート量の規程は示されていないため問題なしとす る。次に、図14(c)に電圧復帰時のシミュレーション結果を 示す。このとき、最大インダクタ電流オーバーシュート量が 150%に抑制できていることがわかる。以上より、提案 FRT 制御法と設計した小型連系インダクタを適用することによ り瞬低復帰時に出力電流オーバーシュート量を 150%以下 に抑制した ZVRT が可能であることが確認できた。また、解 析結果とシミュレーション結果においても連系インダクタ 最大電流オーバーシュート量がほぼ一致した結果を取得で きた。このとき、従来法と比較して提案法適用時の連系イン ダクタンス L を小さくできるが、フィルタキャパシタンス C が大きくなる。インダクタの体積はインダクタンス値の増 加に伴い、巻き数の増加や、コア材の実行断面積を大きくす る必要があるため大型化しやすい。しかし、フィルタキャパ シタに用いるフィルムコンデンサはインダクタに対して体 積比が十分小さくデータシート<sup>(27)</sup>上での比較においてもキ ャパシタンスの増加に伴う体積増加の割合が低い。以上か らキャパシタンスの増加は LC フィルタ大型化への影響が 低い。したがって、連系インダクタンスの低減により LC フ ィルタの小型化が可能である。

## 6. 実験結果

表3にZVRTの実験条件を示す。今回は1kWの試作機に おける定格出力動作において検証する。また、本実験では直 流中間電圧を380Vとしているが、(10)式よりFRT動作に おける電流オーバーシュートは直流中間電圧に依存しな い。したがって、直流中間電圧値が380Vより低い電圧でも 高い電圧でも提案法への影響はないため、直流中間電圧に よらず提案法は適用可能である。設計した連系インダクタ ンス1.27 mH (%Z = 1.0%)を適用し、キャリア周波数を80 kHz、提案法において用いる還流動作閾値 IL\_bを±9.0A、イ ンバータ動作を停止するための過電流閾値 OC は±20 A と する。インダクタ電流が OC 閾値へ到達した時は手動リセッ トするまでゲート遮断を実施する。加えて、本論文における ZVRTの実験条件は負方向のインダクタ電流ピークのとき に正の系統電圧ピークで復帰する条件とする。このとき、イ ンダクタ電流のオーバーシュートが最悪条件となる。

図15に従来FRT制御法を適用した場合におけるZVRTの 実験結果を示す。図15(b)より系統電圧低下時に連系インダ クタ電流が過電流閾値20Aを超え、過電流保護によりイン バータ出力が停止し系統から解列していることがわかる。 従来 FRT 制御法では DSP に実装した電流制御器のみで動作 させているため、電流検出遅延や電流制御器におけるサン プリング遅延により制御の遅れが発生し出力電流オーバー シュートを抑制できない。これより、出力電流オーバーシュ ートが過電流閾値を超過する。また,過電流保護閾値を大き く超過し、53.4A(755%)のオーバーシュートが発生する。こ れは、低インダクタンス化による電流傾きが急峻となる影 響と過電流保護回路の遅延により発生する。加えて、本実験 のインダクタンスは飽和電流を定格電流のピーク値 7.07 A に対して 2 倍程度にマージンを持たせているが、従来法適 用時ではその2倍のマージンを超える電流オーバーシュー トが発生するため、低インダクタンスでの従来法の適用は 不可能である。以上から、従来制御法で ZVRT を達成するに は連系インダクタンスの増加が必要である。

図 16 に高速外乱オブザーバと従来 FRT 制御法を適用し たインバータにおける ZVRT の実験結果を示す。図 16(b)よ り図 15(b)と比較して瞬低時のインバータ出力電流オーバ ーシュートを 6.3A 低減できているが,過電流保護によりイ

Table 3. Experimental conditions.

Output power	$P_{out}$	1 kW	Carrier fre.	$f_{cry}$	80 kHz
DC link vol.	$V_{dc}$	380 V	Ang. fre. of ACR	$\omega_n$	6000 rad/s
Grid voltage	$v_{ac}$	200 V <sub>rms</sub>	Samp. fre. of ACR	$f_{samp}$	20 kHz
Dead-time	$T_d$	500 ns	Samp. fre. of DOB	$f_{so}$	80 kHz
Inter. Induc. (%Z)	L	1.27 mH (1.0%)	Cutoff fre. of DOB	$f_c$	2 kHz
Filter cap.	С	2.5 μF	delay time of FW operation	t <sub>delay</sub>	< 6.5 µs
OC level	OC	20 A	FW operation threshold	$I_{L\_b}$	≤ 9 A



(b) Voltage drop operation.

Fig. 15. Experimental result of conventional FRT control with conventional dead-time compensation in ZVRT operation. The inverter is stopped due to the over current protection.

ンバータの出力が停止し,系統から解列していることがわ かる。キャリア周期で行われるサンプリングや制御では系 統擾乱時の外乱補償速度が不足するため,外乱オブザーバ のみで瞬低補償を実現するためには外乱オブザーバの高周 波化と広帯域な制御が必要となる。以上から,小型連系イン ダクタを適用したインバータにおいて,外乱オブザーバの みを適用した場合の FRT 動作では低インダクタンス化が不 可能である。また,系統電圧低下時の連系インダクタ電流の 最大オーバーシュート量は 47.1 A (666%)となることを確認 した。

図17に高速な還流モード切り替えを適用した提案 FRT 制 御法を実装したインバータの ZVRT の実験結果を示す。図 17 (a)よりインバータが系統から解列せず運転継続を実現で きていることがわかる。また, ZVRT 期間中は瞬低前の系統 電圧から計算している PLL の位相情報からπ/2 の位相を進



(b) Voltage drop operation.

Fig. 16. Experimental result of conventional FRT control with high-gain disturbance observer in ZVRT operation. The inverter with high-gain disturbance observer is also stopped due to the over current protection.

相し無効電流制御が実現できている。図 17(b)に系統電圧低 下時のインダクタ電流波形を示す。電圧低下時のインダク タ電流最大値は 9.0A(127.3%)であり,過電流閾値 20A以下 に抑制できている。高速還流モード切り替えにより効果的 に連系インダクタ電流のオーバーシュートが抑制できてい る。次に、図17(c)に系統電圧復帰時のインダクタ電流波形 を示す。系統電圧復帰時のインダクタ電流最大値は 10.0 A (141.4%)であり,過電流閾値 20 A 以下に抑えることができ ている。よって, 瞬低復帰時にインダクタ電流オーバーシュ ート量を定格電流ピークに対して 150%以下に抑制した ZVRT を達成している。以上の結果から、高速還流モード切 り替えを適用した提案 FRT 制御法と設計した小さい連系イ ンダクタンスを適用することで、系統擾乱時にも過電流保 護によりインバータを停止・解列することなく系統連系動 作が可能であることを確認した。また、図 17 (b), (c)におい て瞬低直後または復帰直後の還流モード後に出力電流が減 少した後に最大電流へ増加し還流モードを実行する動作を 繰り返す。これは瞬低発生直後または電圧回復直後は定格 電流指令値へ追従しようとする動作が発生するためであ る。また,瞬低発生直後は瞬時還流モード後に高速外乱オブ ザーバの積分器をゼロに初期化する観点から出力電流が緩 やかに低減し、再度電流指令値に緩やかに追従しようとす るようにオーバーシュートが発生する。これを繰り返した 後, 電流指令値に電流が追従する。一方, 電圧回復直後は瞬 時還流モード後も高速外乱オブザーバの積分器を瞬時的に





更新しないため,外乱電圧を推定できていない動作が続き, 出力したい電流に対する duty が小さくなる。よって,イン バータ出力電圧実効値が系統電圧実効値より小さくなるこ



(b) Voltage drop operation.

Fig. 18. Experimental result of conventional FRT control with conventional dead-time compensation in LVRT operation (grid voltage down to 20%). The inverter is stopped due to the over current protection.

とから電流のオーバーシュートが発生する。これにより、電 流オーバーシュートと瞬時還流モードによる電流低減を繰 り返し、外乱オブザーバが系統電圧である外乱電圧の推定 が完了後にオーバーシュートが緩和され指令値に追従する 動作となる。ここで, 瞬低復帰直後に外乱オブザーバの積分 器を系統電圧の情報に初期化しない理由は、復帰する系統 電圧の位相を推定できないためである。以上から, 瞬低発生 直後と電圧回復直後の電流波形応答が異なる。その追従の ため過渡動作が発生し、オーバーシュートが発生し還流モ ードを繰り返す動作が発生する。図 17 (b)では DSP による 電流指令値が無効電流の指令となるまで上記の動作を繰り 返し,指令値が無効電流指令となることで瞬時的な電流波 形の増減が解消される。電圧回復直後では電流値がピーク 値から遠ざかる(位相が 90 度または 180 度から進む)こと で還流動作が緩和されて指令値へ追従する動作へ収束す る。加えて、図 17(d)に系統電圧復帰時から出力電力が有効 電力へ移行するまでの出力波形を示す。系統電圧復帰から インバータ出力が安定するまでの期間は190msで電源位相 と同期した波形となることが確認できた。本実験では瞬低 復帰後に 200 ms 以内に電源位相と同期するように設定し, 出力復帰時間として系統連系規程 JEAC 9701 に定められる, 1.0 s 以内 (0.2 s 以内が望ましい) に瞬低前のインバータ出 力電力に対して 80%以上を出力する規程を満たす復帰動作 を検証している。以上から、インダクタ電流オーバーシュー トを抑制し復帰後に出力電力を復帰する ZVRT を検証し,





Fig. 19. Experimental result of conventional FRT control with high-gain disturbance observer in LVRT operation (grid voltage down to 20%). The inverter is stopped due to the over current protection.

FRT 要件を満たすことを確認できた。

次に LVRT 動作について検証する。図 18 に従来 FRT 制御 法を適用した際の実験結果,図 19 に従来 FRT 制御法に外乱 オブザーバを適用した際の実験結果を示す。LVRT について は系統電圧が残電圧 20%の瞬低に対して検証する。図 18, 19 より 2 手法ともに連系インダクタ電流に大きなオーバー シュートが発生しインバータ動作が停止することで系統か ら解列している。LVRT においても低インダクタンス下では 電流検出遅延時間やサンプリング遅延時間によって電流制 御の遅れが発生することにより,連系インダクタ電流にオ ーバーシュートが発生する。また,2 つの従来 FRT 制御法 適用時の連系インダクタ電流オーバーシュート量はそれぞ れ 41.0 A (580%), 37.3 A (528%)となることを確認した。

図 20 に提案 FRT 制御法を適用した残電圧 20%の瞬低に おける LVRT 動作について示す。図 20 (a)より解列すること なく運転継続できていることが確認できる。また,図 20 (b) より電圧低下時の連系インダクタ電流オーバーシュート量 が 9.1 A (128.7%)であり,図 20 (c)より系統電圧復帰時の連 系インダクタ電流オーバーシュート量は 8.8 A (124.4%)とな ることを確認した。以上から LVRT においても提案 FRT 制 御法と設計した小型連系インダクタを適用することでイン ダクタ電流オーバーシュート量を 150%以下に抑制した LVRT を達成可能であることを確認した。実験結果より ZVRT と比較して系統復帰時の連系インダクタ電流オーバ ーシュートが低くなる。これは、LVRT において無効電流注

入した際は、系統電圧ピークで系統復帰した場合において は連系インダクタ電流のゼロクロスで過渡動作が発生する ことと、系統電圧の変動量が ZVRT 時と比較して低いため である。また、系統電圧ゼロクロス点で系統復帰する場合 は、外乱の変化量がゼロとなる。以上から、LVRT において はインバータ出力電流のオーバーシュートが発生しにくい 条件となる。加えて,図 20(d)に残電圧 20%の瞬低において 系統電圧復帰時から出力電力が有効電力へ移行するまでの 出力波形を示す。系統電圧復帰からインバータ出力が安定 するまでの期間は 55 ms で電源位相と同期した波形となる ことが確認できた。系統連系規程 JEAC 9701 では残電圧 20% 以上の瞬低においては 0.1 s 以内に瞬低前のインバータ出力 電力に対して 80%以上を出力することが定められておりこ れを満足できている。したがって、提案 FRT 制御法を適用 することで ZVRT, LVRT ともに FRT 要件を満たす動作が可 能であることが確認できた。

## 7. 結論

本論文では,瞬時的な還流モードを適用した FRT 制御を 提案した。また,提案法を適用した場合を考慮した連系イン ダクタの設計により1kW試作機において連系インダクタン スを%Z=1%に低減した。設計した連系インダクタを用いて 提案 FRT 制御を適用することで,解列することなく瞬低復 帰時のインダクタ電流オーバーシュート量を 150%以下に 抑制した ZVRT 動作が実現できることを確認した。加えて, LVRT 動作においても FRT 要件を満たす動作が確認できた。 以上から,提案 FRT 制御法と小型連系インダクタの設計法 の妥当性について確認できた。

## 文 献

- (1) Nimrod Vázquez, Marco Rosas, Claudia Hernández, Eslí Vázquez, and Francisco Perez-Pinal : "A New Common-Mode Transformerless Photovoltaic Inverter", *IEEE Trans. Ind. Electron.*, Vol. 62, No. 10 pp. 6381-6391 (2015)
- (2) Sachin Jain and Vivek Agarwal: "A Single-Stage Grid Connected Inverter Topology for Solar PV Systems With Maximum Power Point Tracking", *IEEE Trans Power Electron.*, Vol. 22, No. 5, pp 1928-1940 (2007)
- (3) H. Wirth : "Recent Facts about Photovoltaics in Germany," *Fraunhofer ISE*, 2018. [Online]. Available: https://www.ise.fraunhofer.de/content/dam/ise/ en/documents/publications/studies/recent-facts-about-photovoltaics-ingermany.pdf
- (4) R. Peña-Alzola and M. Liserre : "LCL-Filter Design for Robust Active Damping in Grid-Connected Converters," *IEEE Trans. Ind. Info.*, Vol. 10, No. 4, pp. 2192-2203 (2014)
- (5) R. Beres, X. Wang, F. Blaabjerg, M. Liserre, C. Bak, "A Review of Passive Power Filters for Three-Phase Grid Connected Voltage-Source Converters" IEEE Journal Emerging and Selected Topics in Power Electronics (2015)
- (6) Min Huang, Xiongfei Wang, Poh Chiang Loh, Frede Blaabjerg, and Weimin Wu : "Stability Analysis and Active Damping for LLCL-Filter-Based Grid-Connected Inverters", *IEEJ J. Ind. Appl.*, Vol.4, No.3, pp.187-195 (2015)
- (7) R. W. Erickson, and D. Maksimovic : "Fundamentals of Power Electronics, 2nd ed." Springer (2001)
- (8) K. Lee, T. M. Jahns, T. A. Lipo, V. Blasko and R. D. Lorenz, "Observer-Based Control Methods for Combined Source-Voltage Harmonics and Unbalance Disturbances in PWM Voltage-Source Converters" *IEEE Trans. Ind. Appl.*, Vol. 45, No. 6, pp. 2010-2021 (2009)



Fig. 20. Experimental result of proposed FRT control method in LVRT operation (grid voltage down to 20%). The grid-tied inverter operates without disconnecting from the grid.

- (9) N. Hoffmann, M. Hempel, M. C. Harke and F. W. Fuchs : "Observer-based Grid Voltage Disturbance Rejection for Grid Connected Voltage Source PWM Converters with Line Side LCL filters", *in Proc. IEEE Energy Conversion Congress and Expo.* (ECCE), pp. 69-76 (2012)
- (10) T. Hoshino, J. Itoh, and T. Kaneko : "Dead-time Voltage Error Correction

with Parallel Disturbance Observers for High Performance V/f Control", *in Proc. IEEE Ind. Appl. Conf. 42nd IAS Annual Meeting*, pp. 2038-2044 (2007)

- (11) S. Nagai, H. N. Le, T. Nagano, K. Orikawa, J. Itoh : "Minimization of Interconnected Inductor for Single-Phase Inverter with High-Performance Disturbance Observer", IEEE International Power Electron. Motion Control Conf. - ECCE Asia, No. Wb8- 06 (2016)
- (12) 系統連系専門部会編:「系統連系規程 JEAC9701-2016」, 日本電気協会 (2016)
- (13) RPI-M20A, Delta Electronics, Inc., Taipei, Taiwan, 2014. [Online]. Available: http://www.deltaww.com/fileCenter/Products/Download/05/05 01/RPI-M20A\_TechData\_20141126.pdf
- (14) Y. Noge, J. Itoh, T. Karaki, H. Watanabe : "Multi-Level Inverter with a Full-Bridge Clamp Circuit for a Single-Phase Three-wire Grid", *IEEJ Trans. IA.*, Vol. 136-D, No. 12, pp.944-952 (2016) (in Japanese)
  野下 裕市, 伊東 淳一, 唐木 隆行, 渡辺 大貴: 「フルブリッジクランプ付き単相三線式マルチレベルインバータ」, 電学論 D, Vol. 136, No. 12, pp.944-952 (2016)
- (15) Y. Hanashima, T. Yokoyama : "Deadbeat Control with Disturbance Compensation Method and 1 MHz-PLL for Single Phase Utility Interactive Inverter", *IEEJ Trans. IA.*, Vol. 135-D, No. 9, pp. 953–962 (2015) (in Japanese) 世紀(1997年1月1日), 1997年1月1日, 1

花島 悠一, 横山 智紀: 「外乱補償型デッドビート制御と 1MHz-PLL による 100kHz 単相系統連系インバータ制御」, 電学論 D, Vol. 135, No. 9, pp. 953–962 (2015)

- (16) Yongheng Yang, Frede Blaabjerg and Huai Wang : "Low-Voltage Ride-Through of Single-Phase Transformerless Photovoltaic Inverters", *IEEE Trans. Ind. Appl.*, Vol. 50, No. 3, pp 1942-1952 (2014)
- (17) E. Troester, "New German grid codes for connecting PV systems to the medium voltage power grid," in Proc. 2nd Int. Workshop Concentrating Photovoltaic Power Plants: Opt. Design, Prod., Grid Connection, pp. 1–4 (2009)
- (18) Jaber Alipoor, Yushi Miura, and Toshifumi Ise: "Voltage Sag Ride-through Performance of Virtual Synchronous Generator", *IEEJ J. Ind. Appl.*, Vol.4, No.5, pp.654-666 (2015)
- (19) M. Tsili, S. Papathanassiou : "A review of grid code technical requirements for wind farms", *IET Renew. Power Gener.*, Vol. 3, No. 3, pp. 308-332 (2009)
- (20) P. Rodriguez, A. V. Timbus, R. Teodorescu, M. Liserre and F. Blaabjerg : "Flexible Active Power Control of Distributed Power Generation Systems During Grid Faults", *IEEE Trans. Ind. Electron.*, Vol. 54, No. 5, pp. 2583-2592 (2007)
- (21) S. Alepuz, S. Busquets-Monge, J. Bordonau, J. A. Martínez-Velasco, C. A. Silva, J. Pontt and J. Rodríguez : "Control Strategies Based on Symmetrical Components for Grid-Connected Converters Under Voltage Dips", *IEEE Trans. Ind. Electron.*, Vol. 56, No. 6, pp. 2162-2173 (2009)
- (22) BM6105AFW-LBZ datasheet, ROHM Co., LTD., 2018, [Online]. Available: https://www.rohm.co.jp/datasheet/BM6105AFW-LBZ/bm6105a fw-lbz-j
- (23) Standard for Interconnecting Distributed Resources With Electric Power System, IEEE Std. 1547.2, 2008.
- (24) 龍 建儒、日高 秀樹:「系統連系インバータの制御装置、制御方法、 系統連系インバータ装置、及び系統連系インバータ装置の起動方 法」,特開第 2017-073840号 (2017)
- (25)長田 和哉,西尾 直樹,中林 弘一,神戸 智:「系統連系インバ ータ装置」,特開 第 2010-004623 号 (2010)
- (26) 高野 知宏,長谷部 孝弥,松川 満:「太陽光発電用高機能・高効 率パワーコンディショナ」,SEIテクニカルレビュー,第 190 号,pp. 62-65 (2017)
- (27) フィルムコンデンサ総合カタログ,株式会社指月電機製作所 2018, [Online]. Available: http://www.shizuki.co.jp/condenser/pdf/filmcapacitor/ shizuki\_SJ126\_all.pdf





(学生員) 1987年10月11日生。2011年3月 新潟大学卒業。同年4月、ダイヤモンド電機(株) 入社。2017年3月、長岡技術科学大学大学院工 学研究科修士課程修了。同年4月、同大学博士 後期課程エネルギー・環境工学専攻入学。現在 に至る。主に電力変換回路に関する研究に従 事。



(正員) 1989 年2月3日生。2013年3月, 長岡技術科学大学大学院工学研究科修士課程 修了。同年4月,同大学大学院博士後期課程エ ネルギー・環境工学専攻入学。2015年12月か ら2016年6月までSwiss Federal Institute of Technology in Lausanne(EPFL)にTraineeとして 所属。同年3月,長岡技術科学大学大学院博士 後期課程修了。博士(工学)。2016年4月より

長岡技術科学大学 産学官連携研究員。2018年4月より同大学電気 系助教授。現在に至る。主に非接触給電システム,太陽光発電向け 電力変換回路の研究に従事。IEEE member,自動車技術会会員。



(上級会員) 1972年1月6日生。1996年3月, 長岡技術科学大学大学院工学研究科修士課程 修了。同年4月,富士電機(株)入社。2004年 4月,長岡技術科学大学電気系准教授。2017年 4月,同大学電気系教授。現在に至る。主に電 力変換回路,電動機制御の研究に従事。博士(工 学)(長岡技術科学大学)。2007年第63回電気 学術振興賞進歩賞受賞。2010年 Takahashi Isao

Award (IPEC Sapporo),第58回電気科学技術奨励賞,2012年インテ リジェントコスモス奨励賞,2014年,2016年電気学会産業応用部 門論文賞,2017年文部科学大臣表彰・科学技術賞(開発部門),2018 年第4回永守賞,受賞。IEEE Senior member,自動車技術会会員。