

PCB 基板放熱構造と配線寄生成分との関係性に関する一検討

山口 正通*, 日下 佳佑, 伊東 淳一 (長岡技術科学大学)

Investigation of Relationship between Heat Dissipation Construction and Parasitic Parameters on Printed Circuit Board
Masamichi Yamaguchi*, Keisuke Kusaka, Jun-ichi Itoh, (Nagaoka University of Technology)

The effect of the parasitic parameters on a PCB should not be ignored when a switching frequency is a megahertz for the power conversion circuit. Thus, the accurate analysis of the parasitic parameters of PCBs is essential in the design phase of the PCB. Besides, the heat dissipation design by using thermal via is essential because the power conversion circuit with high switching-frequency employs the surface-mounted devices in order to decrease parasitic inductance. Thus, the parasitic parameters and the thermal resistance on the PCB should be considered in the circuit design phase. In this paper, the relationship between the thermal via and parasitic parameters on the PCB wiring is investigated by analysis and measurement.

キーワード：寄生成分, 熱抵抗, プリント基板, 表面実装デバイス, ネットワークアナライザ

(Parasitic parameter, Thermal resistance, Printed Circuit Board, Surface mounted devices, Network analyzer)

1. はじめに

近年, 電気自動車向けワイヤレス給電(WPT: Wireless Power Transfer)システムにおいて, 空芯コイルを適用可能な MHz 帯を用いたシステムへの期待が再度高まっている⁽¹⁾。電気自動車で使用される kW 級電力変換回路に MHz 帯スイッチングを適用する場合, プリント基板(Printed Circuit Board: PCB)や素子の寄生成分がサージ電圧に与える影響が顕著となるため, 基板設計段階で寄生成分を正確に把握した上で部品配置や素子定数を設計する必要がある。

一方, MHz 帯で動作する電力変換回路では, 寄生インダクタンス低減のために表面実装デバイスが用いられる。表面実装デバイスは素子端子面に放熱用のサーマルパッドが設けられているため, サーマルビアを用いた基板表面から裏面への放熱設計⁽²⁾が重要となる。しかし, 多数のサーマルビアを高周波電流が流れる経路上に配置した際の配線寄生成分への影響は, 著者らの知る限り明らかにされていない。

そこで本論文では, サーマルビアと配線寄生成分との関係性を明らかにすることを目的として, 配線パターンの寄生成分解析と測定を行う。

2. サーマルビア熱抵抗

図 1 に, 検討するサーマルビアの構造を示す。サーマルビアは, 基板表面と裏面とを銅箔で接続し, 中空部, 銅箔部, 絶縁体部とに分けられる。この時, ビア 1 つあたりの熱抵抗は次式で表される⁽²⁾。

$$\Theta_{\text{via-unit}} = \frac{4t}{4\pi k_{\text{Cu}} t_{\text{PTH}} (\phi - t_{\text{PTH}}) + \pi k_{\text{filler}} (\phi - 2t_{\text{PTH}})^2} \dots\dots\dots (1)$$

ここで, k_{Cu} は銅の伝導率, t_{PTH} はビア銅箔の膜厚, ϕ はビア

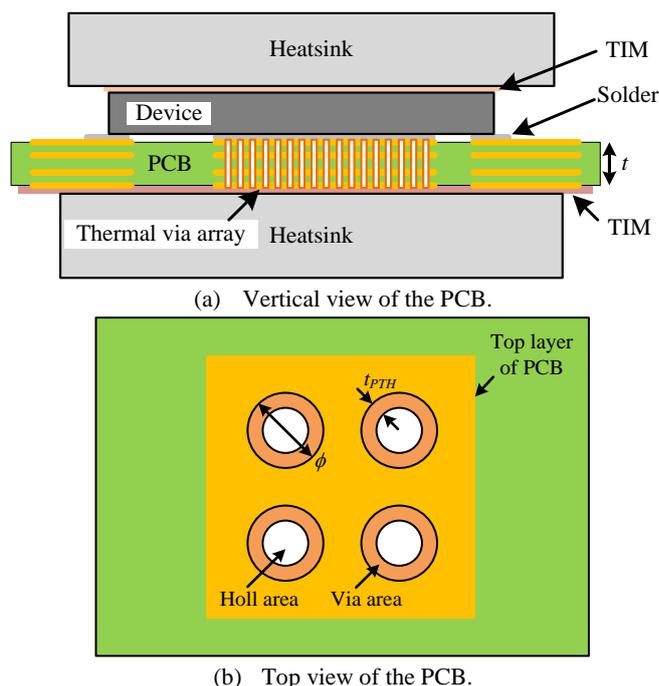


Fig. 1. Construction of the thermal via array.

直径, t は基板の厚みを示す。表 1 に, 使用する各定数を示す。なお, 絶縁体部分の熱抵抗は銅と比べて十分に高く熱の通流には寄与しないとみなすことができる⁽²⁾。ビア個数と熱抵抗とは反比例の関係にあり, 単位面積当たりのビア個数を増やすほど熱抵抗を低減可能である。

3. 電磁界解析による寄生成分解析と測定

ビアの有無や個数による寄生インダクタンスの変化を, 電磁界解析を用いて解析する。電磁界解析には, ADS

(Advanced Design System : Keysight) を使用し, FEM を用いた S パラメータ解析を行う。解析した S パラメータは, 集中定数の π 型等価回路に一意に換算できる Y パラメータに変換し, 寄生成分を集中定数回路の定数として表現する。図 2 に, 今回適用する π 型等価回路を示す。Y パラメータのうちの Y_{12} 及び Y_{21} から寄生インダクタンス L_{12} 及び寄生抵抗 R_{12} の換算式は, 次式で表される。

$$L_{12} = \text{Im} \left[\frac{1}{-Y_{12}} \right] = \text{Im} \left[\frac{1}{-Y_{21}} \right] \dots\dots\dots (1)$$

$$R_{12} = \text{Re} \left[\frac{1}{-Y_{12}} \right] \dots\dots\dots (2)$$

図 3 に, 解析対象の配線を示す。解析と測定の簡素化のため, 裏面バタグラウンド構造のマイクロストリップ線路(幅 10mm)上にホール(直径 1mm)を設け, ホール数を 0, 40(10 個 \times 4 列), 80(10 個 \times 4 列)とした際の寄生成分を比較する。

解析結果の妥当性を検証するため, ネットワークアナライザ(E5061B:Keysight)による寄生成分測定を行う。測定では, 配線の一端を短絡させ, もう一端において微小インピーダンス測定可能なシャント・スルー法による測定を行う。その後, 配線測定結果から短絡用器具の寄生成分を差し引くことで配線の寄生成分を求める。

図 4(a)に, 寄生インダクタンスの解析結果と測定結果を, 図 4(b)に寄生抵抗の解析結果と測定結果とをそれぞれ示す。測定結果を真値とすると, 周波数 6.78MHz での解析結果の誤差は, ビア数 0 個時が 5.2%, 40 個時が 0.45%, 80 個時が 0.031%であり, 良好に一致している。100kHz 以下及び 10MHz 以上の領域で解析値と測定値との差が増大しているが, これはネットワークアナライザでの微小インピーダンス測定精度が確保される領域を外れるためである。

図 5 に, 6.78MHz での熱抵抗と寄生インダクタンス値との関係を示す。熱抵抗が上がる程ビア個数は少なくなるため, 寄生インダクタンス値は熱抵抗に対して右肩下りの特性になることが考えられる。しかし, 解析, 測定ともに, ビア個数 80 個時において寄生インダクタンス値が 40 個時の値を下回り, 単調な比例関係にはなく最大値をもつことが確認された。

4. おわりに

本論文では, サーマルビアによる配線寄生成分への影響を明らかにすることを目的として, PCB 解析と測定との比較を行った。解析結果と測定結果とは, 6.78MHz 時に 5.2% 以下の誤差での一致を確認した。また, 熱抵抗と寄生成分とは, 単調な比例関係ではないことが確認された。

今後, インダクタンスの低減と熱抵抗の低減が両立可能なビア数及び構造について検討を進めていく。

文 献

(1) J. Li and D. Costinett, "Comprehensive Design for 6.78 MHz Wireless Power Transfer Systems", 2018 IEEE Energy Conversion

Table 1. Parameters of PCB and thermal via.

Thermal conductivity of copper	k_{Cu}	393 W/(mK)
Diameter of thermal via	ϕ	1 mm
Thickness of the via	t_{PTH}	25 μ m
Thickness of the PCB	t	1.6 mm

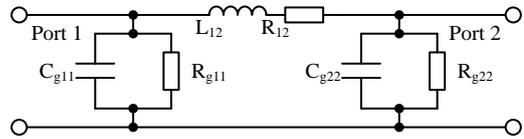


Fig. 2. Parasitic-parameter model.

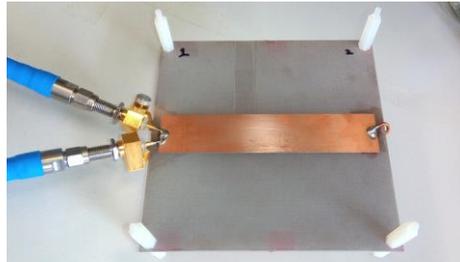
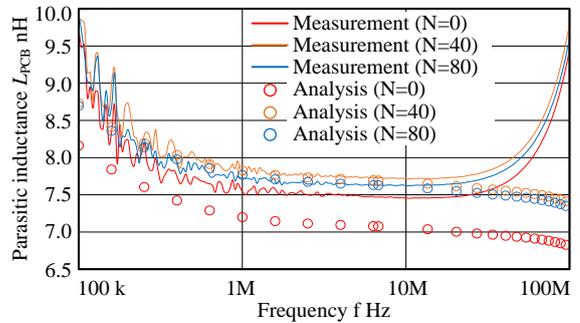
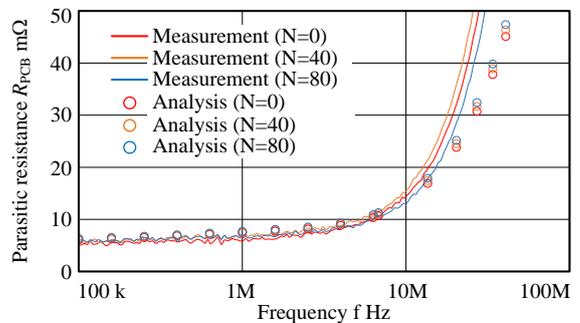


Fig. 3 PCB for analysis and measurement.



(a) Parasitic inductance.



(b) Parasitic resistance.

Fig. 4 Analysis and measurement result. (N: Number of via)

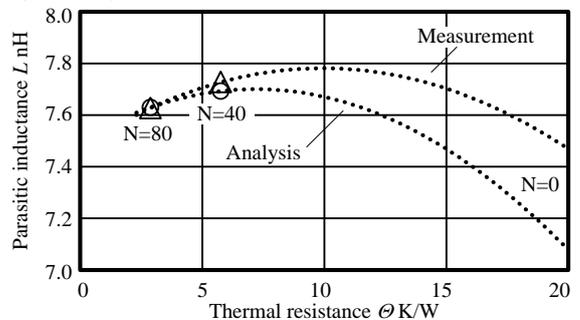


Fig. 5 Relationship of via-number and inductance.

Congress and Exposition (ECCE), (2018).

(2) Y. Shen, H. Wang, F. Blaabjerg, H. Zhao and T. Long, "Thermal Modeling and Design Optimization of PCB Vias and Pads," in IEEE Transactions on Power Electronics, vol. 35, no. 1, (2020).