

# 系統連系インバータの出力フィルタ小型化に向けた 制御系への要求に関する実験的考察

木下 徹規\* 渡辺 大貴 伊東 淳一 (長岡技術科学大学)

## Fundamental Evaluation of Requirements on Control System to Minimize Output Filters of Grid-tied Inverter

Tetsunori Kinoshita\*, Hiroki Watanabe, Jun-ichi Itoh, (Nagaoka University of Technology)

A fundamental evaluation of requirements on a control system to minimize output filters is discussed in this paper. This paper focuses on steady-state operation and dynamic response of a single-phase grid-tied system in order to achieve the miniaturization of *LCL* filter. In particular, the circuit behavior of the grid-tied inverter with minimized *LCL* filter is discussed when the current command step and disturbance voltage are provided. Then, the requirement for the robust inverter control is revealed from the experimental results. As the result, the voltage disturbance response is important at stiff-grid, and the current response is important at weak-grid. In other words, the control characteristics to be noted change due to grid impedance fluctuations, which has a trade-off relationship. Thus, the comprehensive design strategy for controllers and output filters might be the most promising candidate for the future single-phase grid-tied system with the minimized output filter.

キーワード：系統連系インバータ，出力フィルタ，外乱抑圧特性，電流制御

(Keywords, Grid-tied inverter, Output filter, Disturbance suppression performance, Current control)

### 1. はじめに

近年，地球温暖化といった環境問題を背景に，太陽光発電システムなどの再生可能エネルギー導入が盛んにおこなわれている。太陽光発電では太陽電池を単相系統へ連系するために，DC-DC コンバータと単相系統連系インバータから構成される電力変換システム(PCS: Power conversion system)が必要となる。ここで，バーチャルパワープラントの本格化に伴い，系統には今後様々な分散型システムが接続されることが予想される。こうした場合，PCS には自立運転動作，電力慣性の提供，系統電圧および周波数の安定化，無効電力の補償，電流および電圧高調波の抑制，系統障害時の FRT 動作などより多くの機能が要求される<sup>(1)-(6)</sup>。

一方で，SiC-MOSFET や GaN-HEMT といったワイドバンドギャップデバイスの登場に伴い，PCS の高パワー密度化が進められる中，出力フィルタである連系インダクタやフィルタキャパシタといった受動部品の体積が相対的に増加しており，これらの小型化が求められている。近年の研究において，出力フィルタの体積を削減するためのアプローチとして以下の3つが挙げられる。

(1) ワイドバンドギャップデバイスを適用し，インバー

タのスイッチング周波数を高周波化：電流リプルの観点からフィルタインダクタを低インダクタンス化<sup>(7)(8)</sup>

(2) マルチレベル構成によってインバータの等価スイッチング周波数を高周波化：PWM 出力高調波の観点から高いカットオフ周波数を有するフィルタを選定<sup>(9)(10)</sup>

(3) 高次の出力フィルタ構成によって減衰特性を最適化：系統へ流出する高調波電流規制の観点から出力フィルタのインダクタンスを低減<sup>(11)(12)</sup>

以上より，出力フィルタの小型化に対してはフィルタインダクタの小型化に主眼を置いている場合が多い。しかし，フィルタの低インダクタンス化はインバータ出力と共通接続点(PCC: Point of Common Coupling)間のゲインを増加させ，PCS の制御の安定性が大きく損なわれることが懸念される。

本論文では，PCS の出力フィルタに低インダクタンスの連系インダクタを適用した場合における定常動作および過渡動作への影響について実験を基に評価し，更なる出力フィルタの小型化に向けた制御系への要求を明確化する。

### 2. システム構成

〈2・1〉 主回路構成および解析条件について 図 1 に

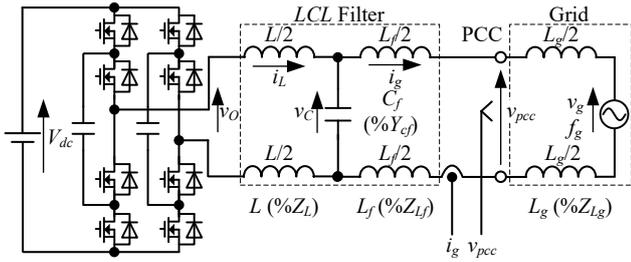


Fig. 1. Flying capacitor type 3-level single-phase grid-tied inverter with LCL filter.

LCL フィルタを有するフライングキャパシタ(FC)方式 3 レベル単相系統連系インバータを示す。ここでは等価的なスイッチング周波数を増加させるために、3 レベルインバータを用いた。単相系統連系インバータは FC 方式の 3 レベル電圧形インバータと LCL 形の出力フィルタによって構成され、出力フィルタの出力端子は PCC に接続される。LCL フィルタは L フィルタと比較して減衰特性に優れており、フィルタのインダクタンスを低減できる<sup>(13)</sup>。

本論文では、出力フィルタの小型化を想定し、低インダクタンスなフィルタインダクタを用いた場合における本回路の定常、および過渡動作を評価する。ここで、今回は PCC に対して様々な負荷が接続されることを想定し、系統インダクタ  $L_g(\%Z_L)$  を設ける。なお、本論文において次数の増加によるシステムの複雑化を避けるために容量性の系統は考慮していない<sup>(14)</sup>。また、本論文では、stiff-grid における系統インピーダンスを  $\%Z_L = 0\%$  とする。次に、weak-grid における系統インピーダンスは短絡回路比(SCR: short circuit ratio)により決定される。これは、PCS の定格電力に対する AC システムの短絡容量の比である。本論文では、短絡容量が大きいシステムを想定し  $SCR = 10$  とし、weak-grid における系統インピーダンスのワーストケースを  $\%Z_L = 10\%$  とする<sup>(15)</sup>。図 1 に示すように、漏れ電流を低減するために LCL フィルタおよび系統インダクタは系統のラインインピーダンスを等しくするように配置している。

表 1 に本論文で検討するシステムのパラメータを示す。本論文では、位相シフト変調方式を採用し、PCC 電圧の半周期ごとに各レグを駆動し、三角波キャリアは 100 kHz としているため、等価スイッチング周波数は 200 kHz となる。

系統電流は電流センサによって検出され、オペアンプで増幅後、アンチエイリアシングフィルタを通過したのちに AD コンバータによってデジタル値に変換している。PCC 電圧は分圧し、絶縁アンプおよびオペアンプによって増幅され、電流検出と同様にデジタル値に変換している。

表 2 に LCL フィルタのパラメータを示す。今回は LCL フィルタの共振周波数をほぼ一定とし、フィルタインダクタンスを変更した条件で評価をおこなう。ただし、簡単のためにインバータ側インダクタと系統側フィルタインダクタは同じ値とした。LCL フィルタの共振周波数は、系統周波数の 10 倍以上かつ等価スイッチング周波数の半分よりも低く設定しなければならない。本論文では電流制御系との兼ね合いから、共振周波数は stiff-grid 時に約 30 kHz、weak-grid 時

Table 1. System Parameters.

Circuit Parameter		
$V_{DC}$	DC-link Voltage	350 V
$V_g$	Grid Voltage	200 V <sub>rms</sub>
$P_n$	Nominal Power	1 kW
$f_g$	Grid Frequency	50 Hz
$Z_b$	Base Impedance	40 Ω
$C_b$	Base Capacitance	79.6 μF
Switching Device (SiC-MOSFET)		SCT303 0AL
N	Number of Level	3
$f_{sw}$	Switching Frequency	100 kHz
$f_{eq\ sw}$	Equivalent Switching Freq.	200 kHz
Controller Parameter		
DSP		TMS320C6678
FPGA (200 MHz CLK)		XC6SLX45
$f_{samp}$	Sampling Frequency	100 kHz
$\lambda$	Duty update timing	1
$f_c$	Crossover Frequency	7 kHz
GM	Gain Margin	3 dB
PM	Phase Margin	45 deg
$K_p$	Proportional Gain	43.1(L+L <sub>f</sub> ) kΩ
$T_i$	Integral Period	172.067 μs
Sensor and Detection circuit Parameter		
Current Transducer (Current sensor)		LA 55-P
Isolation Amplifier (Voltage sensor)		HCPL-7840
OpAmp		LM833-N
ADC (3 MSPS, 12-Bit SAR)		AD7482

Table 2. LCL filter Parameters.

LCL Filters Prototypes					
Prototype	Case 1	Case 2	Case 3	Case 4	Case 5
$L$ (% $Z_L$ )	560 μH (0.44%)	130 μH (0.1%)	80 μH (0.062%)	56 μH (0.044%)	32 μH (0.024%)
$L_f$ (% $Z_{L_f}$ )	560 μH (0.44%)	130 μH (0.1%)	80 μH (0.062%)	56 μH (0.044%)	32 μH (0.024%)
$C_f$ (% $Y_{C_f}$ )	0.1 μF (0.13%)	0.47 μF (0.59%)	0.66 μF (0.83%)	1 μF (1.3%)	1.66 μF (2.09%)
$f_{r\ stiff}$	30.1 kHz	28.8 kHz	31 kHz	30.1 kHz	30.9 kHz
$f_{r\ weak}$	21.7 kHz	20.5 kHz	22 kHz	21.3 kHz	21.9 kHz

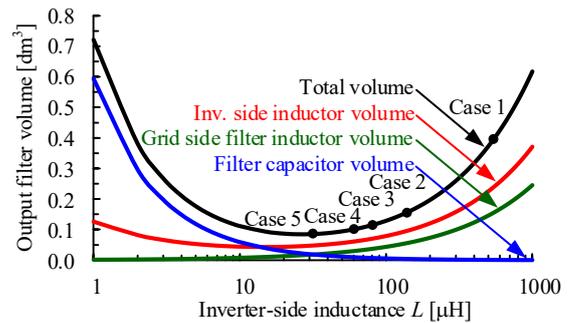


Fig. 2. Relationship between inverter-side inductance and output filter volume based on Table 1.

に約 20 kHz となるように決定している。

図 2 に表 1 の回路条件下でのインバータ側インダクタンスに対するフィルタの体積を示す。インバータ側インダクタンスの低下に伴い、出力フィルタ体積を削減できる。しかし、インバータ側インダクタンスを過度に低下させると電流リップルが大きくなるためフィルタの小型化には限界がある。また、インダクタンス低減に伴う電流リップル増加およびフィルタキャパシタ容量の増加により、インバータ側インダクタの銅損およびコア損、フィルタキャパシタの ESR に起因する導通損失、無効電流の増加による効率低下が懸念

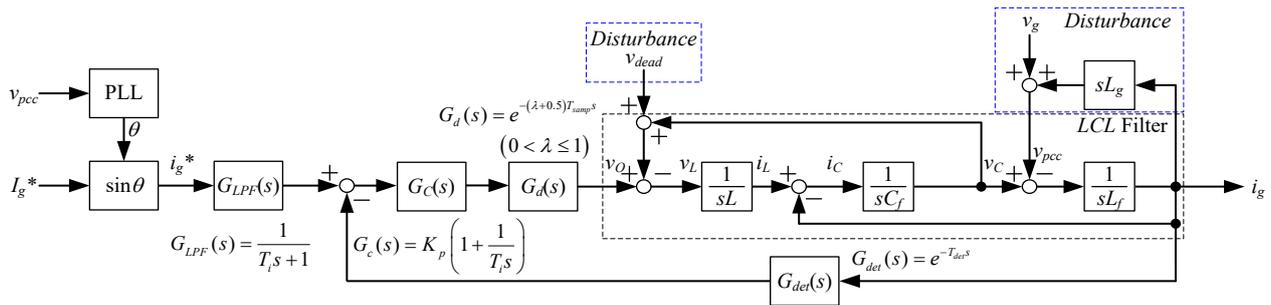


Fig. 3. Grid-side current feedback control system.

される<sup>(16)</sup>。

〈2・2〉 制御系構成 図3に系統側電流フィードバック制御系を示す。電流制御器にはPI制御器を適用し、PLL(Phase-Locked-Loop)によって系統電圧位相と電流指令位相を同期することで連系動作をおこなう。また、指令値には零点相殺のための一次遅れを設ける。本論文では、LCL共振周波数を高く設定することが可能な系統側電流フィードバック制御(GCF)を採用し、GCFの安定動作領域内( $f_r/f_{smp} > 1/6$ )になるようにLCLフィルタの共振周波数を設計している<sup>(17)</sup>。表1に示しているように、DSPを使用し、LPFおよびPI制御器は後退オイラー法により離散化されて実装されている。なお、PI制御ゲインはstiff-grid時においてクロスオーバー周波数7kHz、ゲイン余裕3dB以上、位相余裕45度程度となるように設計している。FPGAにより、三角波キャリアを生成し、DSPからのデューティ指令値と比較してPWM信号を出力している。FPGAの動作クロックは200MHzであり、三角波キャリアの縦の分解能は1000(約10bit)となる。なお、過変調によるFC電圧アンバランスを防止するためにデューティ比は最大で0.9に制限している。

### 3. 実験結果

〈3・1〉 実験環境 系統電圧擾乱を模擬するために今回は系統電圧源に環境電源を使用した。また、系統インダクタンスは環境電源にインダクタンスを外付けすることにより模擬して実験している。

図4にヒルベルト変換および振幅の算出結果を示す。実験評価項目の最大振幅電圧値は実験波形をMATLABに取り込み、ヒルベルト変換により直交座標系に変換し、大きさを求めることで算出している<sup>(18)</sup>。

〈3・2〉 電流ひずみ率(THD)評価 図5にstiff-grid時においてデッドタイム150nsおよび出力フィルタCase2を接続したインバータの動作波形を示す。この時の系統電流に着目すると、系統電流THDは3.1%となり、系統連系規程(IEEE Std 1547, IEEE Std 519等)を満たす良好な波形が得られている<sup>(19)(20)</sup>。

図6に異なる出力フィルタの定数を変更した場合における、デッドタイムに対する系統電流THDと力率の関係を示す。図6(a)より、フィルタの低インダクタンス化およびデッドタイムの増加に伴い系統電流THDが悪化する。一方で、図6(b)より、デッドタイムの増減による力率への影響は小

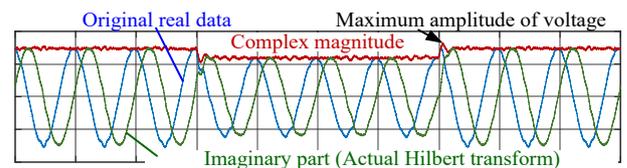


Fig. 4. Example of calculation results of Hilbert transform and voltage amplitude value using MATLAB based on experimental result.

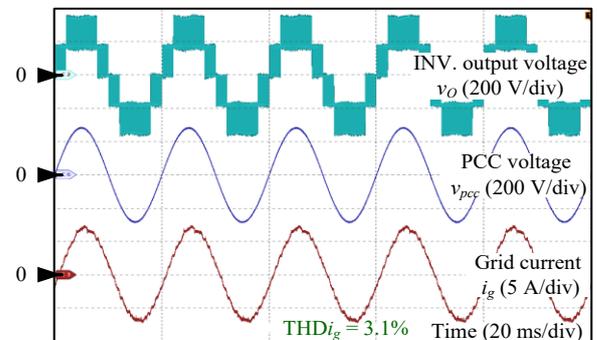


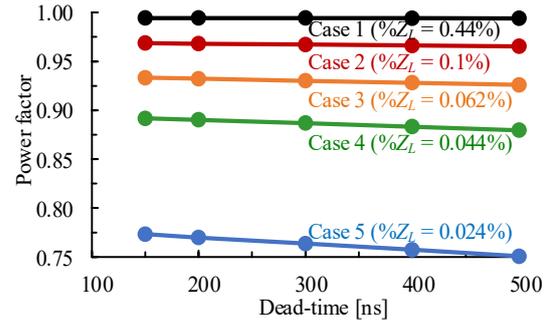
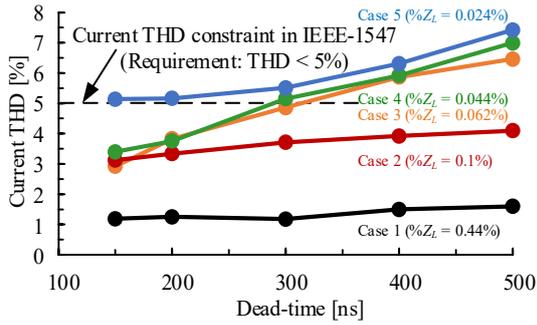
Fig. 5. Experimental results under stiff-grid. (Dead-time: 150 ns, Output filter: Case 2)

さいが、フィルタの低インダクタンス化により力率が悪化する。力率低下の原因については4.1にて後述する。

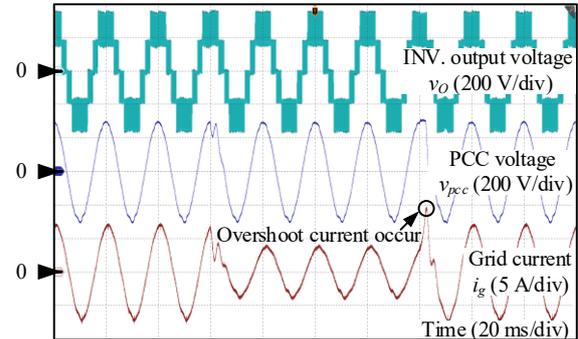
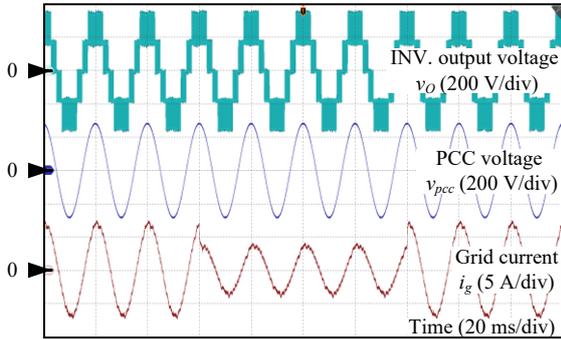
〈3・3〉 電流指令値応答評価 図7にstiff-gridおよびweak-grid時において系統電流指令値を定格値と半定格値に変化させた場合の動作波形を示す。stiff-gridの場合、電流オーバーシュートはほぼ発生しない。一方、weak-gridの場合、電流オーバーシュートが発生することがわかる。

図8に異なる系統インピーダンス条件下での電流指令値ステップ変化時におけるデューティと系統電流波形を示す。図8より、系統インピーダンスの増加に伴い過変調時間が増加していることがわかる。また、過変調後において電流は大きく振動しながら収束している。これは過変調期間中にPI制御器の積分器に誤差が蓄積されているためである。これを回避するためにはアンチwindアップ制御を追加する必要がある。

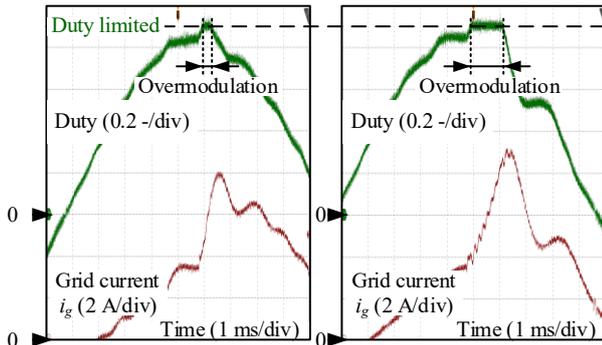
図9に電流指令値ステップ変化時における系統インピーダンスに対する過変調時間の関係を示す。図9より、インバータと系統間のインピーダンスが大きいかほど過変調時間が大きいことがわかる。これはインバータと系統間のインピーダンス増加により、回路の時定数が増加したためである。これを解決するためには直流中間電圧を大きくする必要がある。



(a) Grid current THD characteristics (b) Power factor characteristics  
Fig. 6. Grid current THD and power factor characteristics under stiff-grid.



(a)  $L_g = 0$  mH ( $\%Z_{Lg} = 0\%$ ) (b)  $L_g = 12.7$  mH ( $\%Z_{Lg} = 10\%$ )  
Fig. 7. Experimental results when grid current command changes between full- and half-load with Case 2.



(a)  $\%Z_{Lg} = 1.6\%$  (b)  $\%Z_{Lg} = 5\%$   
Fig. 8. Zoom-in duty command value and grid current when grid current command changes from half-load to full-load with Case 2.

ある。なお、Case 5 の  $\%Z_{Lg} = 10\%$  において、過変調時間が零である。これは、ループゲインの低下により電流ステップ変化が PCC 電圧のゼロクロス付近で起きたためである。

図 10 に電流指令値ステップ変化時における系統インピーダンスに対する最大電流値および最大振幅電圧値の関係を示す。Stiff-grid において、フィルタ条件に関わらず最大電流値は定格出力電流振幅値と同等である。一方、weak-grid において、フィルタの低インダクタンス化に伴い最大電流値は増加する傾向にある。

〈3・4〉 電圧外乱応答評価 図 11 に stiff-grid および weak-grid 時において系統電圧を 200 V<sub>rms</sub> と 160 V<sub>rms</sub> に変化させた場合の動作波形を示す。stiff-grid において、過大な電流ピークが発生する。一方、weak-grid において過大な電流ピークは発生しないものの収束時間が増加している。

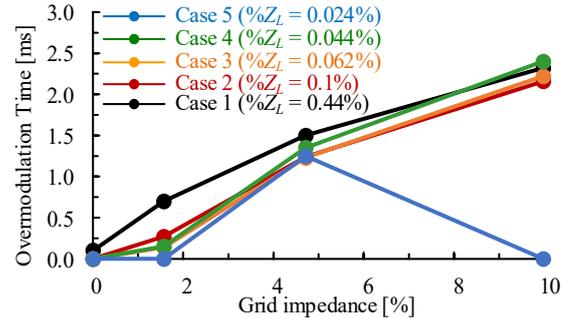
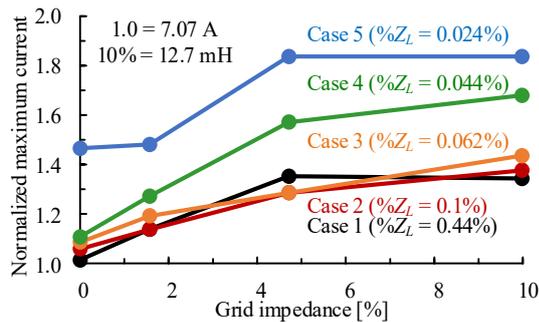


Fig. 9. Overmodulation time characteristics under different conditions of grid impedance.

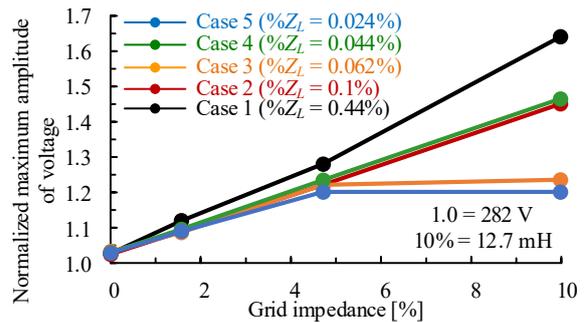
図 12 に系統電圧擾乱時における系統インピーダンスに対する最大電流値および最大振幅電圧値の関係を示す。Stiff-grid において、フィルタのインダクタンスが低いほど最大電流値は増加する。一方、weak-grid の場合、系統インピーダンスの大小にかかわらず最大電流値は同じである。図 12 (b) より、最大電圧振幅は系統インピーダンスの増加に伴い増加傾向にあるが、フィルタによる大きな差異はない。なお、電圧外乱応答では、今回の実験条件においては、デューティの飽和は発生しなかった。

#### 4. 制御系への要求

〈4・1〉 定常動作について 図 13 に電流制御系のオープンループ特性および目標値応答特性、インバータ側出力電圧からの外乱抑圧特性、系統側電圧からの外乱抑圧特性を示す。図 6 と図 13 の結果を踏まえ、出力フィルタを低インダクタンス化した場合の制御面での課題は以下の通りである。まず低インダクタンス化に伴いインバータ側の外乱



(a) Relationship between grid impedance and max. current



(b) Relationship between grid impedance and max. amplitude voltage

Fig. 10. Maximum current and maximum amplitude voltage characteristics under difference conditions of grid impedance when grid current command changes.

抑圧ゲインが悪化するためデッドタイムに起因する系統電流ひずみは顕著となる。さらに、図 6 (a)および図 13 (d)より、系統側の外乱抑圧ゲインが悪化するため低インダクタンス化に伴い力率が悪化する。中負荷および軽負荷では相対的に外乱成分が大きくなり、さらに力率が悪化する。

以上より、系統電流 THD を改善するためには、デッドタイム誤差補償が必要である。しかし、演算遅延や検出遅延によって正確な補償は困難である<sup>(21)(22)</sup>。そのため、デッドタイムを短くするか、オープンループゲインを増加させて外乱抑圧特性を改善する必要がある。

今回、安定度を優先しゲインを決定した。力率を改善するためには、PI 制御器のゲインを増加する方法が考えられるが、演算遅延などにより限界がある。その他の手段としてフィルタキャパシタ電圧もしくは PCC 電圧のフィードフォワード補償(FF 補償)がある<sup>(7)(27)</sup>。しかし、FF 補償は正帰還ループを形成し、演算遅延により動作条件によっては不安定になる恐れがある<sup>(23)</sup>。そのため、広範囲に系統インダクタンスが変動する場合、FF 補償による出力インピーダンスの形成は受動性を満たす設計が必要となる。電流制御器に内部モデル原理を満たす正弦波補償器を有する PR 制御器を適用する方法がある<sup>(17)</sup>。PR 制御器の特徴として特定周波数の正弦波に誤差なく追従する。ただし、高調波成分は補償されないため、追加の高調波抑制用の制御器が必要になる<sup>(24)</sup>。

**〈4.2〉 電流指令値応答について** 図 10 と図 13 の結果を踏まえて、電流指令値応答の改善する方法としては以下の通りである。Weak-grid 時に電流応答が低下する課題において、系統インピーダンスを推定し、補償する方法がある。これには系統に高調波注入をおこない系統インピーダンスを推定する手法やモデル規範型適応制御による系統インピーダンスの推定手法がある<sup>(25)(26)</sup>。しかし、系統に高調波を注入する場合、注入振幅値の決定方法が曖昧である。またオンラインで周波数解析をする必要があるため演算コストの増加や他の PCS が注入した高調波との干渉が課題となる。

**〈4.3〉 電圧外乱応答について** 図 12 と図 13 の結果を踏まえて課題は以下の通りである。Stiff-grid 時にステップ変化のような系統擾乱による過電流の発生を防ぐにはセンサおよびコントローラの遅延により困難である。そのため、ワーストケースの系統擾乱を想定してインダクタンスを決定

する必要がある。特に FRT 動作などの系統事故時においては、高速なゲートブロック手法が必要である<sup>(27)</sup>。

## 5. おわりに

本論文では、0.4%から 0.02%までの低インダクタンス連系インダクタを適用した PI 制御器ベースの PCS について、定常動作および過渡動作の影響について実験を基に示し、更なる出力フィルタの小型化に向けた制御系への要求を明確にした。

電流制御器は基本波に対して高い追従性能を有する必要があるが、FF 補償や状態フィードバック制御などを用いて、高調波外乱を補償する必要がある。しかし、系統インピーダンス変動に対してロバストである必要があるため、制御器の設計はより複雑になる。また、stiff-grid 時は電圧外乱応答が重要になり、weak-grid 時は電流応答が重要であることを示し、両者にトレードオフ関係があることを明確にした。制御器および出力フィルタの設計方針としては、電流制御器、外乱補償器、出力フィルタなどを包括的に設計する方法と独立して設計する方法が挙げられるが、更なる出力フィルタの小型化という観点からは包括設計が必要である。

今後は、系統インピーダンスにロバストで高い外乱抑圧特性を有する制御器および出力フィルタの包括的な設計戦略について検討する。

## 文 献

- (1) E. Serban, et al: IEEE Trans. PE, vol. 32, no. 1, pp. 298-309 (2017)
- (2) J.Liu, et al: IEEE Trans. PE, vol. 31, no. 5, pp. 3600-3611 (2016)
- (3) Y. He, et al: IEEE Trans. PE, vol. 34, no. 12, pp.12423-12436(2019)
- (4) M. Hagiwara, et al:IEEE Trans. IP, vol. 48, no. 2,pp.720-729(2012)
- (5) Y. Tang, et al: IEEE Trans. IE, vol. 59, no. 3, pp. 1443-1452(2012)
- (6) Y. Yang, et al: IEEE Trans. IA, vol. 50, no. 3, pp. 1942-1952 (2014)
- (7) H. N. Le, et al: IEEE Trans. PE, vol. 34, no. 5, pp. 4904-4919(2019)
- (8) J. Zhang, et al: IEEE Trans. PE, vol. 35, no. 10, pp. 11167-11180
- (9) M. N. H. Khan, et al: IEEE Trans. PE, vol. 35, no. 8, pp. 8248-8260
- (10) A. Ponniran, et al: IEEJ J. IA, vol. 3, no. 6, pp. 446-454(2014)
- (11) R.N.Beres,et al:IEEE Trans. PE, vol. 31, no. 3,pp.2083-2098(2016)
- (12) X. Li, et al: IEEE Trans. IE , vol. 65, no. 2, pp. 1367-1376(2018)
- (13) S. Jayalath, et al: IEEE Trans. IE, vol. 64, no. 3, pp. 1905-1915
- (14) T. Wu, et al: IEEE Trans. IE, vol. 64, no. 8, pp. 6412-6421(2017)
- (15) M. Liserre, et al: IEEE Trans. PE, vol. 21, no. 1, pp. 263-272(2006)
- (16) R. A. Barrera-Cardenas, et al: EPE'17 ECCE Europe, pp. P.1-P.10
- (17) S.G. Parker, et al: IEEE Trans. IA, vol. 50, no. 1, pp. 424-432(2014)

(18) 齋藤, 他: 電学論 D, Vol.121, No.10, p. 1089-1090 (2001)  
 (19) IEEE Standard for Interconnection and Interoperability of Distributed Energy Resources with Associated Electric Power Systems Interfaces," in *IEEE Std 1547-2018 (Revision of IEEE Std 1547-2003)*, vol., no., pp.1-138, 6 April 2018  
 (20) IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems," in *IEEE Std 519-2014 (Revision of IEEE Std 519-1992)*, vol., no., pp.1-29, 11 June 2014

(21) M. A. Herran, et al: *IEEE Trans. PE*, vol. 28, no. 6, pp. 2816-2825  
 (22) H. Wang, et al: *APEC*, pp. 778-785 (2011)  
 (23) X. Li, et al: *IEEE JESTPE*, vol. 6, no. 1, pp. 54-72 (2017)  
 (24) A. G. Yepes, et al: *IEEE Trans. PE*, vol. 26, no. 2, pp. 563-576(2010)  
 (25) T. Roinila, et al: *IEEE JESTPE*, vol. 2, no. 4, pp. 985-993(2014)  
 (26) S. Mukherjee, et al: *IEEE Trans. EC*, vol. 32, no. 4, pp. 1407-1417  
 (27) S. Nagai, et al: *IEEE Trans. IA*, vol. 54, no. 5, pp. 5387-5399(2018)

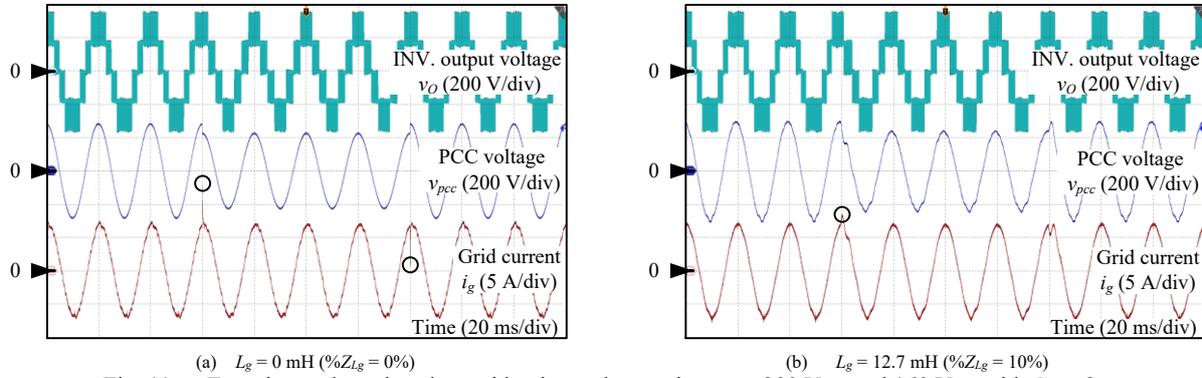
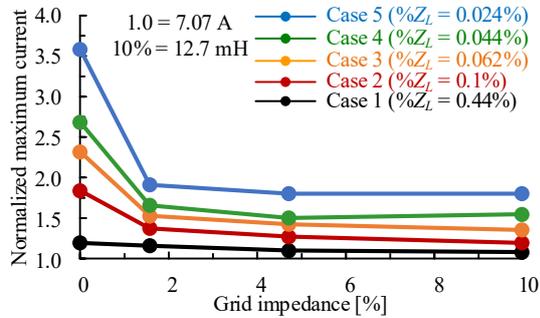
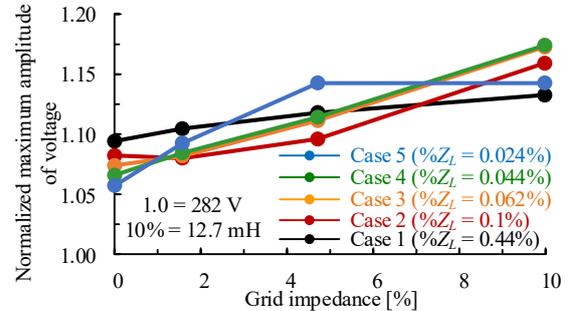


Fig. 11 Experimental results when grid voltage changes between 200 V<sub>rms</sub> and 160 V<sub>rms</sub> with Case 2.

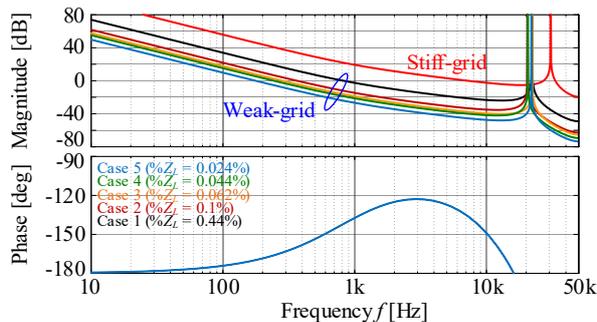


(a) Relationship between grid impedance and max. current

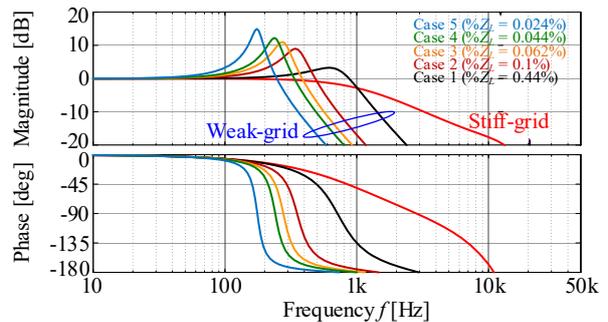


(b) Relationship between grid impedance and max. amplitude voltage

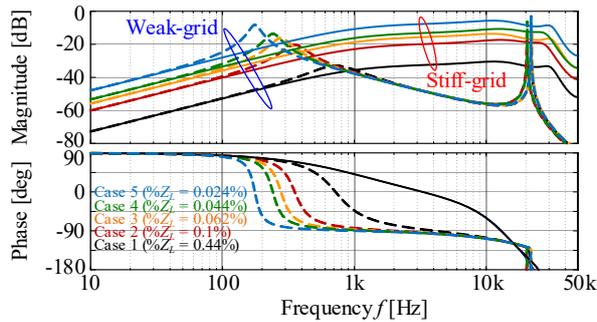
Fig. 12. Maximum current and maximum amplitude voltage characteristics under difference conditions of grid impedance when grid voltage changes.



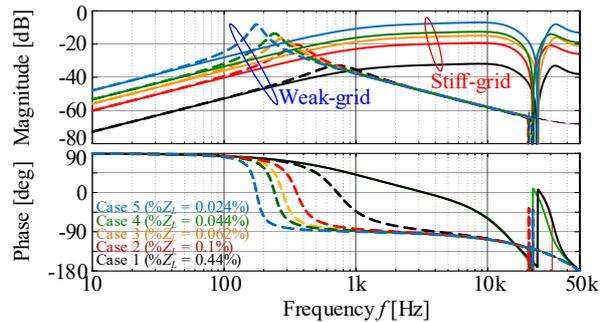
(a) Open-loop characteristics



(b) Closed-loop characteristics



(c)  $v_{dead}-i_g$  gain characteristics



(d)  $v_g-i_g$  gain characteristics

Fig. 13. Characteristics of grid-side current feedback control system.