

鏡面对称実装による電力変換器の漏えい磁界低減

大倉 惇稔・山口 正通・日下 佳祐・伊東 淳一 (長岡技術科学大学)

1. はじめに

近年、高速スイッチングにより損失を低減可能なワイドバンドギャップ半導体デバイスが注目されている。しかしながら高速スイッチングは、寄生容量を介してグラウンドに流れ込むコモンモード電流に起因した漏えい磁界の増加をまねく<sup>(1)</sup>。従来、製品化に向けて漏えい磁界測定の結果に基づいてフィルタを追加するなどの対策が行われてきたが、開発コスト増加の原因となっていた。

本論文では、電力変換回路の設計段階において漏えい磁界を低減可能な新たな電力変換回路の実装方法を提案する。

2. 提案構造

図1に漏えい磁界低減構造を適用した降圧チョップ回路を示す。提案構造では、同一の電力変換回路を並列に2台接続し、実装方法により漏えい磁界を低減する。図2に漏えい磁界低減構造を持つよう実装した基板を示す。漏えい磁界を低減するため、並列に接続された2台の電力変換回路を両面基板に上下対称になるよう実装し、同期して動作させる。上下対称に実装することで、それぞれの電力変換回路で寄生容量を介して流れるコモンモード電流は上下対称に発生する。そのため、コモンモード電流に起因した漏えい磁界が互いに打ち消される。なお、2台の電力変換回路のスイッチングを同期することにより漏えい磁界を低減するため、本回路の動作はインターリーブ動作とは異なる。

3. 実験結果

漏えい磁界を確認するため、片面基板に回路パターンを配置した従来片面構造と、両面基板に上下対称配置した提案構造の基板を作成し、漏えい磁界の比較を行った。なお、入力電圧48V、スイッチング周波数100kHz、上側オンデューティ66%と設定した。

図3に基板表面に配置した上側アーム FET1 と、基板裏面に配置した上側アーム FET3 のゲート電圧の立ち上がり波形を示す。 $v_{gs1}$ 、 $v_{gs3}$ は1台のゲートドライバを用いて入力することで表面と裏面の回路の同期動作を実現できている。

図4に、漏えい磁界測定時の基板と磁界プローブとの配置を示す。磁界プローブは基板中心から50mmの位置に、基板を直行する方向の磁束を測定するよう設置した。なお、測定は簡易シールドルームにて実施した。

図5に、従来片面構造と提案する両面对称構造それぞれにおける漏えい磁界測定結果を示す。スイッチング周波数である100kHzでは、従来構造を適用した場合が-77.1dBm であることにに対し、提案構造を適用した場合は-84.3dBm であり、7.2dBm の低減が確認できる。また、漏えい磁界最大値は従来構造を適用した場合が-56.6dBm であることにに対し、提案構造を適用した場合は-64.4dBm であり、7.8dBm 低減した。以上の結果より、提案構造が漏えい磁界低減に効果的であることを実験的に確認した。今後は、国際規格を満足する10m 電波暗室

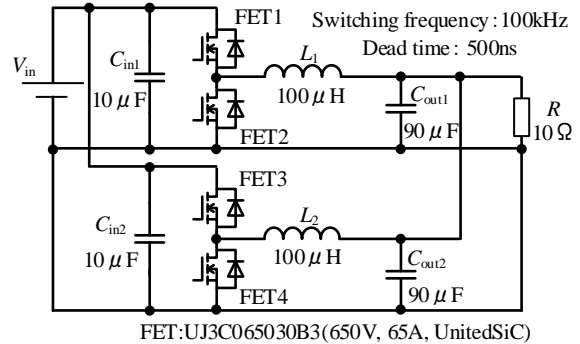


Fig. 1. Test circuit for radiation noise reduction.

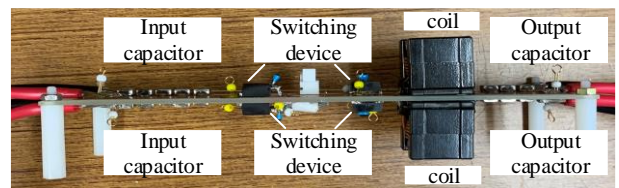


Fig. 2. Symmetrical structure for noise reduction.

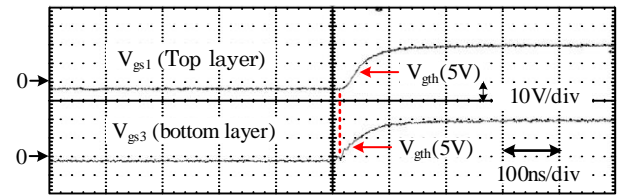


Fig. 3. Gate signals.

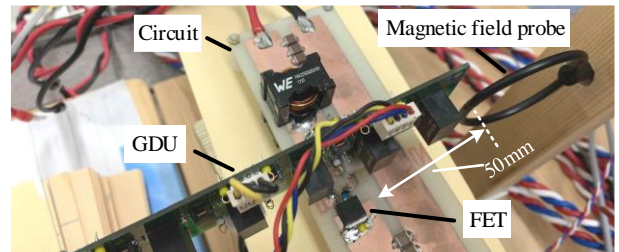
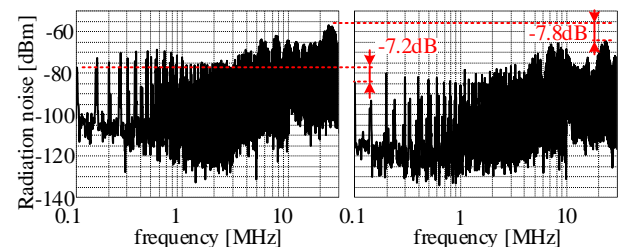


Fig. 4. Measurement with magnetic field probe.



(a) Single-sided configuration (b) Double-sided configuration

Fig. 5. Measurement results of radiation noise.

にて漏えい磁界低減効果の評価を行う予定である。

文献

(1) 松嶋 他, 「コモンモードノイズ低減のための降圧コンバータ近傍に存在する寄生容量の位置調整」, JIEP, No. 8A5-2, pp. 320-321 (2017)