

直列接続された自律制御セルコンバータ における非干渉制御のゲイン設計法

山ノ口 皓喜*, 渡辺 大貴, 伊東 淳一 (長岡技術科学大学)

Design Method of Droop-based Current Control Gain for Autonomous Distributed
Modular Power Conversion system

Koki Yamanokuchi, Hiroki Watanabe, Jun-ichi Itoh (Nagaoka University of Technology)

1. はじめに

近年、マイクログリッドやUPS等では、より高い信頼性や拡張性を目的に、自律分散型変換器を複数接続したシステムの研究が盛んに行われている⁽¹⁾。しかし、検出や負荷アンバランスが発生した場合に電流や電圧が一致せず、セル間で干渉が発生する。この問題に対してドループ制御を用いた安定化手法がこれまでに検討されている⁽²⁾。ここでセルコンバータの並列駆動に関しては多くの検討事例があるが、直列接続された制御電流源を安定化する電流ドループ制御に関する詳細なゲイン設計法は著者らの知る限りない。

本論文では、安定かつ高応答を得られる電流ドループゲイン設計手法を提案する。提案手法により、カットアンドトライを用いず許容する電流偏差および電流センサゲイン誤差からドループゲインの設計を可能としたため報告する。

2. 検討構成と電流ドループ制御

図1に検討を行うHブリッジ構成の制御電流源セルを k 直列接続した場合のシステム構成図を示す。本システムは自律分散型変換器であるため、各制御電流源セルは独立した制御器を内包し、上位コントローラが全ての制御電流源を統括している。

図2に図1を基にした電流ドループ制御の等価回路図を示す。ここで Z_g は系統インピーダンス、 v_g は系統電圧、添え字 x は制御電流源の任意のセルを示している。電流ドループ制御は直列接続された制御電流源の検出ゲイン誤差等による制御系の干渉を抑制するために、各制御電流源に対して並列に仮想アドミタンス Y_d を挿入する。これにより、電流検出の誤差によって各電流源 i_{ac_x} がアンバランスした場合でも、 i_{ac_x} と Y_{d_x} による分流電流の差が各電流源で等しくなれば、制御の破綻を防止できる。

図3に各制御電流源セルのブロック線図を示す。本論文で検討する電流ドループ制御は指令値に電流制御の出力をフィードバックし、再帰演算およびドループゲイン増加による不安定化を回避するために電流制御と同じカットオフ周波数を持つLPFを挿入する。なお、PWMや検出による遅延を模擬するため、1次のLPFを電流制御出力の前に挿入

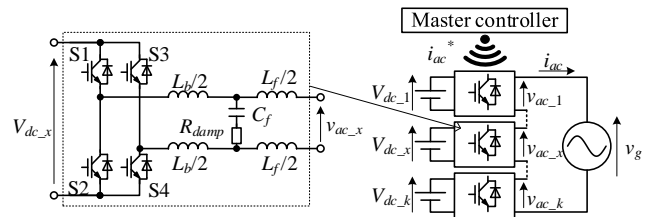


図1 システム構成図

Fig. 1. System configuration diagram.

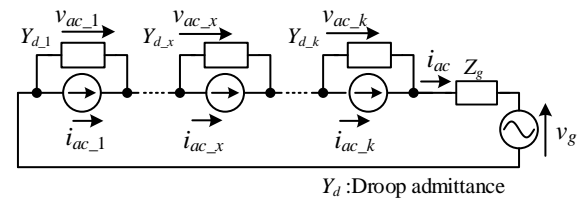


図2 電流ドループ制御の等価回路図

Fig. 2. Equivalent circuit of current droop control.

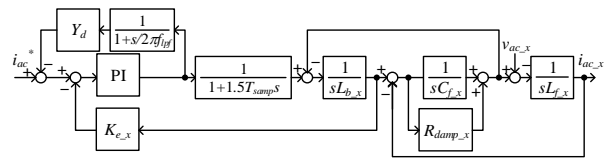


図3 制御電流源セルのブロック線図

Fig. 3. Block diagram of current source cell.

している。図2の等価回路において目標値応答特性 $i_{ac_x}(s)/i_{ac}^*(s)$ は i_{ac_x} 、外乱抑圧特性 $v_{ac_x}(s)/i_{ac}^*(s)$ は Y_{d_x} の特性と対応している。したがって、等価回路よりシステム全体の目標値応答特性 $i_{ac_x}(s)/i_{ac}^*(s)$ および各セルの交流出力電圧特性 $v_{ac_x}(s)/i_{ac}^*(s)$ は次式で表される。

$$\frac{i_{ac}(s)}{i_{ac}^*(s)} = \frac{1}{Z_g + \sum_{x=1}^k \frac{v_{ac_x}(s)}{i_{ac_x}(s)}} \left(\sum_{x=1}^k \left(\frac{v_{ac_x}(s)}{i_{ac_x}(s)} \frac{i_{ac_x}(s)}{i_{ac}^*(s)} \right) - \frac{v_g(s)}{i_{ac}^*(s)} \right) \dots (1)$$

$$\frac{v_{ac_x}(s)}{i_{ac}^*(s)} = \frac{v_{ac_x}(s)}{i_{ac_x}(s)} \left(\frac{i_{ac_x}(s)}{i_{ac}^*(s)} - \frac{i_{ac}(s)}{i_{ac}^*(s)} \right) \dots (2)$$

3. 特性解析結果と電流ドループゲイン設計

表1に2直列接続された制御電流源セルの解析に用いる

パラメータを示す。制御電流源セルの電流検出によるアンバランスを模擬するために、セル 1 のみに検出ゲイン誤差 E_{rr} を挿入する。また、 Y_d は制御電流源セルの定格アドミタンスを 1p.u. としている。

図 4 に Y_d を 0p.u.~1p.u. の間で変化させた場合のコントローラゲイン G_c のゲインのみのボード線図を示す。 Y_d が増加するほど低域のゲインが制限され、一定となっている。その結果、各制御電流源に電流偏差が発生し、 Y_d が 1p.u. まで増加すると P 制御と同等までゲインが低下するため、応答性および外乱抑圧特性が悪化する。

図 5 に Y_d および検出ゲイン誤差 E_{rr} を変化させた場合の電流指令値に対するシステム全体の電流偏差 δI を示す。ここで、 δI は(1)式より求めたシステム全体の電流から電流指令値を引き、電流指令値で規格化した値である。また、塗り潰し領域は電流偏差を所望の値以下にできない領域(ここでは一例として、0.3p.u.)とし、斜線領域は(2)式より求めた交流電圧最大値 V_{ac_max} が直流リンク電圧最小値 V_{dc_min} より高くなり、過変調となる領域を示している。各 E_{rr} に対して塗り潰し領域および斜線領域に属さない境界条件は低域のゲインが一定になることを用い、0 Hz の伝達関数を解くことで求められる。

$$\left(K_{e-x} - \frac{\sum_{y=1}^k K_{e-y}}{k} \right) \frac{R_n}{R_{out}} \leq Y_d [p.u.] \leq \left(\left(1 + \delta I \right) \frac{\sum_{y=1}^k K_{e-y}}{k} - 1 \right) \frac{R_n}{R_{out}}$$

$$\frac{V_{dc_min}}{V_{ac_max}} \frac{\sum_{y=1}^k K_{e-y}}{k} - K_{e-x}$$

..... (3)
 ここで R_n はセルの定格インピーダンス、 R_{out} はセルの出力インピーダンスを示している。全ての制御電流源セルが(3)式を満たすことで高応答かつ定常的に過変調せずドループ制御を実装することができる。 Y_d は、高応答な電流応答特性を求める場合に下限値付近で設定する。また、より広範囲で検出誤差の許容を求める場合、 Y_d はマイナス側の誤差で上限値と下限値が一致する値付近で設定する。

4. シミュレーション結果

図 6 に図 5 における赤丸($Y_d = 0.2p.u.$)および赤四角(ドループ制御無)の条件におけるシミュレーション結果を示す。ドループ制御無では交流電圧が直流リンク電圧以上となり、交流電流にひずみが発生している。ここで電流 THD は 8.1% となっている。一方、 $Y_d = 0.2p.u.$ では交流電圧にアンバランスがあるものの交流電流に大きなひずみは発生せず交流電流 THD は 0.03% となっている。また、電流偏差は 0.265p.u. となり、解析値に対する誤差が 0.4% と良好な結果となっている。しかし、仮想アドミタンスを用いる電流ドループ制御

表 1 解析パラメータ

Table 1. Analysis parameters.

Cell Rated Power	P	500 W	Droop Admittance	Y_d	0-0.05 S(0-1.0p.u.)
Cell AC Voltage	V_{ac}	100 V	Sampling Frequency (=Switching Frequency)	f_{samp}	50 kHz
Grid Frequency	f_g	50 Hz	Cutoff Freq. of Current Control	f_{c_arr}	5 kHz
DC link Voltage	V_{dc}	200 V	Cutoff Freq. of Current Droop	f_{c_dr}	5 kHz
Filter Inductor	L_f	318 μ H(%Z0.5%)	Current Det. Gain (Cell 1)	K_{c_1}	0.7-1.3
Filter Capacitor	C_f	1.59 μ F(%Y1.0%)	Current Det. Gain (Cell 2)	K_{c_2}	1.0
Boost Inductor	L_b	318 μ H(%Z0.5%)	Maximum AC current deviation	δI_{max}	0.3 p.u.
Grid Impedance	Z_g	0 Ω (%Z0%)	Damping Resistor	R_{damp}	0.2 Ω (%Z1.0%)

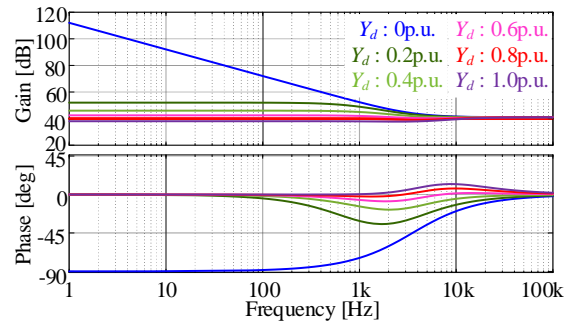


図 4 コントローラゲイン G_c のボード線図
 Fig. 4. Bode plot of controller gain G_c when Y_d is changed.

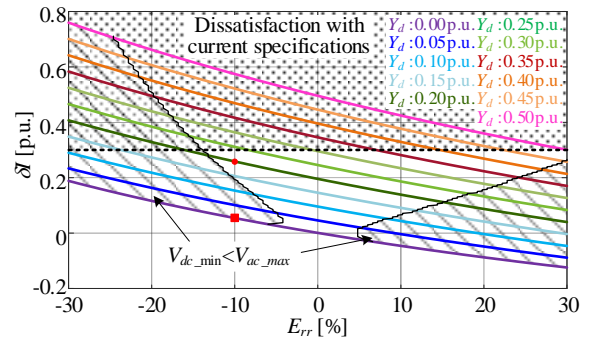
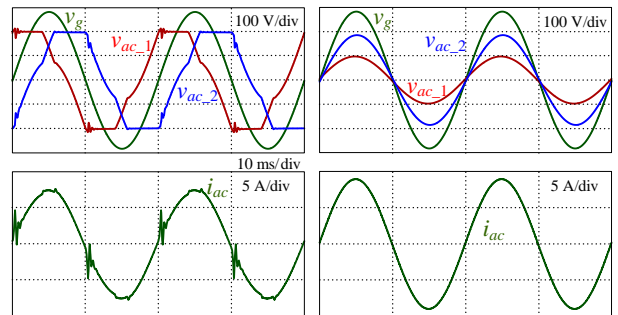


図 5 交流電流偏差特性
 Fig. 5. AC current deviation characteristics.



(a) $Y_d = 0p.u.$ (b) $Y_d = 0.2p.u.$

図 6 シミュレーション結果

Fig. 6. Simulation results.

のみでは電圧の位相や振幅を完全一致できないため、外側に電力を一致させる制御が必要になる。

本研究は、内閣府総合科学技術・イノベーション会議の戦力的イノベーション創造プログラム (SIP) 「IoE 社会のエネルギーシステム」(管理法人: JST) によって実施された。

文献

- (1) Q. Sun, et al., Eng., 30. 10. 5964-5977 (2015)
- (2) Y. Han et al., Eng., 7. 157859-157872 (2019)